

UNIVERSIDAD MIGUEL HERNÁNDEZ DE ELCHE
INDUSTRIAL ELECTRONICS GROUP (*IE-g*)



DISEÑO E IMPLEMENTACIÓN DE CONTROLADORES DE POTENCIA
DE ESTADO SÓLIDO SIC PARA APLICACIONES DC



TESIS DOCTORAL
2020

AUTOR: David Marroquí Sempere
DIRECTOR: Dr. Ausiàs Garrigós Sirvent
CODIRECTOR: Dr. José Manuel Blanes Martínez

La presente Tesis Doctoral está sustentada por un compendio de trabajos previamente publicados en revistas científicas de impacto, indexadas según JCR Science Edition. El cuerpo de dicha tesis queda constituido por los siguientes artículos, cuyas referencias bibliográficas completas se indican a continuación:

- *Comparative Study of SiC Transistors for Active Current Limitation in S3R*
D.Marroqui, J.Borrell, R.Gutiérrez, J.M.Blanes, A.Garrigós, E.Maset
Elektronika ir Elektrotechnika. Vol 23, pp. 54-60
ISSN: 1392-1215. Kaunas University of Technology
JCR-SCI Factor de Impacto: 1.088, Cuartil: Q3
DOI: <http://dx.doi.org/10.5755/j01.eic.23.5.19243>
- *Self-Powered 380V DC SiC Solid-State Circuit Breaker and Fault Current Limiter*
D.Marroqui, J.M.Blanes, A.Garrigós, R.Gutiérrez
IEEE Transaction on Power Electronics. vol. 34, no. 10, pp. 9600–9608
ISSN: 0885-8993
JCR-SCI Factor de Impacto: 6.812, Cuartil: Q1
DOI: <https://doi.org/10.1109/TPEL.2019.2893104>
- *Photovoltaic-driven SiC MOSFET circuit breaker with latching and current limiting capability*
D.Marroqui, A.Garrigós, J.M.Blanes, R.Gutiérrez
Energies 2019, Vol. 12, Page 4585
JCR-SCI Factor de Impacto: 2.67, Cuartil: Q2
DOI: <https://doi.org/10.3390/en12234585>
- *SiC MOSFET vs SiC/Si Cascode short circuit robustness benchmark*
D.Marroqui, A.Garrigós, J.M.Blanes, R.Gutiérrez, E.Maset, F.Iannuzzo
Microelectronics Reliability
ISSN: 00262714
JCR-SCI Factor de Impacto: 1.466, Cuartil: Q3
DOI: [10.1016/j.microrel.2019.113429](https://doi.org/10.1016/j.microrel.2019.113429)



AUTORIZACIÓN DE PRESENTACIÓN
DE TESIS DOCTORAL POR UN
CONJUNTO DE PUBLICACIONES

Director: Dr. Ausiàs Garrigós

Codirector: Dr. José Manuel Blanes Martínez

Título de la tesis: **Diseño e implementación de controladores de potencia de estado sólido SiC para aplicaciones DC**

Autor: David Marroquí Sempere

Departamento de Ciencia de Materiales, Óptica y Tecnología Electrónica
Universidad Miguel Hernández de Elche

El director y codirector de la tesis reseñada autorizan su publicación en la modalidad de conjunto de publicaciones.

En Elche, a de de 2020

Fdo: Dr. Ausiàs Garrigós Sirvent

Fdo: Dr. José Manuel Blanes Martínez



PROGRAMA DE DOCTORADO EN
TECNOLOGÍAS INDUSTRIALES Y DE
TELECOMUNICACIÓN

Dr. D. Óscar Reinoso García, Coordinador del Programa de Doctorado en Tecnologías Industriales y de Telecomunicación de la Universidad Miguel Hernández de Elche.

Certifica

Que el trabajo realizado por D. David Marroquí Sempere titulado **Diseño e implementación de controladores de potencia de estado sólido SiC para aplicaciones DC** ha sido dirigido por el Dr. Ausiàs Garrigós Sirvent y codirigido por el Dr. José Manuel Blanes Martínez y se encuentra en condiciones de ser leído y defendido como Tesis doctoral ante el correspondiente tribunal en la Universidad Miguel Hernández de Elche.

Lo que firmo para los efectos oportunos en Elche, a de de 2020.

Fdo: Dr. Óscar Reinoso García
Coordinador del Programa de Doctorado en Tecnologías Industriales y de
Telecomunicación

DEPARTAMENTO DE INGENIERÍA DE SISTEMAS Y AUTOMÁTICA
Universidad Miguel Hernández de Elche. Ed. Innova. Avda. de la Universidad s/n, 03202
Elche Telf: 96 665 8616

Agradecimientos

Llegados a este punto, me gustaría agradecer a las personas que de una forma u otra han permitido la realización de este trabajo, siempre lo recordaré y siempre estaré agradecido por ello.

En primer lugar, quisiera agradecer a mis directores Ausiàs Garrigós Sirvent y José Manuel Blanes Martínez su confianza, su ayuda y su paciencia. Gracias por brindarme la oportunidad de conocer el mundo de la investigación y la docencia a vuestro lado. Sois un ejemplo para mí tanto dentro como fuera de la universidad. Gracias.

Quisiera agradecer al resto de compañeros del *IE-g* toda su ayuda, ideas y apoyo durante estos años: José Antonio Carrasco, Roberto Gutiérrez y Javier Rubiato.

Al resto de compañeros del Área de Tec. Electrónica, por acogerme tan bien, por sus consejos y por los buenos ratos del café, ¡gracias!. Por orden alfabético: Higinio Alavés, Julia Arias, Ernesto Ávila, Francisco García de Quirós, Héctor García y José Antonio Palazón.

También quisiera agradecer a los miembros del CORPE su amabilidad y ayuda durante mi estancia, en especial a Francesco Iannuzzo por su implicación. Así mismo, a los miembros del LEII, en especial a Enrique Maset y Pedro J. Martínez por su apoyo en la fase de caracterización de transistores.

Agradecer a toda mi familia el apoyo incondicional que siempre tengo de ellos. A mis padres por haber sembrado en mí la semilla de la curiosidad y por regarla con su mejor agua hasta dar frutos. A mi hermana, seguir su estela lo ha hecho todo mucho más fácil. Gracias.

Quisiera agradecer especialmente a Laura su constante apoyo, es quien más ha sufrido los efectos de “la carrera investigadora”, algún sábado que otro en la uni, largos meses sin vernos, los cabreos con las revisiones ... Un minuto de su alegría me da fuerzas para empezar desde cero. Ahora te toca a ti. Te deseo lo mejor estos años de doctorado. Ánimo.

Por último, quisiera agradecer a todas aquellas personas que de una forma u otra han permitido la realización de este trabajo y que no nombro por olvido involuntario.

A mis padres



Resumen

A lo largo de los últimos años, el uso de sistemas de distribución energética basada en corriente continua (DC) está aumentando de forma considerable y están presentes en multitud de aplicaciones y ámbitos. Su uso permite implementar sistemas con generación distribuida de forma más sencilla que en corriente alterna, facilitando la integración de fuentes de energía renovables y sistemas de almacenamiento de energía basados en baterías.

Son diversos los sectores que cada vez utilizan más sistemas basados en DC. El sector aeroespacial, los centros de procesamiento de datos, el sector de la automoción y edificios residenciales son algunos ejemplos.

Los principales factores que limitan una mayor implantación de este tipo de sistemas son la falta de normativa –en algunos sectores–, la poca disponibilidad de equipos de protección y maniobra, la falta de infraestructura y en definitiva, la relativa novedad de los mismos.

Con el objetivo de sumar en esta dirección, la presente tesis propone y evalúa sistemas de protección y control de potencia para ser utilizados en DC. En concreto, se focaliza en aquellas aplicaciones que, por sus necesidades, funcionan en rangos de tensión superiores a los habituales, por encima de los 250V y hasta los 1000V, utilizando para ello dispositivos semiconductores de carburo de silicio.

El primer capítulo expone todos los aspectos relacionados con el ámbito académico, dentro del programa de doctorado TECNIT y la Universidad Miguel Hernández de Elche.

En el segundo capítulo se presentan el escenario de aplicaciones y contexto tecnológico en el que se ha desarrollado la tesis, analizando los diferentes tipos de redes, tecnologías de protección y control de potencia para DC y aspectos relevantes de los semiconductores de banda prohibida ancha.

El tercer capítulo expone el estado del arte como una recopilación de trabajos influyentes en el desarrollo de los sistemas propuestos y evaluados en esta tesis.

Los capítulos cuarto, quinto, sexto y séptimo se corresponden a cada uno de los cuatro trabajos que forman el compendio de artículos y cuerpo principal de esta tesis. Se incluyen íntegramente los trabajos y se amplía parte de los resultados. Se presenta por orden:

- Un limitador activo de corriente para fines especiales basado en dispositivos semiconductores de carburo de silicio. Supone la antesala y primera toma de contacto con este tipo de dispositivos, especialmente en su uso como limitadores de corriente.
- Un sistema de protección para su uso en centros de datos que requieren alimentación DC de 380V. Se propone una nueva arquitectura, se analiza y se implementa y evalúa un prototipo funcional.
- Un sistema de protección basado en el trabajo previo que permite ser utilizado hasta el rango de los 1000V. Se analiza en detalle sus propiedades de ajuste y funcionamiento, proporcionando ecuaciones de diseño para adaptar su respuesta a las necesidades de la red y cargas.
- Un estudio de fiabilidad y robustez de los dispositivos semiconductores de carburo de silicio utilizados en los tres trabajos previos. Se analiza cómo afecta a la degradación de los dispositivos el sufrir procesos de cortocircuito repetitivo.

El octavo capítulo expone conclusiones generales de la temática y los trabajos realizados. Resume las principales aportaciones y propone diversas líneas abiertas en las que poder desarrollar nuevos trabajos y aportaciones futuras.

Finalmente, la tesis cierra con cinco anexos que facilitan la comprensión de los prototipos y bancos de trabajo desarrollados, así como las referencias más importantes.



Abstract

The use of DC-based energy distribution systems has increased substantially in recent years and DC distribution is present in many areas and applications. They allow distributed generation in an easier way than alternating current, providing the integration of renewable energy sources and battery-based energy storage systems.

DC-based systems are used in many different sectors, like aerospace, datacenters, automotive and residential buildings.

The main limitations of the use of DC-based systems are the lack of regulations in some sectors, the low availability of protection and control devices, defficient infrastructure and, eventually, their relative novelty.

For the sake of progress towards DC-based systems implementation, this thesis proposes and evaluates power protection and control systems for DC distribution. In particular, it is focused on those applications that work at high voltage, above 250V and up to 1000V, by means of the use of silicon carbide devices.

The first chapter presents all the academic aspects within the TECNIT PhD program and the Miguel Hernández University of Elche.

The second chapter presents the scenario and technological framework, analysing the types of DC-grids, protection and power control technologies for DC, as well as relevant aspects of wide band gap semiconductors.

The third chapter exposes the state of the art as a compendium of influential works for this thesis.

The fourth, fifth, sixth and seventh chapters correspond with each of the four scientific papers that comprise the core of this thesis. Apart of the scientific paper itself, the results have been expanded. The structure of the work is as follows:

- A silicon carbide based current limiter for space applications is detailed in the fourth chapter. It supposes the prelude and first contact with silicon carbide devices, especially when used as current limiters.

- A protection system designed for use in DC 380V datacenters is covered in the fifth chapter. A new architecture is proposed and a functional prototype is analysed, implemented and evaluated.
- A protection system based on the previous work that allows to be used up to 1000V is introduced in the sixth chapter. Adjustment and operating properties are detailed, providing design equations in order to adapt its response to the requirements of the particular application.
- A reliability and robustness study of the silicon carbide devices used in the previous works is detailed in the seventh chapter.

The eighth chapter presents the conclusions. It summarizes the main contributions and proposes several open ideas to develop new works and future contributions.

Finally, the thesis concludes with five annexes which facilitate understanding of the prototypes and setups, as well as the references.





Listado de abreviaturas

2DEG	<i>Two Dimension Electron Gas</i>
A	Amperio
AAU	<i>Aalborg University</i>
AC	Corriente Alterna (<i>Alternating Current</i>)
AlGaN	Nitruro de galio y aluminio
AlN	Nitruro de aluminio
CB	Disyuntor (<i>Circuit Breaker</i>)
CL	Limitador de corriente (<i>Current Limiter</i>)
C_{SA}	Capacidad parásita de panel solar
DC	Corriente Continua (<i>Direct Current</i>)
DET	Transferencia directa de energía (<i>Direct Energy Transfer</i>)
ECSS	<i>European Cooperation for Space Standardization</i>
EMI	Interferencia Electromagnetica (<i>ElectroMagnetic Interference</i>)
ESA	<i>European Space Agency</i>
ESPC	<i>European Space Power Conference</i>
ESR	Resistencia serie equivalente (<i>Equivalent Series Resistance</i>)
ETSI	<i>European Telecommunications Standard Institute</i>
eV	Electronvoltio
F	Faradio
FCL	<i>Foldback Current Limiter</i>
FET	Transistor de efecto campo (<i>Field-Effect Transistor</i>)
FPGA	Matriz de puertas lógicas programable (<i>Field-Programmable Gate Array</i>)
GaN	Nitruro de galio
g_f	Transconductancia de transistor
HEMT	Transistor de alta movilidad electrónica (<i>High Electron Mobility Transistor</i>)
HRC	Alta capacidad de ruptura (<i>High Rupturing Capacity</i>)
HVDC	<i>High Voltage Direct Current</i>
Hz	Hercio
I_{2t}	Curva característica de repuesta de fusibles
IBC	Convertidor de bus intermedio (<i>Intermediate Bus Converter</i>)
IEC	<i>International Electrotechnical Commission</i>
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
IE-g	Grupo de electrónica industrial (<i>Industrial Electronic Group</i>)
IGBT	Transistor bipolar de puerta aislada (<i>Insulated Gate Bipolar Transistor</i>)
I_S	Corriente de surtidor
JFET	Transistor de unión de efecto campo (<i>Junction Field-Effect Transistor</i>)
LCL	Limitador de corriente con enclavamiento (<i>Latching Current Limiter</i>)

LED	Diodo emisor de luz (<i>Light-Emitting Diode</i>)
LGA	Matriz de contactos (<i>Land Grid Array</i>)
L_H	Inductancia de cableado
LVDC	<i>Low Voltage Direct Current</i>
MOSFET	Transistor de efecto de campo metal-óxido-semiconductor (<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>)
MOV	Varistor de óxido-metal (<i>Metal Oxide Varistor</i>)
MPPT	Seguidor de punto de máxima potencia (<i>Maximum Power Point Tracking</i>)
MR	Magnetorresistencia
NASA	<i>National Aeronautics and Space Administration</i>
NDT	Ensayo no destructivo (<i>Non Destructive Test</i>)
°C	Grado Celsius
OLED	Diodo orgánico de emisión de luz (<i>Organic Light-Emitting Diode</i>)
PCB	Tarjeta de circuito impreso (<i>Printed Circuit Board</i>)
PVC	Policloruro de vinilo (<i>PolyVinyl Chloride</i>)
PWM	Modulación por ancho de pulso (<i>Pulse-Width Modulation</i>)
RCSSCB	Disyuntor de estado sólido con control remoto (<i>Remote Controller Solid State Circuit Breaker</i>)
R_{ON}/R_{DSon}	Resistencia de encendido de transistor
s	Segundo
S3R	<i>Sequential Switching Shunt Regulation</i>
SAI	Sistema de alimentación ininterrumpida
SiC	Carburo de silicio (<i>Silicon Carbide</i>)
SMD	Dispositivo sobre superficie (<i>Surface-Mount Device</i>)
SOA	Zona de trabajo segura (<i>Safe Operative Area</i>)
SSCB	Disyuntor de estado sólido (<i>Solid State Power Controller</i>)
SSPC	Controlador de potencia de estado sólido (<i>Solid State Power Controller</i>)
TVS	Supresor de tensión transitoria (<i>Transient-Voltage-Suppression</i>)
UMH	Universidad Miguel Hernández de Elche
V	Voltio
V_{DS}	Tensión drenador-surtidor
V_{gp}	Tensión de <i>Plateau</i>
V_{GS}	Tensión puerta-surtidor
V_{TH}	Tensión umbral
W	Vatio
WBG	Banda prohibida ancha (<i>Wide Band Gap</i>)
Ω	Ohmio

Índice general

Agradecimientos	ix
Resumen	xiii
Abstract	xvii
Listado de abreviaturas	xxi
Índice general.....	xxv
Índice de Figuras	xxxii
Índice de Tablas.....	xxxvii
Capítulo 1 – Introducción	39
1.1 Motivación	40
1.2 Temática abordada	42
1.3 Objetivos	44
1.3.1 Objetivos Específicos	44
1.4 Marco de la tesis	46
1.4.1 Proyectos	46
1.4.2 Patentes	47
1.4.3 Ayudas	48
1.4.4 Estancias	49
1.4.5 Conferencias	49
1.4.5.1 Internacionales	49
1.4.5.2 Nacionales	50
1.5 Equipamiento y Métodos	51
1.5.1 Equipamiento.....	51
1.5.2 Métodos	52
1.5.3 Estructura de la tesis	54
Capítulo 2 – Contexto.....	57
2.1 Introducción a las redes DC.....	58

2.1.1	Factores de cambio	59
2.1.2	Regularización y Normativa.....	61
2.1.3	Clasificación de cargas DC.....	63
2.1.4	Arquitecturas de redes DC.....	64
2.1.5	Sectores potenciales para el uso de redes DC.....	65
2.1.6	Protecciones para redes DC – Retos.....	67
2.2	Sistemas de protección DC	68
2.2.1	Características básicas de los sistemas de protección DC.....	70
2.2.2	Tipos de fallos en función de topología de red DC	71
2.2.2.1	Análisis de falla con batería	72
2.2.2.2	Análisis de falla con convertidores AC/DC	73
2.2.2.3	Análisis de falla con convertidor DC/DC	74
2.2.3	Técnicas de detección de falla	77
2.2.4	Tipos de protecciones	78
2.2.4.1	Fusibles.....	78
2.2.4.2	<i>Circuit Breakers</i>	80
2.2.4.3	<i>Solid State Circuit Breakers</i>	82
2.2.4.4	Limitadores de corriente.....	83
2.2.4.5	<i>Solid State Power Controller</i>	85
2.2.5	Problemas de las protecciones de estado sólido	87
2.3	Semiconductores WBG.....	90
2.3.1	WBG aplicada a la electrónica de potencia.....	90
2.3.2	Dispositivos SiC	92
2.3.2.1	Diodo SiC	93
2.3.2.2	MOSFET SiC	95
2.3.2.3	JFET SiC	97
2.3.2.4	Cascodo SiC	99
2.3.3	Dispositivos GaN.....	102
2.3.3.1	HEMT de GaN	104
2.3.4	Retos de la tecnología WBG	107
Capítulo 3 – Estado del arte		111
3.1	Protecciones para el ámbito espacial	112
3.1.1	Distribución de potencia basada en LCL.....	112
	Caso de estudio 1: <i>An innovative, flexible, hybrid active input filter for the International Space Station</i>	115

Caso de estudio 2: <i>A power distribution hybrid for space applications</i>	117
Caso de estudio 3: <i>Integrated Current Limiter</i>	120
3.1.2 Protección de limitación de corriente en el S3R.	125
Caso de estudio 4: <i>Current limitation techniques in a S3R power cell</i>	125
3.2 Protecciones de ámbito terrestre	128
Caso de estudio 5: <i>A self-powered ultra-fast DC solid state circuit breaker using a normally-on SiC JFET</i>	128
Caso de estudio 6: <i>Solid state power controller (SSPC) for protection of continuous embedded network</i>	131
Caso de estudio 7: <i>Bidirectional Bipolar Electronic Overcurrent Safety Elements for Bipolar DC Grids</i>	134
Capítulo 4 – Aplicación de transistores SiC en el S3R.....	139
4.1 Resumen.....	140
4.2 Artículo	142
4.3 Análisis del trabajo	149
4.3.1 Motivación.....	149
4.3.2 Análisis y extensión de resultados.....	150
Capítulo 5 – SSCB-LCL para aplicaciones de 380V	159
5.1 Resumen.....	160
5.2 Artículo	162
5.3 Análisis del trabajo	171
5.3.1 Motivación.....	171
5.3.2 Análisis y extensión de resultados.....	172
Capítulo 6 – SSCB-LCL para aplicaciones de 1000V	187
6.1 Resumen.....	188
6.2 Artículo	190
6.3 Análisis del trabajo	206
6.3.1 Motivación.....	206
6.3.2 Análisis y extensión de resultados.....	207
Capítulo 7 – Estudio de fiabilidad en dispositivos SiC.....	213
7.1 Resumen.....	214
7.2 Artículo	217
7.3 Análisis del trabajo	223
7.3.1 Motivación.....	223

7.3.2	Análisis y extensión de resultados.....	224
Capítulo 8 – Conclusiones, aportaciones y líneas abiertas		231
8.1	Conclusiones.....	232
8.1.1	Artículo I: Aplicación de transistores SiC en el S3R	233
8.1.2	Artículo II: SSCB-LCL para aplicaciones de 380V	234
8.1.3	Artículo III: SSCB-LCL para aplicaciones de 1000V.....	235
8.1.4	Artículo IV: Estudio de robustez en dispositivos SiC	236
8.2	Aportaciones	237
8.2.1	Artículo I: Aplicación de transistores SiC en el S3R	237
8.2.2	Artículo II: SSCB-LCL para aplicaciones de 380V	238
8.2.3	Artículo III: SSCB-LCL para aplicaciones de 1000V.....	239
8.2.4	Artículo IV: Estudio de robustez en dispositivos SiC	239
8.3	Líneas abiertas	240
8.3.1	Bidireccionalidad.....	240
8.3.2	Paralelización.....	241
8.3.3	Serialización	242
8.3.4	Control digital.....	243
Anexo I – Esquemas electrónicos del prototipo de limitador SiC para el S3R.....		247
Anexo II – Esquemas electrónicos del prototipo de la protección de 380V		253
Anexo III – Esquemas electrónicos del prototipo de la protección de 1000V		259
Anexo IV – Descripción del <i>setup</i> experimental		265
Anexo V – Programas de las secuencias de control.....		271
Referencias		277

Índice de Figuras

Figura 1. A) Red de distribución DC B) Red de distribución AC.....	60
Figura 2. Red DC en la que el sistema fotovoltaico se encuentra directamente conectado al bus de distribución [6].....	61
Figura 3. Resumen de las normas, estándares, aplicaciones en función del nivel de tensión en DC [8].....	62
Figura 4. Arquitecturas de distribución de red DC de bus único [9] a)Red DC bifilar b)Red DC trifilar.....	65
Figura 5. Evolución de los trabajos con el término <i>Solid State Power Controller</i> en Scopus, entre 1960 y 2019. [Scopus].....	69
Figura 6. Evolución de los trabajos con el término <i>Circuit Breaker</i> en Scopus, entre 1960 y 2019. [Scopus].....	69
Figura 7. Evolución de los trabajos con el término <i>Current Limiter</i> en Scopus, entre 1960 y 2019. [Scopus].....	69
Figura 8. Esquema simplificado del convertidor AC/DC y los elementos parásitos de red.	73
Figura 9. Convertidor DC/DC <i>boost</i> y las fases de corriente en caso de falla en carga.	75
Figura 10. Convertidor DC/DC <i>buck</i> y las fases de corriente en caso de falla en carga....	75
Figura 11. Convertidor DC/DC <i>dual active bridge</i> y las fases de corriente en caso de falla en carga.	76
Figura 12. Ejemplo de curva I ² t de un fusible comercial [Littlefuse, 279 Series]	80
Figura 13. Estructura de mitigación del arco eléctrico en un CB mecánico para aplicaciones DC.....	82
Figura 14. Esquema simplificado de un SSCB. Partes principales.....	83
Figura 15. Ejemplo de SOA de transistor SiC – C2M0080120D [33].....	84
Figura 16. Esquema simplificado de un SSPC.	86
Figura 17. Óxido de puerta de un transistor MOSFET degradado [40].	91
Figura 18. Eventos importantes en la evolución de la tecnología de los dispositivos SiC comerciales [43].....	92
Figura 19. Ejemplo de <i>micropipe</i> en SiC.....	93
Figura 20. Comparativa de formas de onda de apagado para diodos Schottky SiC vs Si-pin [47].....	94
Figura 21. Proceso de apagado de MOSFET SIC @ 10kV y 40A [49].....	96
Figura 22. Estructuras de implementaciones de dispositivos JFET. En la fila superior tres estructuras laterales y en la inferior tres verticales [53].....	97
Figura 23. Curva típica de control de puerta de un transistor JFET.	98
Figura 24. Topología autoalimentada de limitador de corriente propuesto por USCi junto a su respuesta i-v [59].	99
Figura 25. Comparación de transconductancias a diferentes temperaturas para un dispositivo JFET basado en SiC y un MOSFET basado en SiC de características similares [59].....	99
Figura 26. Estructura básica simplificada de un dispositivo cascodo SiC.....	100
Figura 27. Implementación física de un cascodo en encapsulado TO-247 [USCi]	102
Figura 28. Eventos importantes en la evolución de la tecnología de los dispositivos GaN comerciales [43].....	103

Figura 29. Estructura interna simplificada de un dispositivo HEMT basado en GaN [EPC]	105
Figura 30. Encapsulado de un transistor HEMT GaN del fabricante EPC.....	105
Figura 31. Comparativa de resistencias parásitas de diferentes encapsulados en $m\Omega$ [65].	106
Figura 32. Comparativa de inductancias parásitas de diferentes encapsulados en nH [65].	106
Figura 33. Diagrama de bloques de un LCL genérico para aplicaciones espaciales [79].	113
Figura 34. Diagrama de bloques de: <i>An innovative, Flexible, Hybrid active input filter for the International Space Station</i> [83].	116
Figura 35. Funcionamiento de [83] en modo limitación de corriente de arranque. Ch1: Tensión de salida (50V/div). Ch2: Tensión de entrada (50V/div). Ch3: Corriente por el sistema (1A/div).	117
Figura 36. Diagrama del concepto de ensamblaje híbrido para aplicaciones espaciales presentado en [85].	118
Figura 37. Imagen del ensamblaje híbrido implementado sin la parte superior de la envolvente [85].	119
Figura 38. Esquemático de cada uno de los LCL que conforman el sistema de distribución y protección [85].	119
Figura 39. Funcionamiento de [85] frente a una sobrecarga constante en el tiempo. Ch2: Corriente suministrada a la carga (50mA/div).	120
Figura 40. Diagrama de bloques del <i>Integrated Current Limiter</i> (RHRPMICL1A) [88].	121
Figura 41. Esquema de instalación típico del RHRPMICL1A [88].	122
Figura 42. Funcionamiento de RHRPMICL1A en <i>Latched Mode</i> [46].	123
Figura 43. Funcionamiento del RHRPMICL1A en modo <i>Re-Triggerable</i> [46] bajo condición de sobrecarga constante.	123
Figura 44. Celda ejemplo del S3R incluyendo la capacidad parásita del panel solar e inductancia del cableado [90].	125
Figura 45. Formas de onda de las conmutaciones a <i>OFF</i> y <i>ON</i> en una celda del S3R considerando los elementos parásitos más relevantes [90]. Izquierda corriente por el transistor principal. Derecha tensión drenador-surtidor del transistor principal.	126
Figura 46. Esquema simplificado del limitador activo de corriente [90].	127
Figura 47. Esquema de la implementación del <i>Circuit Breaker</i> en [57].	129
Figura 48. Comportamiento del <i>Circuit Breaker</i> presentado en [57] ante una falla de cortocircuito con resistencia equivalente de 1Ω . Azul: Corriente por el JFET (100A/div). Amarillo: Tensión en bornes del JFET (200V/div). Rojo: Tensión de puerta del JFET (10V/div).	130
Figura 49. Diagrama de bloques simplificado del SSPC [95].	132
Figura 50. Ejemplo de arranque suave de [95] en modo tensión. Izquierda: SSPC implementado en Si, Derecha: SSPC implementado en SiC. Azul: V_{DS} del MOSFET. Morado: I_S del MOSFET.	133
Figura 51. Evolución de las pérdidas en [95] en función de la temperatura del encapsulado de los dispositivos semiconductores en el SSPC. Comparativa Si vs SiC.	133
Figura 52. Esquemático de la protección basada en SiC JFETS [96].	135
Figura 53. Respuesta de la protección [96] ante una falla de cortocircuito a 150V.	135
Figura 54. Esquema simplificado de la protección basada en MOSFET de [96].	136
Figura 55. Respuesta de la protección basada en MOSFETs SiC y controlador de [96].	137
Figura 56. SOA del dispositivo Si MOSFET IRF250N [98]. Eje vertical: Corriente por el dispositivo [A]. Eje horizontal: tensión drenador-surtidor del dispositivo [V].	151

Figura 57. SOA del dispositivo SiC MOSFET C2M0080120D [33]. Eje vertical: Corriente por el dispositivo [A]. Eje horizontal: tensión drenador-surtidor del dispositivo [V]	151
Figura 58. SOA del dispositivo SiC cascode UJC1206K [99]. Eje vertical: Corriente por el dispositivo [A]. Eje horizontal: tensión drenador-surtidor del dispositivo [V].....	151
Figura 59. Simulación de S3R con IRF250N para dos condiciones de capacidad parásita del panel solar [680nF y 1μF]. Escala izquierda: V_{DS} [V]. Escala derecha: I_S [A]. Escala de tiempos: 2μs.....	153
Figura 60. Simulación de S3R con C2M0080120D para dos condiciones de capacidad parásita del panel solar [680nF y 1μF]. Escala izquierda: V_{DS} [V]. Escala derecha: I_S [A]. Escala de tiempos: 2μs.....	153
Figura 61. Simulación de S3R con UJC1206K para dos condiciones de capacidad parásita del panel solar [680nF y 1μF]. Escala izquierda: V_{DS} [V]. Escala derecha: I_S [A]. Escala de tiempos: 2μs.....	153
Figura 62. Forma de onda del encendido del IRF250N con un barrido de tres capacidades parásitas del panel solar [680nF, 1μF y 1.5μF]. Ch1: I_S [A] (2A/div) Ch2: V_{DS} [V] (5V/div). Escala de tiempo 4μs/div.....	155
Figura 63. Forma de onda del encendido del C2M0080120D con un barrido de tres capacidades parásitas del panel solar [680nF, 1μF y 1.5μF]. Ch1: I_S [A] (2A/div) Ch2: V_{DS} [V] (5V/div). Escala de tiempo 4μs/div.....	155
Figura 64. Forma de onda del encendido del UJC1206K con un barrido de tres capacidades parásitas del panel solar [680nF, 1μF y 1.5μF]. Ch1: I_S [A] (2A/div) Ch2: V_{DS} [V] (5V/div). Escala de tiempo 4μs/div.....	155
Figura 65. Imágenes térmicas de cada dispositivo evaluado en cada condición del barrido de capacidad.....	156
Figura 66. Esquemático de la protección para aplicaciones de 380V [100].....	172
Figura 67. Esquema de simulación LTSpice para la validación del comportamiento de la protección [100].	173
Figura 68. Capacidad de ajuste en simulación de las temporizaciones en la protección frente a un salto de carga de 1000Ω hasta 100Ω [100]. Figura superior V_{DS} [V]. Figura inferior I_S [A]. Se representa barrido de R42 [20, 30, 40, 50, 60]kΩ, en orden creciente: verde, azul, rojo, cian, rosa.	173
Figura 69. Capacidad de ajuste en simulación del valor de limitación de corriente frente a un salto de carga de 1000Ω hasta 100Ω [100]. Figura superior V_{DS} [V]. Figura inferior I_S [A]. Se representa barrido de valores de R33 [80, 90 100, 110, 120]Ω, en orden creciente: verde, azul, rojo, cian, rosa.	174
Figura 70. Capacidad de ajuste en simulación de la respuesta de la protección frente a un salto de carga de 1000Ω hasta 100Ω [100]. Figura superior V_{DS} [V]. Figura inferior I_S [A]. Se representa barrido de valores de R15 [1, 1000, 10000, 100000]Ω, en orden creciente: verde, azul, rojo, cian.....	174
Figura 71. Prototipo preliminar de los sistemas de protección desarrollados.....	175
Figura 72. Vistas del prototipo implementado en [100]. a) Vista superior sin transistores soldados. b) Vista inferior sin transistores soldados c) Vista en perspectiva d) Vista lateral.	175
Figura 73. Vistas de la envolvente de la protección plástica desarrollada. Izquierda: Ensamblaje cerrado. Derecha: Explosión del ensamblaje	176
Figura 74. Explosión del prototipo implementado junto con la envolvente plástica – impresión 3D en PVC–.....	176
Figura 75. Configuración típica del VOM1271 [103].....	177

Figura 76. Test de diferentes saltos de carga desde 200Ω hasta [100, 66, 50]Ω a 380kV [100].	178
Figura 77. Esquema de descarga rápida esperado del VOM1271 junto con un transistor y su inductancia de surtidor.....	179
Figura 78. Esquema de simulación LTSpice implementado para validar la disminución del tiempo de apagado debido a los efectos de L_S en el VOM1271.....	179
Figura 79. Efecto de la inductancia de surtidor en el circuito de descarga rápida del VOM1271. Barrido de sobrecarga [1000, ..., 1]Ω. Gráfica superior: Corriente de drenador del transistor. Grafica inferior: V_{GS} del transistor contemplando L_S	180
Figura 80. Efecto de la inductancia de surtidor en el circuito de descarga rápida del VOM1271. Dos niveles de sobrecarga en verde sobrecarga de 1000 Ω y en azul 1Ω. Se muestra corriente por el circuito de descarga.	180
Figura 81. Esquema para la validación	181
Figura 82. Test de respuesta del VOM1271 desde 1A hasta 2A. Ch1: Corriente primario VOM1271. Ch2: V_{GS} (T_1). Ch3: I_S (T_1) Ch4: V_{DS} (T_1).....	181
Figura 83. Test de respuesta del VOM1271 desde 1A hasta 5A. Ch1: Corriente primario VOM1271. Ch2: V_{GS} (T_1). Ch3: I_S (T_1) Ch4: V_{DS} (T_1).....	182
Figura 84. Test de respuesta del VOM1271 desde 1A hasta 20A. Ch1: Corriente primario VOM1271. Ch2: V_{GS} (T_1). Ch3: I_S (T_1) Ch4: V_{DS} (T_1).....	182
Figura 85. Test de respuesta del VOM1271 desde 1A hasta cortocircuito. Ch1: Corriente primario VOM1271. Ch2: V_{GS} (T_1). Ch3: I_S (T_1) Ch4: V_{DS} (T_1)	183
Figura 86. Captura termográfica de la protección con disipador alimentando una carga de 100Ω @ 380V.....	183
Figura 87. Esquemático de la protección para aplicaciones de 1000V [104].....	208
Figura 88. Esquema de simulación LTSpice para validar el comportamiento de la protección [104].	208
Figura 89. Capacidad de ajuste de las temporizaciones en la protección frente a un salto de carga de 1000Ω hasta 400Ω [104]. Figura superior V_{DS} [V]. Figura inferior I_S [A]. Se representa barrido de R_{42} [20, 30, 40, 50, 60]kΩ, en orden creciente: verde, azul, rojo, cian, rosa. ...	209
Figura 90. Capacidad de ajuste en simulación del valor de limitación de corriente en frente a un salto de carga de 1000Ω hasta 400Ω [104]. Figura superior V_{DS} [V]. Figura inferior I_S [A]. Se representa barrido de valores de R_{33} [400, 450, 500, 550, 600]Ω, en orden creciente: verde, azul, rojo, cian, rosa.	209
Figura 91. Diferentes modalidades de funcionamiento para el sistema de protección de [104]. A) <i>Slow Turn Off with Current Limitation</i> B) <i>Fast Turn Off with Current Limitation</i> C) <i>Circuit Breaker</i>	210
Figura 92. Capacidad de ajuste en simulación de la respuesta de la protección frente a un salto de carga de 1000Ω hasta 100Ω [100]. Figura superior V_{DS} [V]. Figura inferior I_S [A]. Se representa barrido de valores de red R_{15} [1, 1000, 10000]Ω, en orden creciente: verde, azul, rojo.	211
Figura 93. <i>Non Destructive Test Setup</i> del CORPE [AAU]	224
Figura 94. Proceso de ajuste del límite del C2M0080120D.en condiciones de V_{GS} definidas por el fabricante. Ruptura. Ch1: V_{DS} [V] 200V/div Ch2: I_S [A] 100A/div Ch3: V_{GS} [V] 10V/div. Escala de tiempo: 500ns/div.....	225
Figura 95. Estado del transistor C2M0080120D tras su ruptura debido a un exceso de tiempo de cortocircuito.....	225
Figura 96. Ensayo de ajuste para el UJC1206K de 1.5 μs en condiciones de V_{GS} definidas por el fabricante. Ch1: V_{DS} [V] 200V/div Ch2: I_S [A] 100A/div Ch3: V_{GS} [V] 10V/div. Escala de tiempo: 500ns/div	226

Figura 97. Ensayo de ajuste para el C2M0080120D de 1.5 μ s en condiciones de $V_{GS}=8.5V$. Ch1: V_{DS} [V] 200V/div Ch2: I_S [A] 100A/div Ch3: V_{GS} [V] 10V/div. Escala de tiempo: 500ns/div	226
Figura 98. Ensayo de ajuste para el UJC1206K de 1.5 μ s en condiciones de $V_{GS}=8.5V$. Ch1: V_{DS} [V] 200V/div Ch2: I_S [A] 100A/div Ch3: V_{GS} [V] 10V/div. Escala de tiempo: 500ns/div	226
Figura 99. Esquema de uso del CPWR-AN10 en los test de cortocircuito [109].....	227
Figura 100. Evolución de las corrientes de pico durante un ciclado de 1000 cortocircuitos en un C2M0080120D. Eje vertical: I_S [A] Eje horizontal: n° de repeticiones restante.....	228
Figura 101. Evolución de las corrientes de pico durante un ciclado de 1000 cortocircuitos en un UJC1206K. Eje vertical: I_S [A] Eje horizontal: n° de repeticiones restante.	228
Figura 102. Opciones para la implementación de protecciones y controladores bidireccionales [114].	241
Figura 103. Hybrid and Intelligent - <i>Solid State Power Controller</i> –HI-SSPC– [121].....	244
Figura 104. Esquemático del prototipo del limitador activo de corriente para el S3R.....	248
Figura 105. Posicionamiento del prototipo de limitador activo de corriente para el S3R	249
Figura 106. Cara <i>Top</i> del prototipo de limitador activo de corriente para el S3R	249
Figura 107. Cara <i>Bottom</i> del prototipo de limitador activo de corriente para el S3R	250
Figura 108. Esquemático del prototipo del SSCB-LCL para 380V.	254
Figura 109. Posicionamiento de cara <i>top</i> de componentes del prototipo del SSCB-LCL para 380V.....	255
Figura 110. Posicionamiento de cara <i>bottom</i> de componentes del prototipo del SSCB-LCL para 380V.....	255
Figura 111. Cara <i>top</i> del prototipo del SSCB-LCL para 380V.....	256
Figura 112. Cara <i>bottom</i> del prototipo del SSCB-LCL para 380V.	256
Figura 113. Esquemático del prototipo SSCB-LCL para 1000V.....	260
Figura 114. Posicionamiento de componentes del prototipo SSCB-LCL para 1000V de la cara top.....	261
Figura 115. Posicionamiento de componentes del prototipo SSCB-LCL para 1000V de la cara bottom.....	261
Figura 116. Cara <i>top</i> del prototipo SSCB-LCL para 1000V	261
Figura 117. Cara <i>bottom</i> del prototipo SSCB-LCL para 1000V.....	262
Figura 118. <i>Setup</i> de validación de protecciones implementado en las instalaciones del <i>IE-g</i>	266
Figura 119. Banco de condensadores del <i>setup</i> para validación de protecciones.	267
Figura 120. Banco de resistencias utilizado en el banco experimental	268
Figura 121. Resistencia para la simulación de cortocircuito.	269

Índice de Tablas

Tabla 1: Especificaciones del caso de estudio 1	115
Tabla 2: Especificaciones de un módulo LCL del caso de estudio 2.....	118
Tabla 3: Especificaciones del <i>Integrated Current Limiter</i> (RHRPMICL1A).....	122
Tabla 4: Especificaciones del <i>Circuit Breaker</i> implementado en [57].	130
Tabla 5: Especificaciones de los SSPCs implementado en [95].....	132
Tabla 6: Dispositivos SiC evaluados en [32].....	150
Tabla 7: Temperaturas máximas alcanzadas por los dispositivos evaluados en cada condición del barrido de capacidad.	156

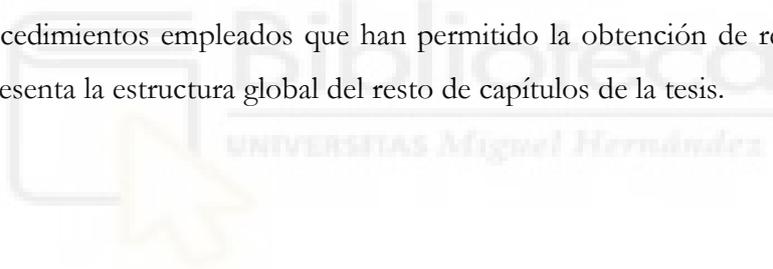


Capítulo 1

*“La vida no merece que uno se preocupe tanto...
En la vida no hay que temer a nada;
Sólo hay que tratar de comprender.”
- Marie Curie -*

Introducción

Este primer capítulo pretende mostrar las motivaciones del trabajo y, en consecuencia, cuáles han sido los objetivos fijados. Asimismo, permite al lector contextualizarse con los términos y temáticas más utilizadas. Se detallan también los proyectos, fuentes de financiación y conferencias realizadas durante el desarrollo del trabajo y se presentan los recursos y procedimientos empleados que han permitido la obtención de resultados. Para terminar, se presenta la estructura global del resto de capítulos de la tesis.



1.1 Motivación

Los sistemas de distribución energética en corriente alterna (AC) han sido y son los más utilizados. La generación energética por medio de máquinas eléctricas rotativas de forma centralizada en grandes estaciones térmicas, nucleares, eólicas, hidráulicas, entre otras, junto con el uso extensivo de centros de transformación que permiten acondicionar los niveles de tensión para minimizar pérdidas de transporte, han dominado el panorama de la distribución eléctrica a nivel mundial.

En las últimas décadas, sin embargo, están apareciendo nuevas redes de distribución energéticas basadas en corriente continua (DC). Este hecho se debe a diversos factores:

- La necesidad de nuevas arquitecturas más eficientes debido al incremento de la demanda eléctrica.
- El uso masivo de cargas electrónicas que requieren corriente continua para su funcionamiento. Estas cargas emplean sistemas de transformación AC/DC que disminuyen la eficiencia del sistema global.
- La implantación de fuentes de energía renovable fotovoltaica y sistemas de almacenamiento basados en baterías conectados a la red de forma distribuida.

Las redes de distribución en DC se posicionan como la mejor alternativa, aportando diversas ventajas sobre las redes AC convencionales. Entre otras:

- Facilitan la generación y almacenamiento de energía de forma distribuida a través de pequeños sistemas fotovoltaicos y baterías, minimizando las pérdidas asociadas al transporte.
- Permiten incrementar la eficiencia global de la red al reducirse procesos de transformación AC/DC en cargas electrónicas –DC–.
- Permiten una mejor interacción de cargas que puedan funcionar como generadores en momentos críticos de demanda energética, como por ejemplo, el vehículo eléctrico –*Vehicle to Grid*–.
- La inexistencia de energía reactiva permite incrementar la eficiencia global de la red.

No debe suponerse que las redes DC son algo nuevo e innovador, en algunos sectores se utilizan y se han utilizado durante muchas décadas, por ejemplo, los automóviles se han alimentado típicamente a 24V en DC. Los buses de alimentación de satélites convencionalmente también presentan alimentaciones en continua de diversos niveles de tensión: 28V, 50V, 70V, 100V, 120V.

Dentro del ámbito de los sistemas de distribución DC, en algunas ocasiones, especialmente fuera del ámbito de la ingeniería eléctrica, se le denomina al rango de tensiones superiores a los 300V, sistemas de alta tensión en DC (HVDC). Aspectos relacionados con la normativa serán descritos en siguientes secciones.

Muchas de las innovaciones relacionadas con las redes DC promueven el incremento de la tensión con el objetivo de poder alimentar cargas de mayor potencia y optimizar el proceso de transporte. Las nuevas redes DC con mayores niveles de tensión, denominadas HVDC, presentan, por el momento, grandes retos de implantación:

- Su implementación requiere la adaptación y generación de nuevas infraestructuras, siendo en muchos casos, no viable la reutilización de las infraestructuras de las redes AC.
- La inexistencia de normativa regulatoria dificulta la generación de nuevas tecnologías consolidables.
- La baja disponibilidad de protecciones y sistemas de maniobra para HVDC dificulta la generación de redes DC robustas y fiables.

Con ello, la principal motivación del presente trabajo es la generación de sistemas de protección y control de potencia de estado sólido basados en el uso de semiconductores de banda prohibida ancha (*Wide Band Gap – WBG*) que permitan implementar de forma segura redes eléctricas DC de rango elevado de tensión, por encima del rango de los 100V, donde no hay gran disponibilidad de dispositivos comerciales.

1.2 Temática abordada

Para poder abordar este reto deben plantearse algunas cuestiones, ¿cuál es la vanguardia de la tecnología? ¿de qué recursos disponen la ingeniería y la ciencia? Afortunadamente, el estado de la técnica se encuentra lo suficientemente maduro como para poder abordarlos. Las principales disciplinas relacionadas y tratadas en el presente trabajo son:

- **Sistemas de protección:** Se entiende por sistema de protección eléctrico al artefacto capaz de proteger la red y las cargas ante una situación de fallo. La forma más sencilla de protección eléctrica es el fusible, un elemento intencionadamente debilitado que se funde ante una situación de exceso de corriente, protegiendo con ello cargas y la propia red o bus de alimentación. Los fusibles presentan el inconveniente de tener un único uso, teniendo que ser sustituidos una vez han actuado. Por ello surgen dispositivos con capacidad de rearme tras un proceso de actuación. Hay que destacar que la mayoría de las protecciones disponibles en el mercado son para distribución en alterna, siendo en general las más comunes las protecciones electromecánicas. Éstas, analizan algún parámetro, por ejemplo: corriente, tensión, temperatura, etc., y en función de éste actúan sobre un sistema mecánico que desconecta la red. Están disponibles tanto para baja como para alta tensión, utilizando en el caso de altas tensiones, en general, técnicas de extinción de arco eléctrico y materiales específicos para soportar las elevadas temperaturas que se alcanzan. Dada la naturaleza de los sistemas AC, el cruce por cero es de vital importancia a la hora de extinguir el arco. Este fenómeno no está presente en las redes DC, es por ello que, el uso de sistemas electromecánicos está limitado a los sistemas de voltaje reducido. Para el caso de HVDC, los sistemas basados en semiconductores –estado sólido– son la opción más viable en la actualidad.
- **Controladores de potencia:** Los controladores de potencia son dispositivos que permiten conectar y desconectar distintas partes de una red eléctrica. Los sistemas de protección con capacidad de rearme pueden considerarse controladores de potencia “semicontrolados”, ya que, una vez aislada la red, permiten reconectarla. La problemática del arco eléctrico se muestra también en los controladores de potencia. Por ello, en general, se utilizan controladores de potencia mecánicos para AC, y de estado sólido para DC, denominados estos últimos: *Solid State Power*

Controller (SSPC). En las últimas décadas, gracias a los avances de los sistemas digitales, la incorporación de éstos en los SSPC ha permitido generar nuevos controladores de potencia con sistemas embebidos de telemetría, medidas de parámetros de red (tensión, corriente, potencia, temperatura, históricos de datos, calidad de red, etc.). La unión de sistemas avanzados de control y protección son actualmente la vanguardia en cuanto a los controladores de potencia. Conocer la disponibilidad de los controladores de potencia, su tecnología y aplicabilidad es, por lo tanto, fundamental en la presente tesis.

- **Limitadores de corriente:** Los limitadores de corriente son considerados un tipo de protección eléctrica. Generalmente basadas en el uso de semiconductores, permiten trabajar en un estado intermedio entre encendido y apagado, permitiendo el flujo controlado de corriente eléctrica. Su aplicabilidad es muy amplia, así como los tipos disponibles. Un sector que históricamente ha utilizado de forma continuada limitadores de corriente es el sector espacial. Un uso típico de los limitadores de corriente es la limitación de las denominadas corrientes de arranque (*inrush currents*), que tienen lugar en la fase transitoria de arranque de cargas capacitivas. Las corrientes de arranque tienen una fuerte presencia en las cargas de las redes DC, que por lo general disponen de un filtro de entrada LC. Por lo anterior, y dada su importancia en las redes DC, los limitadores de corriente son un tema relevante en la presente tesis.
- **Tecnología de semiconductores:** Los denominados semiconductores de banda prohibida ancha (*Wide Band Gap – WBG*) poseen excelentes características para su aplicación en protecciones de redes DC de tensiones superiores a 100V. Dentro de los dispositivos WBG, los más desarrollados y utilizados en la actualidad son los de carburo de silicio-4H (SiC) y nitruro de galio (GaN). Cabe destacar su elevado *bandgap* en comparación con los dispositivos clásicos de silicio (Si=1.1eV; 4H-SiC=3.3eV; GaN=3.4eV) lo que permite desarrollar dispositivos con capacidad de funcionar a elevadas temperaturas sin degradación sustancial de las propiedades de semiconductor. Su elevado campo de ruptura (Si=3·10⁵V/cm³; 4H-SiC=2·10⁶V/cm³; GaN=3.3 ·10⁶V/cm³) permite generar dispositivos capaces de funcionar a tensiones superiores sin incrementar dramáticamente el tamaño del *die*, proporcionando capacidades parásitas pequeñas y, por lo tanto, frecuencias útiles

de conmutación superiores. Por último, su movilidad electrónica ($\text{Si}=1350\text{cm}^2/\text{V}\cdot\text{s}$; $4\text{H-SiC}=720\text{cm}^2/\text{V}\cdot\text{s}$; $\text{GaN}=900\text{cm}^2/\text{V}\cdot\text{s}$) que, a pesar de ser menor que la del Si permite, en global, generar dispositivos con resistencias de encendido (R_{ON}), capacidades parásitas, y tiempos de conmutación inferiores a los equivalentes obtenidos por dispositivos Si. Los principales problemas de los WBG vienen dados por su fiabilidad electrónica, su elevado coste y la menor disponibilidad de controladores (*drivers*) comerciales.

- **Diseño analógico:** La electrónica analógica es la base de las protecciones desarrolladas en el presente trabajo y por lo tanto un elemento fundamental en el mismo.

1.3 Objetivos

El objetivo principal de la presente tesis es el desarrollo de nuevos sistemas y arquitecturas de protección y control de potencia para redes DC de estado sólido basados en el uso de dispositivos semiconductores discretos WBG, así como su verificación experimental.

1.3.1 Objetivos Específicos

Los objetivos específicos vienen supeditados a la planificación y evolución natural del desarrollo de los sistemas de protección, y se describen a continuación:

1. **Estudio y análisis de las potenciales ventajas de la tecnología de semiconductores SiC** frente a la tecnología convencional de Si en protecciones y controladores de potencia de estado sólido en el rango de 100V a 1500V hasta 2kW.
2. **Estudio del estado del arte de los dispositivos controladores de potencia y protecciones de estado sólido** dentro de un rango de tensión de 100V a 1500V en un rango de potencia de decenas de kW.

3. **Desarrollo de un banco de trabajo** específico dentro de las instalaciones disponibles en el grupo de investigación *Industrial Electronic Group (IE-g)* donde realizar pruebas a los sistemas desarrollados en condiciones de funcionamiento tan similares como sea posible a las encontradas en un entorno real.
4. **Creación de una nueva línea de investigación dentro del grupo IE-g** relacionada con las redes DC, así como sus diferentes subsistemas de protección y control.
5. **Desarrollo y validación de la arquitectura controlador de potencia – protección** de estado sólido basado en el uso de dispositivos semiconductores WBG (por su afinidad de características será SiC) capaz de funcionar en el rango **de 380V**.
6. **Desarrollo y validación de una arquitectura controlador de potencia – protección** de estado sólido basado en el uso de dispositivos semiconductores WBG (por su afinidad de características será SiC) capaz de funcionar en el **rango de 1000V**.
7. Analizar desde el punto de vista de la **fiabilidad electrónica** (*Reliability*) la viabilidad del uso de dispositivos comerciales SiC en aplicaciones de control de potencia y protección en el rango de $\leq 1000V$.
8. **Generación y divulgación de trabajos científicos de alta calidad** que permitan desarrollar la carrera investigadora del autor del presente trabajo. Justificar y mostrar los resultados a la ciudadanía es también un acto fundamental teniendo en cuenta que gran parte de la financiación del presente trabajo es pública.
9. **Trasladar la tecnología** y conocimiento desarrollado es la mejor forma de dar utilidad al trabajo de desarrollo e investigación, esto es especialmente importante en el caso de disciplinas como la ingeniería.

1.4 Marco de la tesis

Esta tesis ha sido desarrollada en un marco sostenido por diferentes pilares relacionados con el ámbito académico, que se describen a continuación.

1.4.1 Proyectos

El entorno principal del trabajo realizado se encuentra dentro del grupo de investigación *Industrial Electronics Group (IE-g)* de la Universidad Miguel Hernández de Elche y concretamente dentro del proyecto:

- **Proyecto (ESP2015-68117-C2-2-R):** Nueva generación de sistemas de potencia aeroespaciales con semiconductores de carburo de silicio de alta tensión. Se trata de un proyecto coordinado, en concreto, la parte en la que está implicada el *Industrial Electronics Group (IE-g)*, titulada: Controlador de potencia de estado sólido de alta tensión, con dispositivos semiconductores de carburo de silicio (SiC) y sensores de corriente magnetorresistivos, para propulsión iónica.
 - **Financiado por:** Ministerio de Economía y Competitividad.
 - **Resumen:** El aumento de la densidad de potencia (W/kg) de los sistemas procesadores de potencia espaciales está constantemente demandado, ya sea para albergar más cargas, comerciales o científicas, como para conseguir una reducción del vehículo. La opción preferida para aumentar las prestaciones de los sistemas de potencia pasa por adoptar tecnologías ya maduras en aplicaciones terrestres y comprobar que pueden trabajar en entornos extremos. Así pues, en este contexto, la presente propuesta pretende estudiar los dispositivos de potencia “*Wide Bandgap Semiconductors*” de carburo de silicio (SiC) y el sensado de corriente magnetorresistiva (MR) para aplicaciones espaciales y determinar sus potenciales ventajas frente a la tecnología empleadas en la actualidad.

La propuesta está relacionada con un proyecto coordinado previo, referencia AYA2012-37444-C02, el cual estaba orientado a la evaluación de

los dispositivos de potencia “*Wide Bandgap Semiconductors*” de nitruro de galio (GaN) para aplicaciones espaciales y en cual se inició también una serie de actividades en relacionadas con el sensado de corriente por efecto magnetorresistivo para este mismo campo. Hasta la fecha, la evaluación de la tecnología GaN en aplicaciones espaciales ha logrado el aumento de la frecuencia de conmutación en convertidores de baja tensión, habiendo realizado dos demostradores de dicha tecnología: Un convertidor de bus intermedio (IBC) para la distribución de potencia a los reguladores finales de cargas y un convertidor de entrada para la alimentación de tubos de onda progresiva. En ambos casos, el aumento de la frecuencia de conmutación – a 1MHz–, ha logrado una reducción de los elementos pasivos y una mejor respuesta dinámica, aspectos clave en ambos convertidores.

1.4.2 Patentes

Fruto del presente trabajo, se ha realizado una patente en modalidad de invención a través de la Universidad Miguel Hernández de Elche, la cual se detalla a continuación.

- **Título:** Dispositivo Autoajutable de Protección de Corriente Continua.
 - **Identificador:** P201830998
 - **Inventores:** David Marroquí Sempere (33%), Ausiàs Garrigós Sirvent (33%), José Manuel Blanes Martínez (33%)
 - **Resumen:** La invención se refiere, aunque sin limitación, a un dispositivo para la interrupción de la circulación de corriente continua ante eventos de falla eléctrica, conectado entre una fuente de alimentación de corriente continua y una carga eléctrica. Dicho dispositivo, comprende de forma general: un terminal de salida del dispositivo, un terminal de entrada del dispositivo, un terminal común del dispositivo, un transistor de efecto campo, una resistencia de medida de corriente, un circuito de detección de corriente de falla, un circuito de medida de corriente, un circuito de polarización, un circuito de disparo, un circuito de temporización, un circuito de enclavamiento, un circuito de rearme y un circuito de comando

de apagado. El circuito permite ajustar automáticamente la intensidad límite, el tiempo de falla, el tiempo de limitación de corriente además del fondo de escala del circuito de medida de corriente.

1.4.3 Ayudas

Además de la financiación del proyecto de plan nacional mencionado, para el desarrollo de la tecnología, se ha dispuesto de las ayudas descritas a continuación.

- **Ayuda:** Ayuda para el desarrollo de un proyecto de prueba de concepto realizada con el propósito de verificar que la tecnología es susceptible de ser explotada de una manera útil.
 - **Entidad financiadora:** Universidad Miguel Hernández de Elche – Vicerrectorado de Investigación.
 - **Título del proyecto:** Dispositivo autoajustable de protección de corriente continua.
 - **Cuantía de la ayuda:** 10k€
 - **Periodo:** 01/2019 – 12/2019
- **Ayuda:** Ayuda y bolsa de viaje para la difusión de resultados de investigación en el marco de programa de doctorado de Tecnologías Industriales y de Telecomunicación.
 - **Entidad financiadora:** Universidad Miguel Hernández de Elche – Programa de Doctorado de Tecnologías Industriales y de Telecomunicación.
 - **Conferencia:** European Symposium on Reliability of Electron Devices, Failure Physics and Analysis.
 - **Cuantía de la ayuda:** 500€

1.4.4 Estancias

Durante el desarrollo de la presente tesis se ha realizado una estancia en un centro extranjero de relevancia y prestigio internacional. Se describe a continuación.

- **Lugar:** Center of Reliable Power Electronics – Aalborg University
 - **Duración:** 4 meses
 - **Periodo:** 1/10/2018 – 31/1/2019
 - **País:** Dinamarca
 - **Financiación:** Autofinanciada

1.4.5 Conferencias

A continuación, se indican las conferencias de ámbito internacional y nacional en las que se han realizado presentación de trabajos relacionados y desarrollados en el marco de la tesis.

1.4.5.1 Internacionales

- *Circuit proposals for high-voltage latching current limiters*
D. Marroqui, A. Garrigos, JM. Blanes, R. Gutierrez, E. Maset
European Space Power Conference 2019
Juan-Les-Pins (Francia). 30/09/2019 – 4/10/2019
- *SiC MOSFET vs SiC/Si Cascode short circuit robustness benchmark*
D. Marroqui, A. Garrigos, JM. Blanes, R. Gutierrez, E. Maset, F. Iannuzzo
30th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF2019)
Toulouse (Francia). 23/09/2019 – 26/09/2019
- *SiC Based SSPC for High Voltage Space Applications*
D. Marroqui, A. Garrigos, JM. Blanes, R. Gutierrez
2018 International Power Electronics Conference (IPEC-Niigata 2018)
Niigata (Japón). 20/05/2018 – 24/05/2018
DOI: 10.23919/IPEC.2018.8507719

- *SiC Based Latching Current Limiter for High Voltage Space Power Distribution Systems*
D. Marroqui, A. Garrigos, JM. Blanes, R. Gutierrez, E. Maset
2018 IEEE Energy Conversion Congress and Exposition (ECCE)
Portland (EE.UU.). 23/09/2018 – 27/09/2018
DOI: 10.1109/ECCE.2018.8557760
- *SIC based solid state protections switches for space applications*
D. Marroqui, A. Garrigos, JM. Blanes, R. Gutierrez, E. Maset, D. Ramirez
European Conference on Power Electronics and Applications (EPE'17 ECCE
Europe)
Varsovia (Polonia). 11/09/2017-14/09/2017
DOI: 10.23919/EPE17ECCEEurope.2017.8099083
- *Comparative study of SiC transistors for active current limitation in S3R*
D.Marroqui, J.Borrell, R.Gutierrez, JM.Blanes, A.Garrigos, E.Maset
Electronics 2017
Palanga/Lituania. 19/06/2017 – 21/06/2017

1.4.5.2 Nacionales

- *Hybrid and Intelligent - Solid State Power Controller – HISSPC –*
D. Marroqui, R. Gutierrez, A. Garrigos, JM. Blanes
Seminario Anual de Automática, Electrónica Industria e Instrumentación
Córdoba. 3/07/2019 – 5/07/2019
ISBN: 978-84-17171-49-0
- *Caracterización eléctrica DC y circuito de acondicionamiento para un sensor de corriente magnetorresistivo TMR comercial*
A. Garrigos, D. Marroqui, FJ. Verdu, JM. Blanes, R. Gutierrez, D. Ramirez, E. Maset
Seminario Anual de Automática, Electrónica Industria e Instrumentación
Córdoba. 3/07/2019 – 5/07/2019
ISBN: 978-84-17171-49-0
- *Sistema de protección de alta tensión para aplicaciones espaciales basado en el uso de MOSFET SiC de canal-N*
D. Marroqui, A. Garrigos, JM. Blanes, R. Gutierrez
Seminario Anual de Automática, Electrónica Industria e Instrumentación
Barcelona. 4/07/2018 – 6/07/2018
ISBN: 978-84-947311-2-9

- *Estudio comparativo de transistores SiC para limitación activa de corriente en S3R*
D. Marroquí, J. Borrell, R. Gutiérrez, JM. Blanes, A. Garrigós, E. Maset
Seminario Anual de Automática, Electrónica Industria e Instrumentación
Valencia. 5/07/2017 – 7/07/2017
ISBN: 978-84-606-8573-9

1.5 Equipamiento y Métodos

En esta sección se nombran de forma resumida el equipamiento/materiales y métodos empleados para el desarrollo del presente trabajo.

1.5.1 Equipamiento

A continuación, una lista resumida de los principales equipos utilizados. Además de los indicados se ha utilizado gran número de equipos auxiliares que no son mencionados.

- *Industrial Electronics Group (IE-g)* – Universidad Miguel Hernández de Elche
 - Simuladores fotovoltaicos Agilent E4351B.
 - Fuente de alimentación DC Lambda GEN150-10 – 150V-10A
 - Carga electrónica DC Agilent N3300A.
 - Osciloscopio Tektronix MDO3104.
 - Analizador vectorial de redes Omicron Bode100.
 - Analizador de potencia Yokogawa WT1800.
 - Fuente de alimentación HVDC Keysight N8957A
 - Cámara termográfica Fluke Ti450
 - Tarjeta digital de control SPCard.

- *Center of Reliable Power Electronics (CORPE) – Aalborg University*
 - Trazador de curvas Agilent B1505a.
 - *Non Destructive Test Setup*.
- LEEI – Universidad de Valencia
 - Trazador de curvas Agilent B1505a

1.5.2 Métodos

Se presentan a continuación los métodos de trabajo más frecuentes para el desarrollo de esta tesis.

- **Diseño analógico:** A través de uso de dispositivos electrónicos fundamentales (transistores, condensadores, resistencias y bobinas) y del conocimiento funcional de los mismos, se generan circuitos teóricos que permiten realizar funciones complejas en la implementación final.
- **Simulación:** El uso de herramientas de simulación *SPICE* –generalmente LTSpice– permite “conocer” previa implementación del circuito final el funcionamiento del circuito de forma simulada. Resulta especialmente útil cuando se dispone de modelos de simulación proporcionados por los fabricantes de componentes.
- **Diseño hardware del circuito:** El diseño del circuito y la simulación se realizan desde un punto de vista de “esquemático”. El proceso de diseño de la tarjeta parte del diseño esquemático de la misma y finaliza con un diseño del circuito que pueda ser utilizado en una aplicación real. Para esto debe atenderse a cuestiones de seguridad eléctrica, gestión térmica, fiabilidad, *reparabilidad*, escalabilidad y viabilidad mecánica.
- **Soldadura y montaje:** Una vez se dispone de la tarjeta de circuito impreso, y los componentes electrónicos, debe realizarse el proceso de soldadura que permite conectar de forma eficiente y segura los componentes electrónicos para que desempeñen su función dentro del conjunto.

- **Validación experimental:** Cuando se dispone del circuito implementado, debe verificarse su correcto funcionamiento experimental. Para ello, utilizando el equipamiento descrito ([sección 1.5.1](#)), se hace funcionar en condiciones de tensión y corrientes reales. En general, en el proceso de desarrollo de un sistema electrónico, la verificación experimental es el aspecto que mayor tiempo acarrea, debido a que en los sistemas físicos reales hay factores que no son fácilmente “reproducibles” ni desde el punto de vista teórico –diseño– ni de simulación; siendo un claro ejemplo, la aparición de elementos parásitos debidos al diseño hardware realizado. Las validaciones experimentales, además de verificar el diseño del circuito propuesto, permiten reajustar los sistemas de simulación para que trabajen en condiciones más similares a las reales. Es, en definitiva, un proceso iterativo en el que se busca acercar la realidad lo máximo posible al desarrollo teórico realizado.
- **Obtención de datos significativos:** Una vez se dispone de un circuito funcional, con un comportamiento estudiado y validado, utilizando equipos de adquisición, se realizan pruebas de validación cuyo objetivo es el de mostrar el funcionamiento del sistema. Se trata de validar el correcto funcionamiento del sistema/circuito en las condiciones para las que ha sido diseñado.
- **Generación de trabajos científicos:** Como se ha mencionado, uno de los objetivos principales es la generación de trabajos científicos de alta calidad e impacto. Consiste en redactar, justificar el diseño, funcionabilidad y grado de madurez de la tecnología, puntualizando sus puntos fuertes y proponiendo mejoras para los débiles, todo ello atendiendo a las normas de estilo de la revista/conferencia objetivo. Es interesante publicar los trabajos en modalidad de acceso libre (*Open Access*) para permitir que todo el conjunto de la sociedad pueda acceder al trabajo realizado sin restricciones de acceso, sin embargo, esto no es siempre posible debido a los costes que conlleva.
- **Divulgación y traslación científica de resultados y tecnología:** Mostrar a la comunidad científica en foros de expertos. La búsqueda de nuevas ideas y colaboraciones, es una buena forma de adquirir nuevas competencias como investigador y mejorar la tecnología presentada en este trabajo. Es por ello que la asistencia a conferencias primer nivel dentro del ámbito es una prioridad.

1.5.3 Estructura de la tesis

Tal como se ha mencionado, esta tesis se presenta como un compendio de publicaciones. Las publicaciones serán incluidas íntegramente en el cuerpo del trabajo.

Según lo cual, la estructura básica del trabajo tiene cuatro grandes bloques, a saber:

- **Introducción:** Contexto y estado del arte.
- **Cuerpo de la tesis:** Publicaciones científicas.
- **Cierre:** Conclusiones y líneas futuras.
- **Anexos**



Capítulo 2

Contexto

El objetivo de este capítulo es presentar con énfasis, y en los puntos más relevantes, el contexto en el que se ha desarrollado este proyecto, desarrollando los aspectos más relevantes de la temática propuesta en el capítulo previo ([Capítulo 1.2](#)).



2.1 Introducción a las redes DC

El debate entre las redes de distribución eléctrica en corriente alterna (AC) y las redes de distribución basadas en corriente continua (DC) se desató hace más de un siglo. Es conocida como La guerra de corrientes y tuvo lugar a finales de la década de 1880 [1]. Fueron una serie de eventos de carácter propagandísticos entre las dos principales compañías que proponían sistemas de transmisión eléctrica en los Estados Unidos. Por un lado, la compañía *Westinghouse Electric*, abanderada por el ingeniero e inventor Nikola Tesla promovía el uso de sistemas de distribución basados en AC, mientras que, por su parte, la compañía *General Electric*, por aquel entonces *Edison General Electric* nombre debido a su fundador Thomas Edison, publicitaba el uso de redes de distribución basadas en DC.

En aquella disputa se ponía en tela de juicio la seguridad de ambos sistemas, a raíz de una serie de accidentes producidos por electrocuciones accidentales en sistemas AC de alta tensión que alimentaban alumbrado público mediante lámparas de arco. La coyuntura de aquel momento era compleja en este aspecto, más, teniendo en cuenta que los sistemas AC acababan de ser inventados.

Más allá de los aspectos sociales, es bien conocida la victoria de los sistemas de distribución AC frente a los DC. La tecnología, y por consiguiente, la capacidad técnica de aquel momento y el incremento de la demanda energética en los núcleos urbanos, demostraron que la tecnología de distribución basada en DC, concretamente unos 110V, no era eficiente cuando debían suministrarse potencias elevadas y recorrer grandes distancias, debido a las pérdidas por efecto Joule.

La principal ventaja de las redes de distribución AC frente a las DC en ese momento venía dada por la posibilidad de utilizar transformadores de baja frecuencia que permitían incrementar los niveles de tensión de forma sencilla, minimizando con ello las pérdidas y permitiendo generar la energía en puntos lejanos a los consumidores.

Este escenario ha cambiado y las redes de distribución basadas en DC toman cada vez más fuerza, presentándose como una alternativa con fuertes ventajas sobre las redes AC [2].

2.1.1 Factores de cambio

Llegados a este punto, debemos preguntarnos, ¿a qué se debe este cambio de perspectiva? A continuación, se citan algunos factores.

1. **La disponibilidad de nuevas fuentes de energía basadas en corriente continua**, especialmente relevantes las renovables tales como sistemas fotovoltaicos, pilas de hidrógeno, sistemas de almacenaje de energía basados en baterías, etc. Todas ellas ofrecen de forma natural energía eléctrica en DC y además están instaladas, desde el punto de vista de la red, de forma distribuida.
2. **El constante incremento de las cargas que requieren corriente en DC.** Para el caso de edificios residenciales se estima que las cargas DC suponen un peso de entorno al 32% de la carga total [3].
3. **El uso masivo del vehículo eléctrico** supone un punto de inflexión desde el punto de vista de las redes domésticas, ya que, en primer lugar, en los domicilios en los que se conecte como carga, supondrá ser la de mayor potencia en la mayoría de los casos. Los valores de referencia actuales son 3.7kW para los puntos de recarga monofásicos de 16A y 7.3kW para los puntos monofásicos de 32A. Teniendo en cuenta que la mayoría de domicilios nacionales disponen de la tarifa de 3.68kW, puede hacerse una idea de la magnitud de la carga. Especialmente importante es también el hecho de que la parte fundamental de almacenamiento energético de un vehículo eléctrico son baterías, y no es extraño que haya multitud de estudios que propongan la conexión de las mismas como fuentes de energía en caso de ser necesario [4].
4. **Ventajas de la distribución eléctrica en DC frente a la distribución en AC desde el punto de vista de los conductores.** Por un lado, no se tiene el efecto pelicular (*skin effect*) que aparece a frecuencias elevadas —no relevantes a 50Hz—, pero sí evidente en las corrientes armónicas y, por otro lado, la inexistencia de energía reactiva. Estos dos factores favorecen la optimización de la sección de cableado.

5. **El uso de redes DC permite eliminar y simplificar circuitos de acondicionamiento de potencia.** Atendiendo a la [figura 1](#), se observa que para conectar cargas y fuentes de energía a redes AC se requieren sistemas de acondicionamiento que, en la mayoría de los casos, requieren de dos transformaciones para su funcionamiento. El uso de redes DC, permite en muchos casos eliminar una de las transformaciones, traduciéndose en un incremento de la eficiencia. Un paso más allá, tal como se aprecia en la [figura 2 \(a\)](#) la fuente de energía fotovoltaica se encuentra conectada directamente a nivel de distribución. El objetivo de esto es maximizar la eficiencia de la red eliminando el convertidor DC/DC de esta etapa. Este tipo de sistemas es especialmente interesante en redes aisladas, donde la generación fotovoltaica asume la mayor parte de aporte energético. Sin embargo, ello conlleva la implementación de un sistema de control para la extracción de máxima potencia (MPPT) mucho más sofisticado. Se estiman incrementos de eficiencia para este tipo de sistemas de entorno al 8% [5].

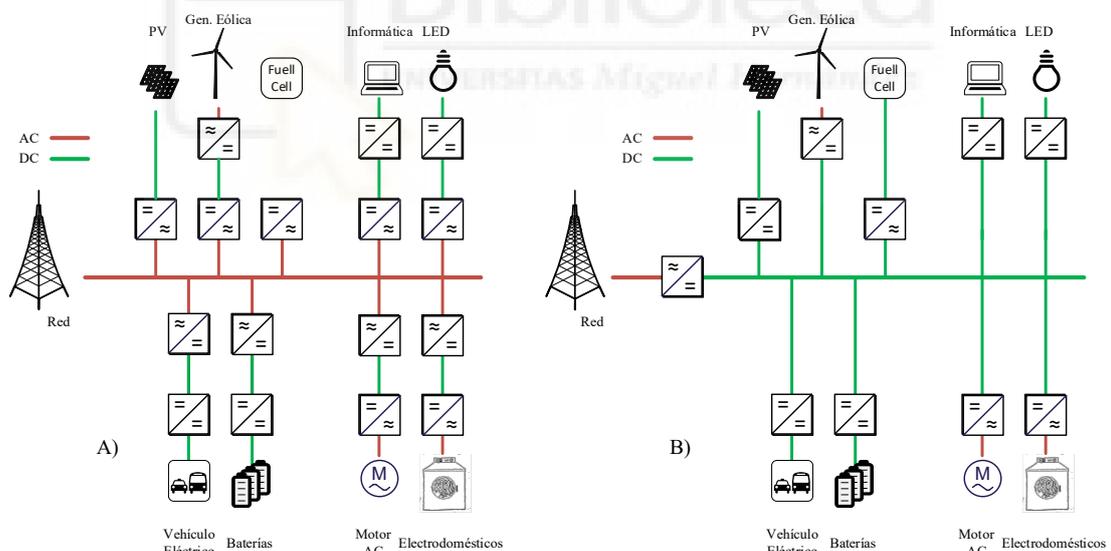


Figura 1. A) Red de distribución DC B) Red de distribución AC.

El tipo de redes mencionadas están, en su mayoría, en un estado embrionario desde diferentes perspectivas, siendo algunas de las más relevantes para este trabajo las relacionadas con la normativa y sistemas de protección, los cuales suponen un gran reto.

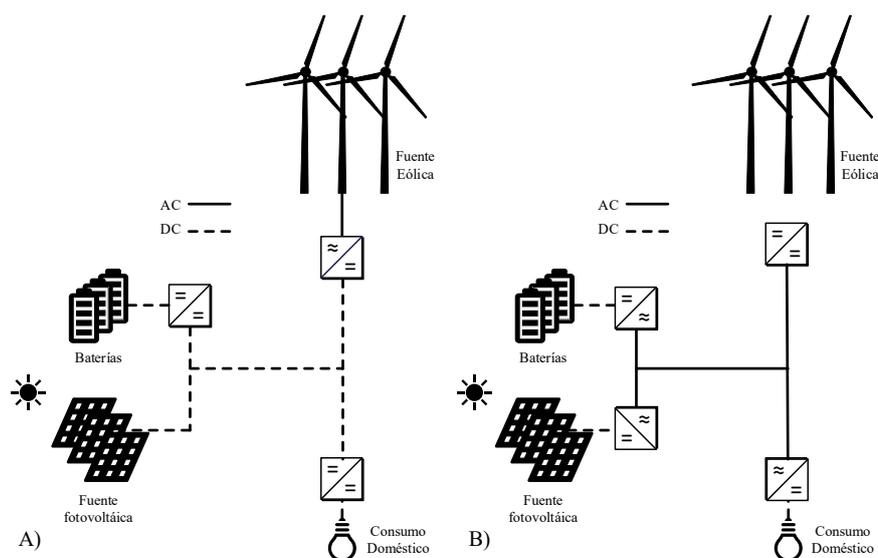


Figura 2. Red DC en la que el sistema fotovoltaico se encuentra directamente conectado al bus de distribución [6].

2.1.2 Regularización y Normativa

En lo relativo a la estandarización de los niveles de voltaje y sistemas de protección de las redes DC, en la actualidad hay diversas organizaciones trabajando en tal cometido. Se nombran a continuación las más relevantes:

- ***International Electrotechnical Commission (IEC)***: Es la organización de normalización de los campos eléctrico, electrónico y de tecnologías relacionadas más importante a nivel mundial. Trabajan conjuntamente con la *International Organization for Standardization (ISO)* bajo el término de norma ISO/IEC.
- ***European Telecommunications Standard Institute (ETSI)***: Es una organización de estandarización independiente de la industria de las telecomunicaciones, en concreto fabricantes y operadores de redes.
- ***Institute of Electrical and Electronics Engineers (IEEE)***: Es la mayor asociación internacional de profesionales relacionados con las nuevas tecnologías, especialmente ingenieros. Fundada, entre otros ingenieros de renombre, por el mencionado Thomas Alva Edison en 1884, centra su actividad en la promoción de la actividad investigadora, los avances científicos y ciencias en general. También desarrollan y cooperan en diferentes estándares.

- **EMerge Alliance:** Se trata de una organización formada, entre otros, por grandes empresas del sector eléctrico, centros de investigación y universidades con el objetivo de crear estándares y productos que permitan acelerar el uso de redes DC.

Desde el punto de vista de los niveles de tensión utilizados, en la totalidad de los trabajos que comprenden el compendio de artículos de esta tesis, según la norma IEC60038 [7], están contenidos todos en lo definido como *Low Voltage Direct Current (LVDC)*, que se definen como redes DC por debajo de los 1500V. Sin embargo, dentro del ámbito de los sistemas de distribución DC, en algunas ocasiones, especialmente fuera del ámbito de la ingeniería eléctrica, se le denomina al rango de tensiones superiores a los 300V aproximadamente, sistemas de alta tensión en DC. La [figura 3](#) representa de forma simplificada las normas y estándares relacionados junto con las aplicaciones en función de los rangos de tensión.

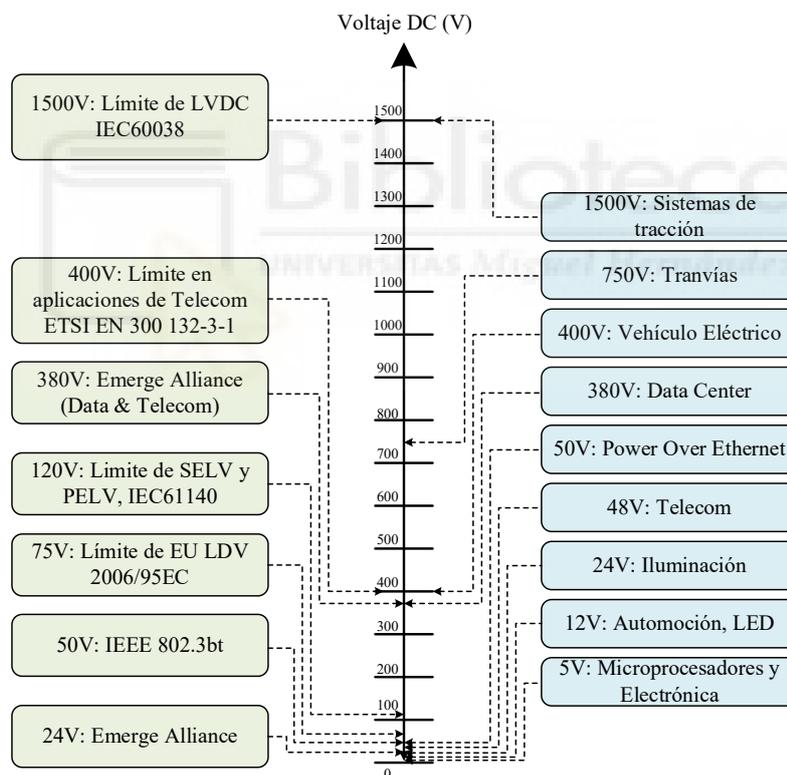


Figura 3. Resumen de las normas, estándares, aplicaciones en función del nivel de tensión en DC [8].

Los niveles de tensión empleados en las redes DC están, como no puede ser de otra forma, fuertemente ligados a la potencia de las cargas que van a alimentar, siendo ambas directamente proporcionales.

2.1.3 Clasificación de cargas DC

De forma general, se definen grados de carga que relacionan potencia con tensión [8].

De forma simplificada:

- **Cargas de alta potencia ($\geq 10\text{kW}$, $\geq 500\text{V}$):** En ámbito doméstico podrían considerarse, por ejemplo: cargadores de vehículos eléctricos, sistemas de climatización, ascensores, montacargas etc. A este nivel de tensión están conectados también los sistemas de generación distribuida, en concreto, los sistemas fotovoltaicos y microturbinas.
- **Cargas de media potencia (0.5 – 10kW, 230 – 400V):** La mayor parte de las cargas de ámbito doméstico se conectan a este nivel. Algunos ejemplos no exclusivos serían: electrodomésticos convencionales, lavadoras, lavavajillas, tostadores. Por el rango de tensión, corresponden a esta categoría la mayoría de las cargas actuales que se emplean en redes AC. Dado que se corresponde al nivel de tensión más demandado, la implementación de sistemas de protección en este nivel es especialmente crítico para garantizar la integridad de la red.
- **Cargas de baja potencia ($\leq 500\text{W}$, 24 – 48V):** A pesar de ser el nivel de menor potencia de carga, en los últimos 15 años se ha incrementado este tipo de cargas de forma notable. Sistemas de iluminación LED, televisiones con retroiluminación LED, televisiones OLED, *routers* WIFI, sistemas domóticos, reproductores de música, cargadores de dispositivos multimedia, ordenadores sobremesa, portátiles etc. Suponen de momento un porcentaje pequeño del cómputo total de energía consumida, pero, de nuevo, por el gran número de dispositivos conectados a red se requieren sistemas de protección robustos fiables y de tamaño contenido para una correcta protección.

En el presente trabajo nos centraremos en el rango de aplicaciones de los 400V, realizando una incursión en un rango considerablemente superior, 1000V.

2.1.4 Arquitecturas de redes DC

Desde el punto de vista de las arquitecturas físicas de las redes DC un abanico de opciones está siendo considerado actualmente. De forma resumida, pueden ser clasificadas en dos grupos:

- **Redes DC de bus único** – [figura 4](#): Contemplan los sistemas bifilares [8]. Es una de las configuraciones más utilizadas por su simplicidad. Actualmente se usa en aplicaciones de automoción y algunas aplicaciones de telecomunicaciones. De nuevo, existen configuraciones optimizadas para minimizar el número de transformaciones y optimizar la eficiencia de la red. En ciertas aplicaciones, que requieren de forma indispensable el uso de convertidores DC/DC entre la red y las cargas, se ha propuesto el uso de los convertidores de potencia como elementos de protección. Existen variantes de las redes de bus único que emplean tres cables, permitiendo así la distribución bipolar (+,0,-). Éstas últimas, suponen una ventaja importante frente a las redes bifilares, ya que permiten la conexión de cargas en diferentes niveles de tensión y potencia, por ejemplo, entre terminal positivo (+) y neutro (0) o entre terminal positivo (+) y negativo (-), doblando la tensión de la primera si se supone un esquema simétrico. Aumentar la tensión de alimentación de ciertas cargas, en concreto las de mayor potencia, permite minimizar las pérdidas de transmisión. El principal inconveniente, y razón por la que se define el segundo grupo, es la inexistencia de redundancias en la red. La robustez de la red debe ser garantizada de forma unívoca por las protecciones carga a carga.
- **Redes DC de bus múltiple**: Como se ha descrito, este tipo de redes se utilizan cuando se requieren distribuciones redundantes que garanticen el suministro y fiabilidad de la red, así como la interconexión de subredes DC. Este tipo de interconexiones posibilitan el intercambio de energía entre, por ejemplo, diferentes edificios, que pueden tener a su vez sistemas redundantes de alimentación, incrementando en global la robustez de toda la red. De forma simplificada y utilizando como analogía las redes AC, se pueden generar redes malladas o en anillos que permitan que el flujo de energía provenga de una o varias fuentes en función de la casación oferta-demanda del momento. El principal inconveniente de este tipo de redes está ligado a su mayor complejidad. En primer lugar, el

implementar este tipo de redes es viable económicamente cuando se trata de una red DC de envergadura considerable, tanto en número de cargas como en términos de potencia de red. El otro punto que supone una complicación añadida está relacionado con los sistemas de protección, ya que se requiere de sistemas “inteligentes” capaces de detectar y determinar el origen del fallo de red y aislarlo, tarea compleja cuando se trata de un sistema mallado o anillado.

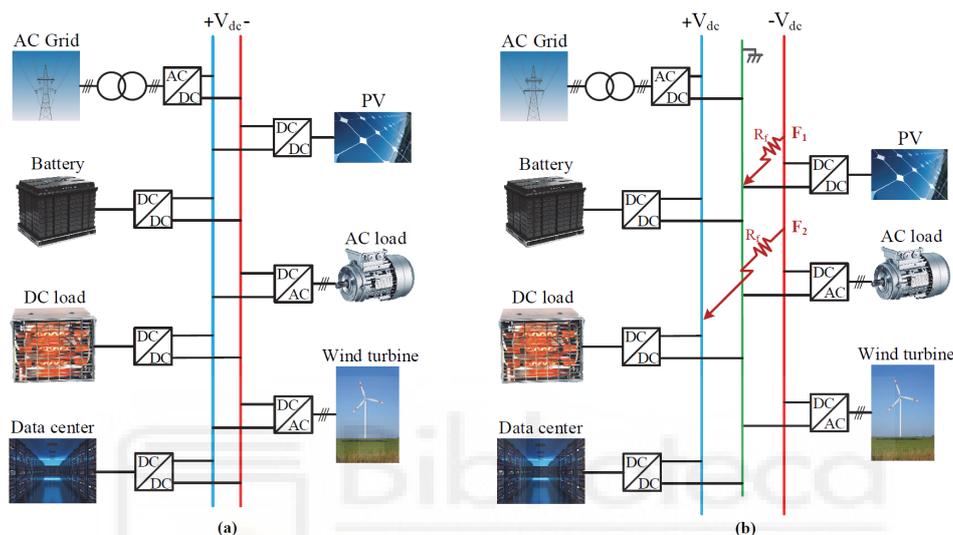


Figura 4. Arquitecturas de distribución de red DC de bus único [9]
a) Red DC bifilar b) Red DC trifilar.

2.1.5 Sectores potenciales para el uso de redes DC

Los sistemas de alimentación basados en DC, tal y como se ha mencionado, han sido empleados en sectores concretos de forma habitual, entre otros cabe destacar:

- Sector Aeroespacial:** De forma simplificada y por lo general se puede considerar que los sistemas espaciales, de media-baja potencia ($\leq 10\text{kW}$) se alimentan en DC. Las fuentes de energía más utilizadas en este rango son baterías primarias, pilas de combustible, paneles fotovoltaicos, concentradores solares y generadores termoelectricos de radioisótopos [10]. Cabe destacar que, el incremento de demanda de potencia dentro de las plataformas aeroespaciales se ha visto incrementado en los últimos años, siendo uno de los factores más relevantes en este sentido la maduración de la tecnología de propulsión eléctrica. Ésta permite optimizar las dimensiones y costes de misión [11], [12]. El uso de este tipo de

sistemas de propulsión requiere tensiones de alimentación considerablemente superiores a las definidas típicamente en este sector (tradicionalmente 28V, 50V, 70V, 100V, 120V y 160V) lo que supone un reto desde el punto de vista de las protecciones.

- **Sector Automoción:** Los vehículos de combustión interna tradicionalmente han utilizado buses de alimentación DC de 24V. Estos buses alimentaban toda la electrónica auxiliar como luminaria, paneles de control, sistemas de climatización etc. Este nivel de tensión era aceptable y adecuado para la alimentación de estos sistemas, sin embargo, la electrificación del vehículo supone el cambio de subsistemas mecánicos (dirección asistida, frenada y acelerador asistido, etc.) por electrónicos, incrementando con ello, el consumo eléctrico. En este nuevo escenario y con el objetivo de optimizar la distribución eléctrica dentro del vehículo, ya se utilizan baterías de 48V y la mayoría de los nuevos sistemas funcionan en este rango de tensión. Dando un paso más allá, en los denominados vehículos *enchufables*, las tensiones que están siendo utilizadas son todavía mayores [13]. Los nuevos semiconductores WBG permiten generar unidades de acondicionamiento de potencia compactos y de altas prestaciones que permiten minimizar pérdidas por conducción, así como optimizar el dimensionado del cableado dentro del sistema eléctrico.
- **Sector Telecomunicaciones:** Se ha determinado que el consumo energético mundial de los centros de procesado de datos supone aproximadamente el 3% de la producción energética total global y previsiblemente esta cifra se duplicará cada 5 años, debido en gran medida al auge de la computación en la nube [14]. Teniendo en cuenta que la mayoría de estos sistemas funcionan en DC, y que los sistemas de alimentación ininterrumpida (SAI) están alimentados por baterías, hay gran número de estudios que proponen el uso de DC y los resultados experimentales muestran mejoras relevantes en cuanto a eficiencia y ratio coste/eficiencia [14], [15] debido fundamentalmente a la eliminación de transformaciones AC/DC *frontend* de los sistemas de alimentación. El uso de DC supone una ventaja, pero de nuevo, en este ámbito la selección del nivel de alimentación juega un rol crucial. Se ha demostrado que por simplicidad y ratios de potencia por equipo, la tensión de 380V es, frente a

los 48V, por el momento la mejor opción atendiendo a las características técnicas [16].

2.1.6 Protecciones para redes DC – Retos

Aunque se analizará con más detalle en el siguiente punto, de forma simplificada son tres los factores que hacen que el desarrollo de nuevas protecciones para redes DC sea un aspecto crítico, no siendo compatibles las protecciones utilizadas en las redes convencionales AC:

1. **La presencia de arco eléctrico** en los sistemas DC es un aspecto mucho más crítico que en los sistemas AC. En las redes AC, por su naturaleza, de forma periódica se producen cruces por cero, lo que desde el punto de vista del arco eléctrico produce una extinción natural. Este fenómeno no aparece en los sistemas DC lo que puede tener efectos muy negativos desde el punto de vista de la seguridad eléctrica. Además, resulta muy perjudicial para las propias protecciones ya que los sobrecalentamientos de los contactos pueden reducir considerablemente su vida útil [17], [18]. Debe considerarse que la aparición de arcos eléctricos puede venir dada bien por la activación autónoma de una protección como por la desconexión voluntaria –telecomando– de cargas. Es por ello, que el uso de sistemas de mitigación de arco eléctrico debe ser contemplado tanto en protecciones como en controladores.
2. **La presencia de capacidades en los filtros de entrada de las cargas DC** producen, debido a su baja impedancia, sobrecorrientes de arranque/carga de magnitudes muy elevadas. Este tipo de corrientes son denominadas corrientes de arranque y son, por lo general, de alta intensidad y baja duración, pudiendo producir la actuación de las protecciones de red. Este tipo de corrientes pueden ser perjudiciales por diversas razones, tales como la activación involuntaria de los sistemas de protección, la aparición de oscilaciones y ruido que generen mal funcionamientos en otras cargas (*crossalking*). Estos problemas pueden reducirse gracias al uso de sistemas de limitación de corriente bien en la propia carga, como en el sistema de control de conexión, o bien en protecciones de red, siendo esto

último lo más interesante ya que permite adaptar valores de limitación, tiempos, etc. en función de las características de red.

3. **La elevada capacidad distribuida de las redes DC** provoca elevada corriente de descarga en caso de fallos en las cargas o cortocircuitos. Esto puede producir oscilaciones e inestabilidades en la red afectando al resto de cargas, así como dañinas elevaciones de temperatura repentinas en partes del circuito. Para ello, los sistemas de protección en DC deben minimizar las transiciones y oscilaciones en caso de fallo, requiriendo además, tiempos de funcionamiento inferiores a los empleados en las redes AC, que por lo general tienen una inercia mayor [17], [19].

Los puntos anteriores definen el marco de requisitos básicos sobre los que se fundamentan los diseños de las protecciones a desarrollar en el presente trabajo. Las diferentes técnicas, tipos y tecnologías de protecciones empleadas en los sistemas eléctricos en DC serán desarrollados y explicados en sucesivos puntos.

2.2 Sistemas de protección DC

En el marco de los retos descritos en la [sección 2.1.6](#), y con carácter general, se presentan en este punto conceptos y términos relevantes relacionados con las protecciones en DC. Asumiendo las características de las redes DC, las fallas deben ser consideradas como situaciones especialmente críticas, y por consiguiente, es primordial detectar, localizar y aislar dichas fallas.

La [figura 5](#), [figura 6](#) y [figura 7](#) representan la evolución del número de trabajos de los últimos 60 años que incluyen los términos *Solid State Power Controller*, *Circuit Breaker* y *Current Limiter*, respectivamente, en Scopus. Es especialmente reseñable el incremento a partir de la década de los setenta, donde comenzaron a utilizarse dispositivos semiconductores MOSFET de forma masiva en la industria.

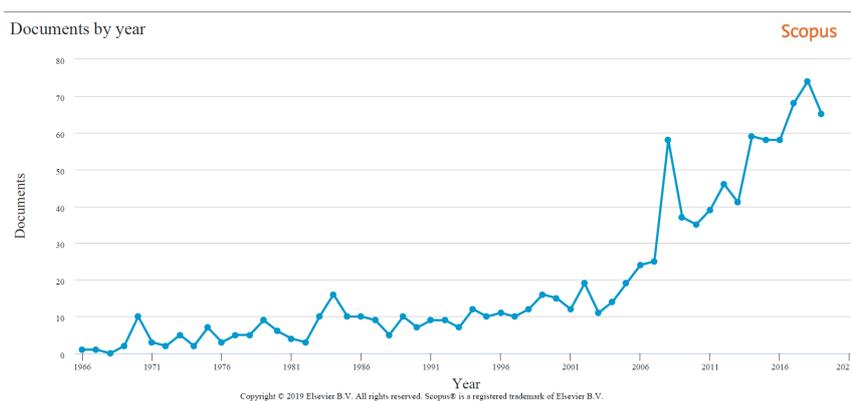


Figura 5. Evolución de los trabajos con el término *Solid State Power Controller* en Scopus, entre 1960 y 2019. [Scopus]

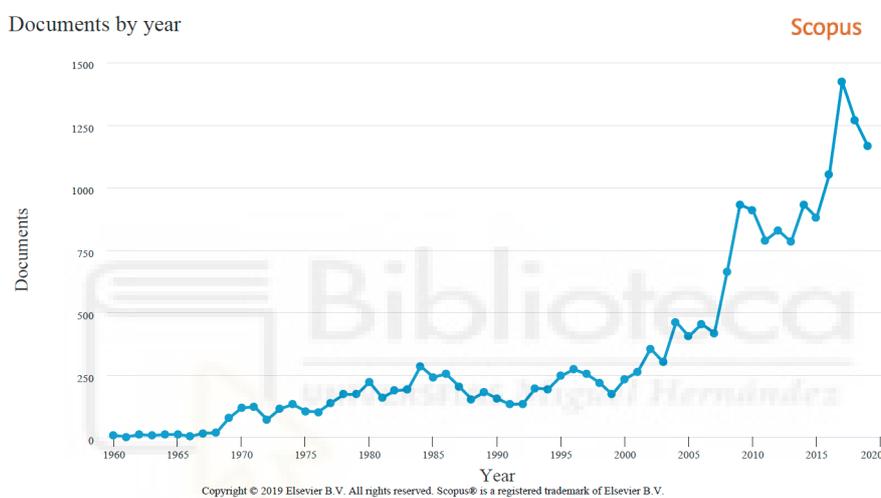


Figura 6. Evolución de los trabajos con el término *Circuit Breaker* en Scopus, entre 1960 y 2019. [Scopus]

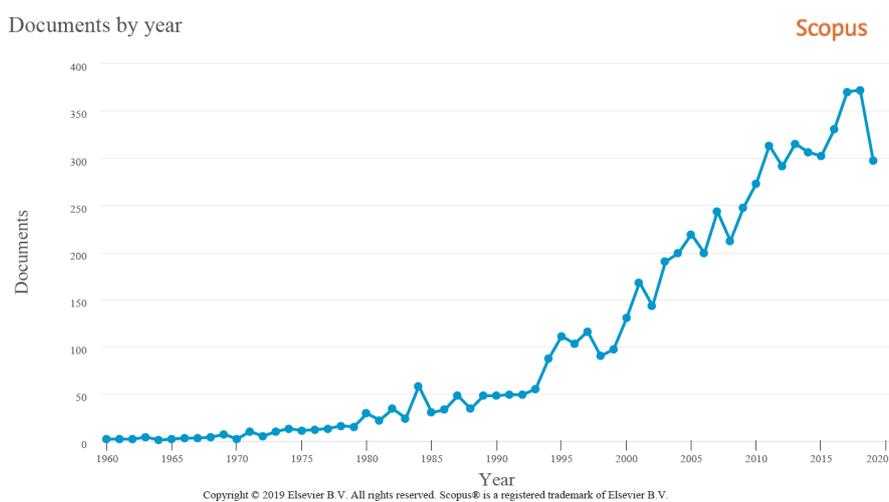


Figura 7. Evolución de los trabajos con el término *Current Limiter* en Scopus, entre 1960 y 2019. [Scopus]

Así pues, los sistemas de supervisión, monitorización y control son elementos importantes a la hora de considerar entre distintos sistemas de protección de redes DC. Como caso de ejemplo, un sistema de distribución de una plataforma espacial, que por lo general dispone de decenas de dispositivos de protección de subsistemas, si se considerara una estructura centralizada, donde un único procesador analiza y determina cuándo debe funcionar cada protección, la cantidad de información que debería gestionar sería ingente. Por ello, es en general preferible disponer de sistemas de protección “autónomos” que no requieran gran supervisión externa.

Por analogía, resulta en general interesante el disponer de dispositivos “autónomos” desde el punto de vista energético. En ciertas aplicaciones en las que el número de fuentes de energía y de consumidores es de tamaño “reducido”, es posible que los sistemas de protección se encuentren emplazados físicamente muy cerca de ellos. En estos casos, el uso de sistemas de alimentación auxiliares individuales y centralizados se convierte en una opción viable. Un ejemplo es el sistema de protección de un minisatélite. Aquí, las protecciones y unidades de distribución se disponen en un mismo emplazamiento físico, permitiendo optimizar recursos y volumen. Por contrapartida, si suponemos una *microgrid* de un edificio público, el uso de sistemas de alimentación centralizados se torna inviable, principalmente porque requeriría realizar un cableado paralelo para ello. Por esta razón, resulta interesante utilizar sistemas que puedan obtener la alimentación del propio bus de alimentación que protegen.

2.2.1 Características básicas de los sistemas de protección DC

Un sistema de protección, de forma general, pero en mayor medida en redes DC, debe contemplar las siguientes características:

1. **Velocidad:** Dada la dinámica de las redes DC, se requieren sistemas de detección tan rápidos como sea posible. Unos pocos milisegundos pueden suponer una falla irremediable en la red. Los sistemas de comunicación asociados, en caso de haberlos, deberán ser de baja latencia. La inclusión de sistemas de protección autónomos, junto con la computación de la información de forma distribuida, favorece la mejora de los sistemas de protección.

2. **Selectividad:** El diseño del sistema de protección de una red DC debe permitir seleccionar y seccionar las partes de la misma que hayan sufrido una falla. Desde el punto de vista de las cargas, el uso de protecciones individuales por carga es una opción viable, esta configuración, como se ha descrito, conlleva el uso de protecciones autónomas para reducir la necesidad de cómputo y procesado de información cuando se dispone de una red con muchas cargas y generadores. Desde el punto de vista de la red, resulta interesante disponer de secciones de la misma que puedan ser desconectadas. Dos casos que requieren seccionamiento de la red son el mantenimiento de la misma o protección frente a contactos indirectos.
3. **Sensibilidad:** Un cortocircuito, desde el punto de vista de la red, de las protecciones y de las cargas, supone la peor condición posible, sin embargo, desde el punto de vista de la interpretación de que existe un problema de red, es el mejor de los casos. Además del cortocircuito pueden producirse fallos de red de menor magnitud, por ello el sistema de protección debe tener suficiente sensibilidad como para identificar el mayor y el menor de los problemas. La caracterización de las cargas, así como el uso de técnicas de permisibilidad, como la limitación temporal de corriente, permiten acotar el buen funcionamiento de la red.
4. **Fiabilidad:** Si el objetivo de un sistema de protección es evitar fallos irreparables en las redes de distribución, un requisito imprescindible es utilizar protecciones fiables que hayan demostrado desempeñar con seguridad las funciones para las que han sido diseñadas. Los sistemas de protección más avanzados deben estimar su vida útil en función de su historial de funcionamiento. El uso de tecnología de vanguardia poco validadas puede suponer un riesgo desde el punto de vista de la fiabilidad electrónica, es por ello, que los ensayos de fiabilidad son necesarios.

2.2.2 Tipos de fallos en función de topología de red DC

Según lo descrito en la [sección 2.1.4](#), el estado del arte actual contempla diversas opciones topológicas o de arquitectura en las redes DC. La selección del tipo de red empleada

viene determinada por factores tales como la potencia de la aplicación, la disponibilidad de red, la fiabilidad estimada de red y los niveles de tensión necesarios. En la [figura 4 \(a\)](#) se muestra una arquitectura de distribución de red eléctrica DC en la que en la peor condición posible, puede producirse una falla entre el terminal positivo y negativo, mientras que en la [figura 4 \(b\)](#) se muestra una arquitectura trifilar, donde se dispone de un punto intermedio por lo que se permiten dos niveles de falla diferentes, siendo la peor condición la falla la producida entre terminales de polaridad opuesta. Independientemente de la configuración de red DC considerada, y dado que la simplicidad es el objetivo del uso de redes DC, se puede considerar toda la red como un único punto de interconexión entre generadores y consumidores de energía. Esto da lugar a que en caso de falla, la aportación de corriente vendrá dada por todos los agentes que formen parte de la red según se detalla en la [sección 2.1.6](#) (capacidad de red distribuida). Es por ello, que el diseño de las protecciones y considerar las posibles aportaciones de corrientes de los diferentes posibles agentes es crítico. A continuación, se detallan algunos agentes típicos y su aportación de corriente en caso de falla.

2.2.2.1 Análisis de falla con batería

En general, cuando se emplean baterías, éstas se ubican físicamente “lejos” de las cargas, por lo que se puede considerar que existe cierta impedancia R-L asociada a la red. En [20] se analiza con mayor detalle, pero en esencia, en caso de falla en un sistema con almacenamiento basado en baterías, aparece una componente de corriente por parte de las baterías que corresponde con (1), donde la constante de tiempo viene definida por (2), siendo L_L , R_L , L_{batt} , R_{batt} , la inductancia y resistencia de línea y parásita de la resistencia respectivamente así como v_{batt} la tensión DC del momento de falla. Destacar que la expresión (1) corresponde con el comportamiento de la corriente frente a cortocircuito franco donde inicialmente la baterías no suministraban corriente.

$$i_{batt}(t) = \frac{v_{batt}}{R_{batt} + R_L} (1 - e^{-t/\tau_{batt}}) \quad (1)$$

$$\tau_{batt} = \frac{L_{batt} + L_L}{R_{batt} + R_L} \quad (2)$$

2.2.2.2 Análisis de falla con convertidores AC/DC

Los convertidores de potencia empleados en el proceso de transformación de corriente continua a corriente alterna disponen, por lo general, de un bus de condensadores que está conectado directamente al bus DC. Este bus de alta capacidad y baja ESR (*Equivalent Series Resistance*) puede producir picos de corriente de magnitud muy superior a la corriente para la que ha sido diseñado el convertidor pudiendo deteriorar en primer lugar el propio convertidor, así como potencialmente los elementos que estén situados aguas abajo del mismo. El esquema simplificado se muestra en la [figura 8](#).

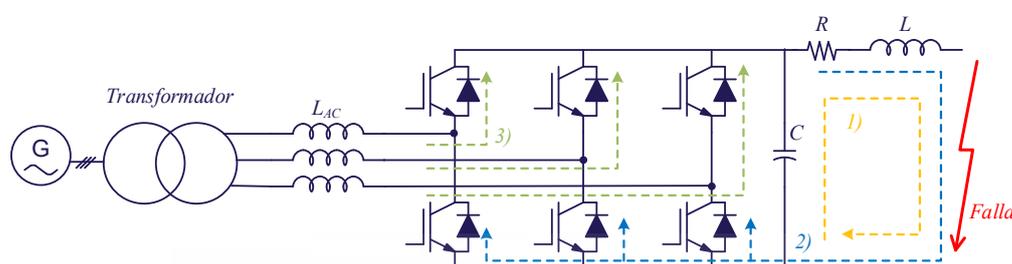


Figura 8. Esquema simplificado del convertidor AC/DC y los elementos parásitos de red.

Una falla aguas abajo del convertidor produciría una corriente que se define de forma no lineal y está a su vez definida por tres intervalos: 1) Descarga del condensador del convertidor 2) Fase de funcionamiento del diodo de libre circulación 3) Fase de corriente de red. De los tres intervalos, según [20], el intervalo más crítico es el primero, durante el cual se descarga el condensador de salida del convertidor pudiendo alcanzarse corrientes del orden de cien veces la corriente nominal del convertidor. El valor de corriente que se puede entregar a la falla este escenario, está marcado principalmente por el valor de ESR del condensador, su capacidad, así como del valor de inductancia y resistencia parásita entre el convertidor y falla. Según [21], la corriente se define por (3), donde $V_C(0)$ se define como la tensión del condensador en el momento de la falla, L , es la inductancia parásita de la conexión entre convertidor y falla, $i_L(0)$, es la corriente de salida en el momento de la falla, y α se define como el coeficiente de amortiguación y ω_d , se define según (4), donde ω_0 es la frecuencia de resonancia natural entre el condensador de salida y la inductancia.

$$i(t) = \frac{V_C(0)}{L\omega_d} e^{-\alpha t} \sin(\omega_d t) + i_L(0) e^{-\alpha t} \left[\cos(\omega_d t) - \frac{\alpha}{\omega_d} \sin(\omega_d t) \right] \quad (3)$$

$$\omega_d = \sqrt{\omega_0^2 - \alpha^2} \quad (4)$$

2.2.2.3 Análisis de falla con convertidor DC/DC

El uso de los convertidores DC/DC es muy común en las redes DC. Según [21], se utilizan de forma general entre las fuentes DC y los buses de distribución así como entre buses y cargas, por lo que el conocimiento del comportamiento de las corrientes aguas debajo de los mismos es crítico y a diferencia de los convertidores AC/DC descritos en la [sección 2.2.2.2](#) en los que se pueden simplificar en una única topología, en el caso de los convertidores DC/DC, dependiendo de la topología empleada, puede darse la condición de que si se produce un cortocircuito aguas abajo, fuerce la conducción de semiconductores y se produzcan fallas irremediables [22], [23]. A continuación, se ejemplificarán las topologías DC/DC más comunes en las redes DC.

- **Convertidor Elevador (*Boost*):** El convertidor *boost* es uno de los convertidores DC/DC más empleados por su simplicidad. Se utiliza en conexiones en las que se requiere elevar la tensión, por lo general desde sistemas de generación y almacenamiento de energía como baterías y pilas de combustible. Por su arquitectura, según la [figura 9](#), se presentan las mismas fases de corriente no lineales que las mostradas en los convertidores AC/DC, [sección 2.2.2.2](#). De nuevo, la fase más crítica es la descarga inicial de corriente del condensador de filtrado del *boost*. La ausencia de aislamiento galvánico en el convertidor, presenta el inconveniente de conectar la fuente de energía directamente al bus y por consiguiente a la falla según la fase 3. Esto produce un crecimiento de la corriente de falla limitada en exclusiva por las resistencias e inductancias parásitas del cableado e inicialmente por la inductancia de convertidor. Esta condición producida sin la implementación de mecanismos de contención da lugar a un fallo irreparable de la fuente de energía y posiblemente de la red [24].

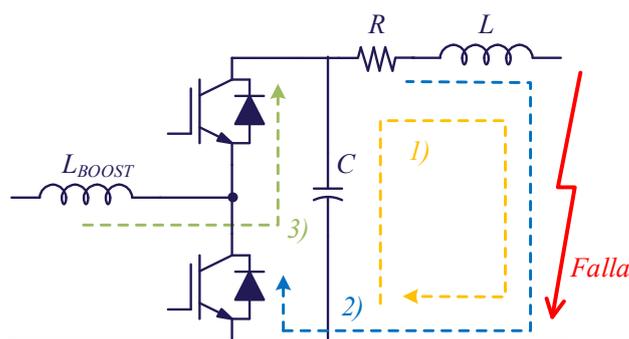


Figura 9. Convertidor DC/DC *boost* y las fases de corriente en caso de falla en carga.

- Convertidor Reductor (*Buck*):** Los convertidores reductores son, en general, menos utilizados que los *boost*, ya que la generación de energía a alta tensión es menos común y en los casos en los que se tiene disponibilidad de generación a tensiones elevadas se tiende a su utilización por las ventajas que reporta (véase [sección 2.1.1](#)). Según [figura 10](#), la topología de convertidor DC/DC presenta varias características muy interesantes frente a condiciones de falla aguas abajo. En primer lugar, la descarga del condensador de filtrado presenta la misma forma que el resto de sistemas analizados; sin embargo, la fase de funcionamiento del diodo de libre circulación está limitada por la propia inductancia del convertidor, lo que permite disminuir de forma natural la magnitud en esta fase de funcionamiento. Por último, el inconveniente mostrado en el convertidor *boost*, en el cual se conecta la fuente de energía con la falla, no aparece en este caso. Para la fase de descarga del condensador de filtrado se pueden tomar medidas de diseño para minimizar su efecto [25].

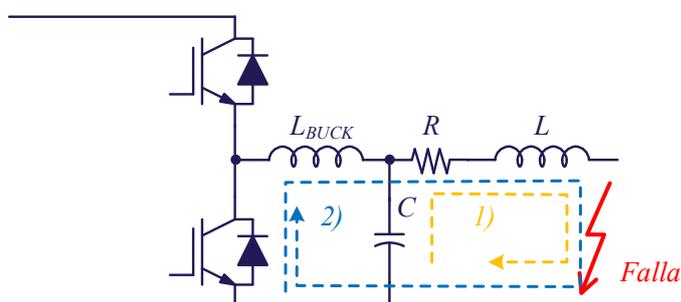


Figura 10. Convertidor DC/DC *buck* y las fases de corriente en caso de falla en carga.

- Convertidor bidireccional con aislamiento (*Dual Active Bridge*):** Los convertidores *dual active bridge* son muy utilizados en redes DC, especialmente cuando se requieren sistemas bidireccionales. El vehículo eléctrico, carretillas industriales y sistemas de alimentación ininterrumpida, son ejemplos típicos de aplicación. Algunos estudios proponen el uso de este tipo de convertidores como “inmunes a fallos”, ya que bajo una correcta implementación permiten controlar descargas de corriente de forma segura [26]. La [figura 11](#) representa la implementación básica del convertidor y como puede apreciarse, la aportación de corriente del mismo en caso de falla es muy similar a la del convertidor *Buck*, teniendo inicialmente la descarga del condensador de filtrado, seguido de un funcionamiento de los diodos de libre circulación de los semiconductores, sin estar limitada en este caso por la inductancia del *Buck*. Para terminar, el aislamiento galvánico del convertidor no conecta bajo ninguna circunstancia la fuente con la carga o falla.

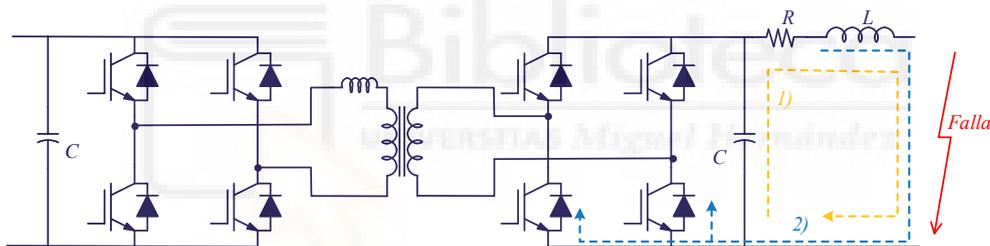


Figura 11. Convertidor DC/DC *dual active bridge* y las fases de corriente en caso de falla en carga.

Así pues, el tipo de topología empleada para realizar la adaptación de niveles dentro de una red DC/DC es crítico, pudiendo alcanzar condiciones de operación especialmente críticas como las del convertidor *boost* en caso de falla. Es por ello que puede observarse cómo las topologías más utilizadas son similares, arquitectónicamente hablando, a las *Buck-Boost*, mostrando un comportamiento robusto frente a falla al limitar la corriente con su propia inductancia [27].

Según se ha descrito previamente, debido en gran medida a los condensadores de filtrado presentes en la mayoría de convertidores conectados a las redes DC, además de la distribución de generadores y consumidores a lo largo de toda la red, las impedancias de la misma son considerablemente bajas, por ello, ante fallos de red, se producen descargas de corriente que crecen de forma extremadamente rápida y que pueden generar daños

irreparables en la misma. Por ello, el uso de sistemas de detección de fallo, así como la unidad de decisión, en caso de tenerla, deben ser muy rápidos y precisos.

2.2.3 Técnicas de detección de falla

Bajo estas premisas, a continuación, se listan las cinco principales técnicas que se utilizan para el desarrollo de sistemas de protección en redes DC.

1. **Protección por detección de sobrecorriente:** Las protecciones por sobrecorriente son el grueso del presente trabajo de investigación, y son el tipo de protección más utilizado. Las protecciones por sobrecorriente se basan en establecer un umbral de buen funcionamiento bajo el cual, se considerará que las cargas aguas abajo de la protección están funcionando correctamente. Superado un umbral de corriente preestablecido, la protección actúa, desconectando el sistema y aislando la falla. Este tipo de medida de protección puede presentar algunos problemas de actuación indeseada como puede ser la conexión de cargas fuertemente capacitivas, transitorios de consumo, etc. Para solventar el problema anterior se pueden aplicar técnicas de limitación de corriente previa a la desconexión, así como realización de temporizaciones tipo I^2t que reproduzcan el comportamiento básico de un fusible.
2. **Protección por derivada de corriente:** Basados en el análisis de tendencia de la corriente –pendiente–, los sistemas de detección de derivada de corriente permiten, idealmente, detectar los fallos de corriente antes que los sistemas por detección de sobrecorriente. Sin embargo, para esta técnica de detección de falla se debe tener en cuenta que las variaciones de corriente están fuertemente influenciadas por las características de la red, así como por la distancia desde donde se produce en fallo hasta la ubicación de la protección. Para minimizar los efectos que produce la red sobre la detección de derivada de corriente hay estudios que proponen el uso de segundas y terceras derivadas [28]. Deben considerarse otros factores relevantes para este tipo de técnica, desde el punto de vista del muestreo de datos de corriente, es importante aplicar técnicas consistentes de procesado y filtrado de señal con el objetivo de que efectos

transitorios y/o el ruido de la red y del propio sensor puedan afectar y producir falsos fallos de red.

3. **Protecciones de corriente diferencial:** Para las redes de arquitectura bifilar (descrito en la [sección 2.1.4](#)), el uso de protecciones diferenciales resulta muy interesante. El principio de funcionamiento se basa en detectar el flujo de corriente “de ida y vuelta”, de tal forma que cuando parte de la corriente no vuelve, se puede considerar que se ha producido una falla en la red [29].
4. **Protecciones de direccionalidad:** Para redes de arquitecturas de bus múltiple donde la corriente puede circular de forma bidireccional, el uso de sistemas de control coordinados que establecen puntos de consumo de corriente críticos, permite aumentar la selectividad e implementar medidas de protección de alto nivel. El principal inconveniente de este tipo de medida es la necesidad de una unidad centralizada que, a modo operador de red, gestione y determine las potenciales fallas [26].

El uso combinado de las diferentes técnicas permite generar protecciones complejas aunando las bondades de varias. En la presente tesis se han empleado fundamentalmente técnicas de detección de sobrecorriente. Fruto de los resultados y de la investigación se ha solicitado una patente basada indirectamente en la derivada de corriente ([sección 1.4.2](#)).

2.2.4 Tipos de protecciones

El objetivo de la presente sección es describir los tipos de sistemas de protección de sistemas DC más utilizados. Se presentan los más relevantes desde el punto de vista histórico, así como los más próximos por tecnología a las protecciones y controladores de potencia desarrollados.

2.2.4.1 Fusibles

Un fusible es un dispositivo de dos terminales que basa su funcionamiento en el principio térmico de calentamiento por efecto Joule. La potencia disipada por el dispositivo provoca un incremento de su temperatura y al tratarse de un dispositivo debilitado con el

objetivo de abrir un circuito eléctrico, sobrepasada cierta temperatura, se funde. A través de su daño irreparable, se protege la red eléctrica aguas abajo.

Los fusibles son dispositivos muy económicos y presentan características sobresalientes en cuanto a dimensiones, peso y fiabilidad, por ello, su uso está muy extendido en todo tipo de aplicaciones. Entre los fusibles más empleados se encuentran:

- **Fusibles de cartucho.** Son el tipo más utilizado y consisten en un elemento fusible, generalmente un hilo de plata o cobre calibrado dentro de un tubo de cerámica o vidrio. El incremento de temperatura provoca la fundición del filamento abriendo los dos terminales.
- **Fusibles de alta capacidad de ruptura (HRC).** Son una variante de los dispositivos fusibles de cartucho convencionales; más robustos, consiguen velocidades de funcionamiento superiores y presentan una mayor independencia con la temperatura ambiente. Gran parte de los dispositivos fusibles de cartucho comercializados son HRC.
- **Fusibles de limitación de corriente.** Se emplean generalmente en aplicaciones de alta tensión. Son dispositivos que incrementan su resistencia de forma proporcional a la corriente que circula por ellos, consiguiendo de esta forma limitar temporalmente la corriente. De la misma forma que los anteriores, si la falla persiste, se produce una fundición del elemento fusible aislando la red.

A pesar de tratarse de un dispositivo de relación características – precio muy elevadas, presenta algunos inconvenientes y deficiencias que han hecho que durante las últimas décadas el uso de dispositivos más avanzados esté reemplazando su uso.

En primer lugar, al tratarse de un dispositivo principalmente térmico, es dependiente de la temperatura ambiente, este comportamiento puede perjudicar la protección en condiciones de alta temperatura que pudieran tener lugar en sistemas con poca ventilación. También en condiciones de muy baja temperatura en estaciones frías. Siguiendo con los puntos débiles de los fusibles, destacar la baja velocidad de respuesta en comparación con los sistemas de estado sólido más recientes. En general, la velocidad de funcionamiento en los fusibles más rápidos ronda las decenas de milésimas de segundo.

Por otro lado, los fusibles son indicados para distribución DC con muy baja inductancia, ya que, en caso contrario, el retardo que introducen puede ser catastrófico para la red [26].

La incapacidad de control remoto es otra de las razones por la que otras tecnologías de protección estén reemplazando a los fusibles.

Finalmente, la incapacidad de discernir entre sobrecargas temporales y fallas permanentes hace que los fusibles más sencillos no sean aptos para su uso en redes complejas con cargas fuertemente capacitivas. Mientras tanto, para minimizar este inconveniente, se puede emplear fusibles retardados que permiten sobrecargas durante intervalos de tiempo a través de lo que se conoce como curva I^2t (figura 12) siendo ésta, sin embargo, poco precisa en general.

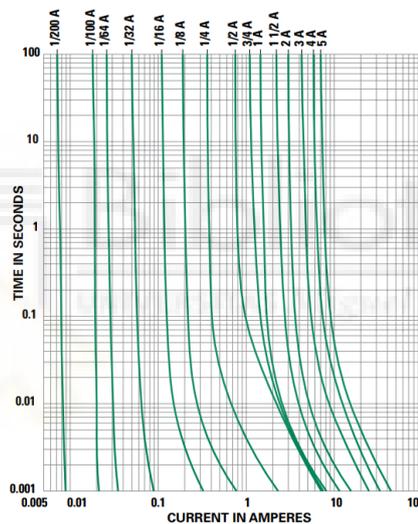


Figura 12. Ejemplo de curva I^2t de un fusible comercial [Littlefuse, 279 Series]

2.2.4.2 Circuit Breakers

Los *Circuit Breakers* (CB) nacieron para solventar las deficiencias de los dispositivos fusibles (sección 2.2.4.1). A grandes rasgos, un CB consiste en una serie de contactos, dos como mínimo, que se encuentran normalmente cerrados y que permiten la libre circulación de corriente. Los CB clásicos, basados en sistemas mecánicos, disponen de una unidad bimetalica, que, a través de la deformación debida a la diferencia entre coeficientes de dilatación térmicos de su composición metálica, son capaces de activar un sistema de

contactos, eliminando el camino de circulación de corriente y protegiendo, con ello, aguas abajo del mismo.

Los CB mecánicos, por lo general, una vez activados (circuito abierto) eyectan un pulsador mediante el cual se indica su estado y permite, a través de su pulsación, el rearme del mismo. Ello requiere por contrapartida, un extra de espacio y asumir las restricciones de accesibilidad que conlleva. La acción de rearme del CB puede suponer un grave riesgo en caso de realizarse cuando la falla persiste.

La capacidad de rearme de los CB es de especial interés en multitud de aplicaciones, pues permite utilizar un mismo dispositivo de protección durante un tiempo superior al equivalente de un fusible convencional ([sección 2.2.4.1](#)), este comportamiento, sin embargo, requiere de un análisis del proceso de envejecimiento del dispositivo a lo largo de su vida útil. Durante el proceso de separación de los contactos, se producen arcos eléctricos que aceleran considerablemente el proceso de degradación de los mismos. Como se ha mencionado, la naturaleza de las redes AC y su cruce por cero, favorece la extinción del arco, habilitando incluso el uso de circuitos *zero crossing detectors* que lo eviten. Las redes DC, por su naturaleza, imposibilitan este tipo de medida, requiriendo otras técnicas de mitigación de arco eléctrico [26].

La [figura 13](#) representa la configuración estándar de lo que se conoce como circuito de resonancia pasivo, cuya finalidad es permitir la extinción del arco eléctrico en el CB aplicado a sistemas DC. Producida la falla, en primer lugar, se acciona el CB produciéndose un arco eléctrico entre sus contactos y en ese instante, la corriente que circula por el CB comienza su transición hacia el ramal de resonancia implementado por L y C. En el ramal de resonancia, una corriente resonante creciente, cruza por cero pasado un cierto tiempo –función de la relación L-C– produciéndose la extinción del arco eléctrico en el primero de ellos. La energía almacenada en el circuito resonante provoca que la corriente resonante crezca hasta que finalmente se disipe en un elemento de absorción –generalmente un *Metal Oxide Varistor* (MOV)– decreciendo en esta fase la corriente hasta su valor final nulo.

Los CB clásicos mecánicos suponen una ventaja considerable con respecto a los fusibles al permitir su rearme, presentar pérdidas de conducción muy pequeñas y un bajo coste. La principal limitación de este tipo de dispositivos viene dada por su baja velocidad de respuesta. Por otro lado, en caso de necesitar sistemas de monitorización adicionales, éstos son, por lo

general, sistemas pesados y de gran complejidad, lo que disminuye considerablemente sus ventajas. Por último, una desventaja compartida con los fusibles es el no discernimiento entre fallas y transitorios, por ejemplo, aquellos debidos a corrientes de arranque.

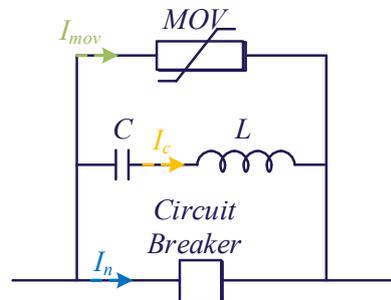


Figura 13. Estructura de mitigación del arco eléctrico en un CB mecánico para aplicaciones DC.

2.2.4.3 Solid State Circuit Breakers

Los *Solid State Circuit Breakers* (SSCB) son dispositivos que en apariencia funcionan o permiten realizar las mismas funciones que los CB convencionales, sin embargo, a nivel electrónico son diferentes, pues basan su funcionamiento en el uso de dispositivos semiconductores. La [figura 14](#) muestra el esquema básico de un SSCB.

En esencia, un SSCB consta de un dispositivo semiconductor, que funciona en conducción de forma normal y que en caso de falla, cambia a corte, impidiendo la circulación de corriente a través de él. Un “controlador” –no necesariamente un circuito digital– se encarga de analizar la medida del sensor de corriente y en caso de sobrepasar un valor de corriente previamente establecido desactiva el dispositivo. De forma general, se dispone de un controlador (*Driver*) que proporciona los niveles de tensión y corriente aptos para el control del dispositivo.

De forma similar a los *Circuit Breakers*, se puede emplear un elemento capaz de disipar la energía almacenada en los elementos pasivos, siendo las inductancias parásitas el elemento más crítico. El uso de *Transient Voltage Suppressors* (TVS) prevalece frente al MOV en aplicaciones de baja potencia por su mejor tiempo de respuesta.

El principal hándicap de los SSCB reside en las pérdidas de conducción, ya que, las resistencias en conducción (R_{Dson}) de los transistores son, por lo general, superiores a las de un sistema mecánico. Por ello, en algunos casos es necesario el uso de sistemas de disipación

térmica para mantener los semiconductores en zonas de funcionamiento seguras. La selección de los semiconductores en los SSCB es un punto crítico.

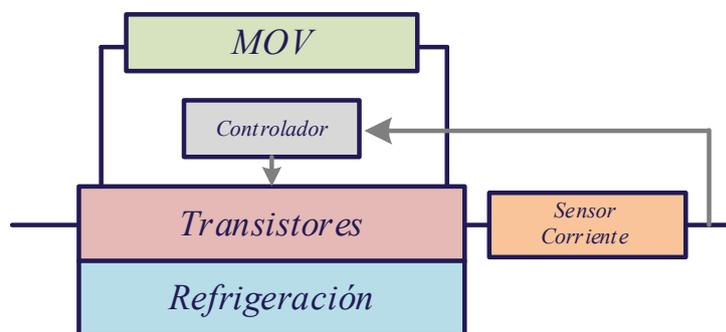


Figura 14. Esquema simplificado de un SSCB. Partes principales.

La capacidad de rearme de los SSCB a través de señales eléctricas –en cuyo caso son denominados *Remote Controller Solid State Circuit Breaker* (RCSSCB)– su tiempo de respuesta y sus dimensiones –en el caso de tener bajas pérdidas y no necesitar sistemas de disipación– son las principales bondades de este tipo de tecnología. En la actualidad son dispositivos muy utilizados. La carencia de funciones como limitación activa de corriente y monitorización de parámetros de red incentivó la aparición de sistemas de protección más sofisticados como los [limitadores de corriente](#) o los [Solid State Power Controller](#).

2.2.4.4 Limitadores de corriente

Los limitadores de corriente (CL) son dispositivos de protección cuya estructura es similar a la de los [Solid State Circuit Breakers](#), incluyendo además un lazo de control que permite que el semiconductor, generalmente un transistor, funcione como una fuente de corriente constante en caso de falla durante un tiempo predefinido.

Los limitadores de corriente son, en general, dispositivos de entre dos y cuatro terminales que se conectan en serie entre la fuente/bus y las cargas.

La conexión de cargas capacitivas, como se ha descrito, produce corrientes transitorias que generalmente superan los umbrales normales de funcionamiento. Con el objetivo de minimizar oscilaciones dentro de las redes, interferencia electromagnética (EMI) y deterioro de los conductores, este tipo de protecciones se utilizan con frecuencia.

Uno de los sectores que utiliza con frecuencia para multitud de aplicaciones limitadores de corriente es el sector espacial [30]. La limitación activa de corriente, como protección paralela, en sistemas de distribución basados en la arquitectura denominada *Sequential Switching Shunt Regulation* [31] ha sido estudiado en el presente trabajo de investigación [32].

Dentro de los limitadores de corriente, hay un amplio abanico de configuraciones. Siguiendo las denominaciones clásicas del sector espacial se definen las siguientes:

- **Latching Current Limiter (LCL):** Consiste en un limitador de corriente en el que, si se produce una falla aguas abajo del mismo, la protección limitará la corriente un cierto tiempo y pasará automáticamente a un estado de apagado enclavado, no reestableciéndose el flujo de corriente hasta realizar un proceso de rearme. Valores típicos de limitación de corriente en LCLs frente a los valores nominales de funcionamiento según [30] llegan al 160% del valor de corriente nominal durante tiempos comprendidos entre 10-15ms. En última instancia, los tiempos de limitación deben fijarse y atenerse a las características del SOA del dispositivo de control utilizado. Un ejemplo típico de curva SOA se muestra en la [figura 15](#).

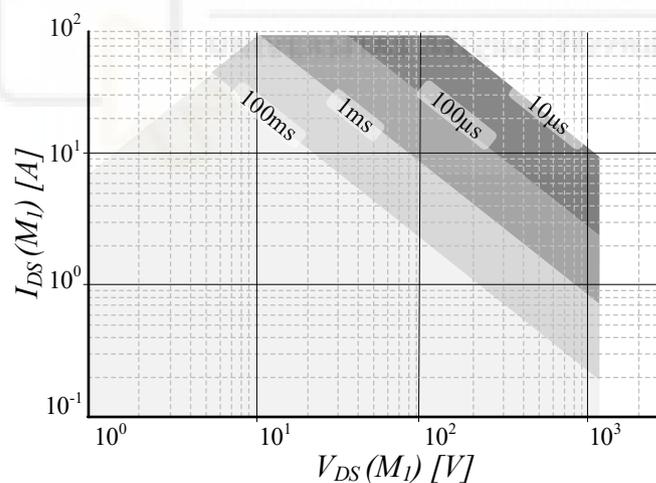


Figura 15. Ejemplo de SOA de transistor SiC – C2M0080120D [33].

- ***Foldback Current Limiter (FCL)***: Este tipo de limitador, más sencillo que el anterior, ante una falla limitará la corriente de forma indefinida a un valor predefinido, según [30] a valores entre el 10-25% sobre el valor de la corriente nominal. La magnitud de la falla, es decir, su impedancia equivalente, definirá el valor de tensión a la salida del limitador de corriente, y por consiguiente, el nivel de potencia disipado por el dispositivo. El valor de limitación de corriente, de nuevo, debe ser consecuente con las características del semiconductor y permitir la operación en zona segura durante la fase de protección. Dada la naturaleza de la protección, en este caso es oportuno conocer de antemano los valores de falla posibles, o suponer un cortocircuito como la peor opción. Realizar un dimensionado de los sistemas de evacuación y disipación de calor del semiconductor, es pues primordial en este caso.

2.2.4.5 *Solid State Power Controller*

Los controladores de potencia de estado sólido o *Solid State Power Controller* (SSPC)-son la evolución lógica de los dispositivos de protección de estado sólido como consecuencia del desarrollo de los sectores de la microelectrónica y la electrónica de potencia. Los SSPC implementan funciones de protección, en algunos casos funciones propias de los CB y en otros casos, funciones de limitación de corriente. Además, implementan capacidad de control remoto, telemetría, monitorización de red etc.

Su utilización en sectores industriales está todavía poco extendida, sin embargo, en sectores nicho como el aeroespacial es ampliamente usado. Su aplicación es más común en sistemas de corriente continua, sin embargo, es también posible su utilización en sistemas de alimentación AC.

Una estructura básica de un SSPC se muestra en la [figura 16](#). Tal y como se aprecia, está constituido por un dispositivo semiconductor, generalmente un transistor FET [30], un sensor de corriente que transmite la información a un bloque de control y procesado, el cual puede implementar funciones de temporización tipo fusible (I_2t). Por lo general, también incorpora una fuente de alimentación interna auxiliar que permite la alimentación de los subsistemas que lo componen. La fuente de alimentación auxiliar puede alimentarse desde una entrada adicional auxiliar, generalmente a menor tensión de la del bus que protege,

aunque también existe la posibilidad de utilizar una fuente de alimentación interna alimentada desde el propio bus que protege con el objetivo de implementar un SSPC autoalimentado. El uso de un controlador de transistores (*Driver*) es requerido en la mayoría de los casos, no siendo necesario en algunas implementaciones basadas en el uso de transistores FET tipo P, o de características de encendido similares (por ejemplo, JFET's). Por último, de la misma forma que los [Solid State Circuit Breakers](#) los SSPC requieren el uso de sistemas de disipación en los casos en los que la energía disipada durante un funcionamiento normal pueda comprometer la integridad del semiconductor.

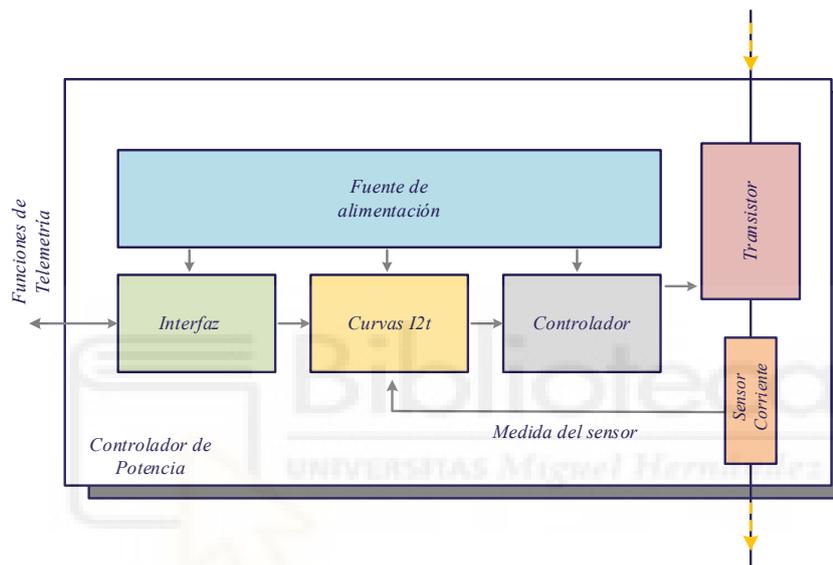


Figura 16. Esquema simplificado de un SSPC.

Algunas características de funcionamiento interesantes que implementan SSPC comerciales se describen a continuación:

- **Telemetría.** Habitualmente se implementan interfaces de comunicación entre el SSPC y la unidad central de distribución con el objetivo de reportar información como tensión de red, corriente a través de la protección, temperaturas, etc. El protocolo utilizado es un parámetro que depende de la aplicación.
- **Protecciones de fuera rango.** Condiciones de sobretensión o tensión por debajo del umbral de normal funcionamiento son los ejemplos habituales, pero se pueden establecer umbrales por temperatura, derivada de corriente, etc.
- **Análisis de deterioro de cableado y localización de falla.** A través del análisis de los parámetros de red utilizando, por ejemplo, técnicas avanzadas de control del

transistor principal [28], es posible conocer de forma aproximada el deterioro del cableado.

- **Autoajustes de las temporizaciones I_{2t} y SOA dinámicas.** Los SSPC más avanzados utilizan sistemas de adaptación de las condiciones de funcionamiento en base a los parámetros de funcionamiento del sistema.
- **Capacidad de control de cargas remotas.** De forma similar a como lo hacen los [Solid State Circuit Breakers](#) o los [limitadores de corriente](#), los SSPC disponen de capacidad de apagado y encendido remoto permitiendo con ello ser utilizado para controlar el flujo energético dentro de una red de distribución DC.

2.2.5 Problemas de las protecciones de estado sólido

Las protecciones de estado sólido no están exentas de problemática y en la literatura se han descrito extensamente algunos problemas representativos. En [34] se describen los problemas detectados en el ámbito aeroespacial, siendo éstos también extrapolables a otros ámbitos. A continuación, se describen los principales problemas asociados a la tecnología:

- **Falsas alarmas.** NASA realizó un estudio para analizar cuánto se pueden llegar a desviar los SSPC funcionando según I_{2t} [35] y se comprobó que dado el porcentaje de sobredimensión con respecto a las corrientes nominales que pueden aplicarse en ciertas curvas I_{2t} –de hasta 1000% sobre la corriente nominal– es complejo identificar fallos por arco eléctrico, suponiendo un riesgo para el cableado de la instalación. Como medida preventiva, se propone la disminución de los umbrales en esos tipos de curva, lo que supone, como contrapartida, un incremento considerable de falsas alarmas y desconexiones indeseadas.
- **Inestabilidad.** NASA demostró que las capacidades parásitas de los transistores principales tienen un gran impacto en la estabilidad del sistema [36]. Las capacidades del SSPC interactúan con el lazo de control apareciendo inestabilidades a nivel global. ESA, posteriormente, presentó dos estudios relacionados con la estabilidad de sistemas LCL para aplicaciones espaciales [37], [38], donde se presentan criterios de estabilidad de las protecciones empleadas.

- **Interferencias electromagnéticas.** En [39] se detallan problemas con un SSPC de 28V en los que se observan fallos en el suministro energético debido a una activación instantánea del modo de protección. Se concluye que descargas electrostáticas producidas en las inmediaciones del transductor de corriente podrían propiciar tal situación. Es por ello que es necesario implementar diseños robustos y protegidos frente a EMI.
- **Cargas inductivas y capacitivas.** La conexión en tensión de cargas capacitivas supone un reto desde el punto de vista de las protecciones, especialmente en los sistemas DC con niveles de tensión elevados. Las protecciones tipo [fusibles](#) y [Circuit Breakers](#), no presentan estos problemas ya que no funcionan en limitación de corriente, siendo además favorable para las mismas sus tiempos de respuesta mayores, ya que durante la fase de carga de la capacidad, de forma transitoria permitirían cargar esta capacidad de forma abrupta –con el consecuente perjuicio de EMI y oscilaciones del bus–. Sin embargo, el resto de protecciones descritas limitan la corriente, pudiendo en ciertos casos tender a funcionamientos que comprometan la integridad de los dispositivos semiconductores al funcionar fuera de la SOA (véase [figura 15](#)). Por su parte, las cargas con fuerte componente inductiva, así como las propias inductancias del cableado del sistema, favorecen la aparición de transitorios de tensión que pueden ser perjudiciales al poder, en algunos casos, superar los límites físicos del dispositivo. Estos fenómenos aparecen generalmente en el proceso de protección, cuando los dispositivos semiconductores dejan de conducir corriente de forma abrupta y sus efectos pueden minimizarse por medio del uso de dispositivos amortiguadores conocidos como *snubber*, varistores y diodos de libre circulación.
- **Aislamiento.** Si bien la falta de aislamiento no es un problema en sí mismo, ciertas aplicaciones requieren que ante una falla se produzca una separación física. Entre otras, aplicaciones médicas y aquellas que son especialmente críticas, como por ejemplo los subsistemas de alimentación para el despliegue del tren de aterrizaje de una aeronave. Para estos casos, se pueden emplear sistemas híbridos. Hay diversas formas de hibridación dentro de las protecciones, por ejemplo, se pueden utilizar dos dispositivos de protección en serie, disponiendo uno convencional mecánico, [Circuit Breakers](#) o [fusibles](#) y otro de estado sólido, obteniendo de esta unión las

características dinámicas y de limitación de corriente de las protecciones de estado sólido, que de las dos sería la primera en funcionar, y la capacidad de aislamiento de las mecánicas.

- **Limitaciones asociadas al semiconductor.** Uno de los problemas básicos de las protecciones basadas en semiconductores son las limitaciones de los mismos. Voltaje y corriente máxima son los principales condicionantes. El semiconductor dominante en la actualidad es el transistor de silicio (Si), y más concretamente en el campo de las protecciones de estado sólido se tiende al uso de transistores FET. Para este caso, MOSFET-Si, existe un límite superior práctico de 270V y 30A [34]. Sin embargo, hay más variables importantes a tener en cuenta a la hora de seleccionar el tipo de semiconductor a utilizar, por ejemplo, la capacidad de trabajar en elevadas temperaturas. Es bien conocido que el Si, a temperaturas superiores a 125°C cambia sus propiedades como semiconductor. Por ello que su capacidad de funcionamiento en modo lineal, en aplicaciones de limitación de corriente, está limitado a un rango de muy baja potencia. Los dispositivos WBG presentan unas propiedades superiores a las del Si. En concreto, los dispositivos SiC, presentan un conjunto de propiedades que los hace muy atractivos para su uso en protecciones de estado sólido.

2.3 Semiconductores WBG

En esta sección se describe la tecnología de semiconductores denominada WBG. En la actualidad, hay dos principales tipos de semiconductores, SiC y GaN, que están siendo evaluados y comercializados de forma extensiva para aplicaciones de potencia como sustitutos de los semiconductores basados en silicio.

2.3.1 WBG aplicada a la electrónica de potencia

En lo referente a la electrónica de potencia actual, podría considerarse que consiste en la utilización de dispositivos semiconductores aplicados al control y procesamiento de la potencia eléctrica, siendo hasta el momento, el uso de los dispositivos basados en Si el más extendido a todos los niveles.

Este escenario, de nuevo, se encuentra en fase de cambio, tal como se mencionaba previamente en la sección [factores de cambio](#), los dispositivos que se conectan a las redes de distribución eléctrica, como cargas y generadores, son capaces de demandar y proporcionar mayores potencias llegando en determinadas situaciones a comprometer la integridad de los semiconductores.

Los dispositivos WBG muestran sobre el papel mejores características en lo relativo a la capacidad de gestión de corriente, tensiones y un tercer factor, muy importante cuando se pretende obtener sistemas con grandes densidades de potencia, la capacidad de operación a altas temperaturas. Estas características permiten a los fabricantes crear dispositivos más pequeños. Dispositivos más pequeños implica menores elementos parásitos (L, C) y repercute inversamente en la frecuencia de operación máxima a la que el dispositivo es capaz de funcionar. Aumentar la frecuencia de conmutación de los dispositivos –sin incrementos representativos de pérdidas de conmutación– permite miniaturizar los sistemas de potencia gracias a la disminución del tamaño de algunos elementos pasivos (L,C) .

Los principales semiconductores WBG que postulan y que ya están siendo empleados en multitud de aplicaciones de electrónica de potencia son el SiC y el GaN. La diana de los dispositivos SiC son aplicaciones que requieran manejar grandes potencias y niveles de tensión superiores a los 600V donde los dispositivos Si no alcanzan. Algunos campos de

aplicación reciente son vehículo eléctrico e inversores fotovoltaicos de alta tensión. Actualmente, los diodos son los dispositivos semiconductores SiC más maduros, seguidos de los transistores MOSFET.

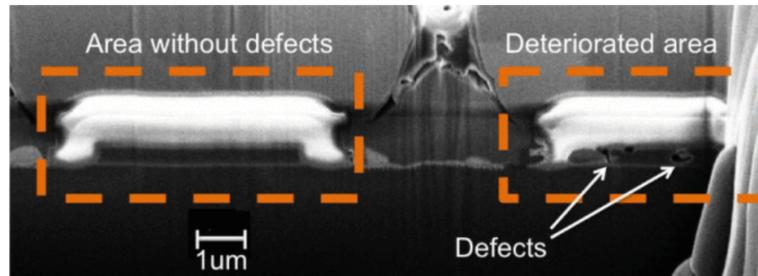


Figura 17. Óxido de puerta de un transistor MOSFET degradado [40].

En cuanto al GaN, con una penetración de mercado todavía en fase incipiente, se utilizó con anterioridad en amplificadores de radiofrecuencia. De los dispositivos destacables, los *High Electron Mobility Transistor* (HEMT), debido a sus excelentes características de conmutación en dispositivos por debajo de los 600V, se postulan como fuertes candidatos para los sistemas de menor potencia que los SiC, es decir, son indicados para aumentar la densidad de potencia en convertidores de potencia media-baja.

Por el momento, los principales factores limitantes de las tecnologías son dos:

- **Coste.** El coste de los sustratos y de los materiales de crecimiento epitaxial fija precios de partida en ambas tecnologías sensiblemente superiores a los de Si. Sin embargo, es de esperar que el aumento de demanda y la economía de escala permita disminuir los costes de producción y se equiparen a los dispositivos Si en el ratio \$/A.
- **Fiabilidad.** Dada la fase incipiente de madurez de ambas tecnologías, hay fenómenos físicos que deben ser estudiados. Se necesitan nuevos materiales aislantes para ser utilizados en las puertas de MOSFET y HEMTS que soporten las elevadas tensiones a las que se ven sometidos, además de ser lo suficientemente finos como para no repercutir negativamente en las capacidades parásitas. Se requiere que tengan coeficientes de dilatación térmicos similares a los del semiconductor, en caso contrario, el estrés mecánico puede generar microrroturas según se ha descrito en diversos estudios [40], [41]. En la [figura 17](#) se muestra el estado del óxido de puerta degradado al microscopio.

2.3.2 Dispositivos SiC

De los WBG, los dispositivos SiC son los dispositivos que presentan una mayor madurez y adopción en el mercado. Actualmente, estarían alcanzando la meseta de consolidación de la *Curva Gartner* [42], habiéndose alcanzado versiones revisadas de la tecnología y consolidando su uso como alternativa viable a los dispositivos *Insulated Gate Bipolar Transistor* (IGBT) basados en Si.

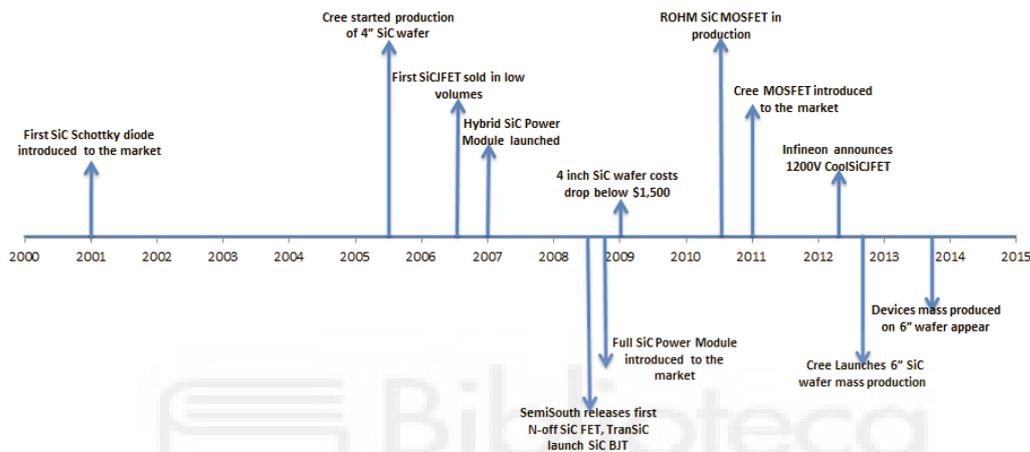


Figura 18. Eventos importantes en la evolución de la tecnología de los dispositivos SiC comerciales [43].

El primer dispositivo semiconductor basado en SiC, un diodo Schottky [44, p. 475], fue introducido en el mercado en 2001. La [figura 18](#) muestra la línea de evolución y los eventos más importantes dentro del mercado de los dispositivos SiC. A mitad de 2012, *CREE – Wolfspeed* en su división de dispositivos SiC– fue la primera empresa de semiconductores en conseguir fabricar obleas de seis pulgadas permitiendo alcanzar volúmenes de fabricación a un precio significativamente inferior, incrementando además la calidad de la misma.

Históricamente las *micropipes*, véase [figura 19](#), han sido el defecto de fabricación más relevante en el SiC. Son defectos cristalográficos que resultan de la propagación de dislocaciones cristalográficas que aparecen durante el crecimiento epitaxial en oblea. Este tipo de defectos tenía una densidad de unos 5-10/cm² en 2006, pasando a valores por debajo de 0.24/cm² en 2014, siendo estos valores aceptables para la calidad del mercado [45].

Con respecto al coste, las mejoras en los procesos productivos han permitido reducir los costes considerablemente, por ejemplo, el precio de las obleas de cuatro pulgadas se

redujo de 1400\$ en 2009 a unos 750\$ en 2012, lo que supuso a su vez un incremento de ventas del 3:1 en ese periodo.

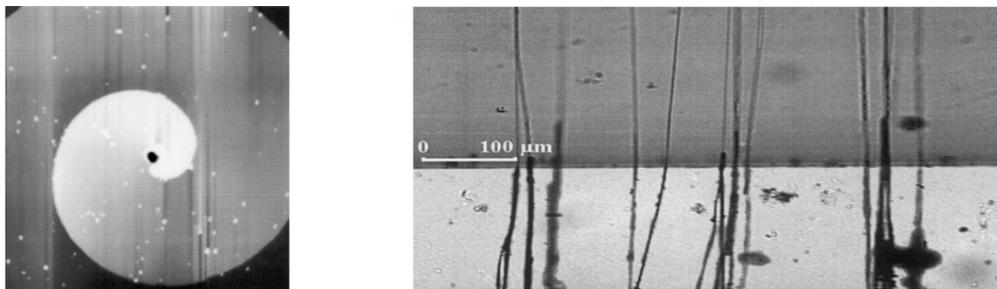


Figura 19. Ejemplo de *micropipe* en SiC.

La evolución de los materiales ha permitido además incrementar notablemente el ratio A/mm². Para el caso de los diodos Schottky, los dispositivos de máxima corriente en 2005 alcanzaba únicamente los 25A, mientras que en 2015 los dispositivos estaban por encima de los 50A. Para el caso de los dispositivos MOSFET, se produjo una disminución de las pérdidas de conmutación de casi el 30% debido a las mejoras de calidad de los materiales empleados [46].

2.3.2.1 Diodo SiC

Los diodos SiC para aplicaciones de potencia poseen, en general, una estructura Schottky prácticamente igual a la estructura de los diodos de Si convencionales.

Los diodos convencionales Si-PIN son estructuras bipolares y dependen de la inyección de portadores minoritarios, su reagrupación repercute en grandes cargas de recuperación para polarizar en inversa los dispositivos.

En estado de conducción, los portadores de carga son inyectados permitiendo el flujo de corriente a través del canal, un mayor número de portadores supone a grandes rasgos una mejor conductividad del canal, pero en contrapartida supondrá mayor carga de recuperación inversa para generar una región de bloqueo en el dispositivo. Además, la carga de recuperación depende fuertemente de la corriente circulante por el dispositivo y de la temperatura.

Una gran ventaja de los diodos SiC es que prácticamente no muestran carga de recuperación inversa, véase [figura 20](#). Se puede apreciar cómo el pico de recuperación es considerablemente inferior al equivalente de un diodo pin de recuperación rápida. Esto repercute directamente en las pérdidas de conmutación del dispositivo. Además, a diferencia del diodo pin convencional, el diodo Schottky presenta una dinámica de naturaleza capacitiva, que permite que estas pérdidas de apagado sean en mayor medida independientes de la corriente circulante por el dispositivo, así como la temperatura.

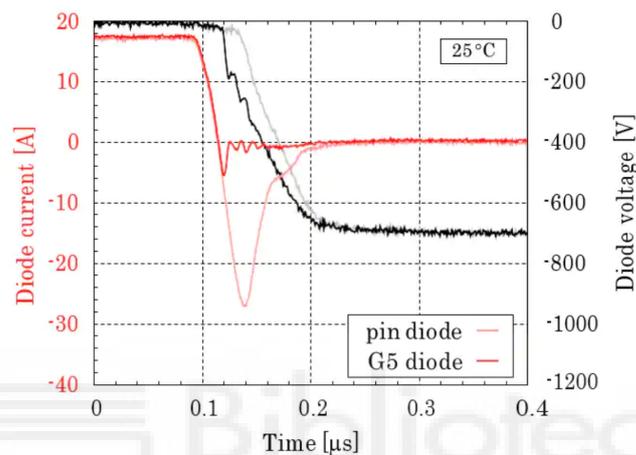


Figura 20. Comparativa de formas de onda de apagado para diodos Schottky SiC vs Si-pin [47].

En comparación con los Schottky basados en Si, los basados en SiC, debido al mayor campo de ruptura del semiconductor, permiten de forma inmediata la implementación de dispositivos de mayor tensión. El límite práctico para los dispositivos Si está cerca de los 200V de tensión de bloqueo máxima, mientras que para el SiC están comercializándose dispositivos únicos de 1700V.

Con ello, las principales ventajas de los diodos SiC pueden resumirse en:

1. Carga, y por lo tanto, tiempo de recuperación, menor que en dispositivos equivalentes de Si.
2. Menores fugas en polarización inversa.
3. Capacidad de funcionar en un rango de temperatura extendido.
4. Capacidad de funcionar en tensiones mayores.

2.3.2.2 MOSFET SiC

Los dispositivos MOSFET basados en SiC son previsiblemente la nueva generación de dispositivos que permitirán optimizar los sistemas de electrónica de potencia, en concreto, los que en la actualidad son implementados con dispositivos IGBT Si.

La estructura de estos dispositivos es similar a los IGBT de silicio, lo que permitió su rápido desarrollo. Sin embargo, desde su origen –en la década de los 70s– se observó que la región de transición entre el SiC y el óxido de puerta, generalmente SiO₂, generaba lo que se denominan “trampas” que generaban disminuciones en la movilidad de los portadores provocando con ello inestabilidades en las tensiones umbrales de los dispositivos. Estos problemas desencadenaron una serie de investigaciones a finales de los años 90 que permitieron generar estrategias para minimizar estos efectos, siendo una de las más utilizadas en la actualidad el uso de H₂O como agente oxidante en el proceso de crecimiento de la capa de óxido de puerta en lugar del que se utilizaba, O₂.

Especialmente durante los últimos 5 años, múltiples fabricantes, entre los que destacan ROHM, Wolfspeed (CREE), Infineon, STMicroelectronics y Microsemi, comercializan dispositivos MOSFET SiC de elevada movilidad electrónica, lo que supone una resistencia de encendido $R_{DS(on)}$, pequeña, óxidos aislantes de puerta de una gran estabilidad y se han estimado vidas útiles para los dispositivos superiores a los 100 años en condiciones de funcionamiento de 200°C. Los parámetros de fuga de corriente y sus insignificantes crecimientos a lo largo del tiempo, denotan una excelente estabilidad en los dispositivos.

Con respecto a los MOSFET tradicionales de Si, los basados en SiC, necesitan tensiones de encendido superiores. Se requieren tensiones de 20V en un dispositivo SiC típico de 1200V y 80mΩ, frente a los 12V de los MOSFET Si. En determinadas circunstancias, con el objetivo de minimizar las fugas de corriente durante el estado de apagado puede resultar pertinente polarizar la puerta con tensiones negativas. En función del fabricante y referencia, se establecen rangos entre -2V y -6V. Los ajustes de corriente de carga y descarga de puerta se realizan de forma equivalente a un transistor MOSFET Si.

La mejora del campo eléctrico de ruptura de los dispositivos SiC posibilita crear dispositivos mucho más finos, aproximadamente de 1/10 de grosor, ello supone una

disminución de la resistencia de conducción importante, minimizando por consiguiente las pérdidas de encendido.

La inmunidad de los dispositivos semiconductores a condiciones de radiación es un factor especialmente importante en aplicaciones aeroespaciales. En este aspecto, diversos estudios han demostrado que los dispositivos MOSFET SiC presentan un *FIT* (*Failures In Time*) muy próximo al de los dispositivos IGBT de características similares contra los que compete en tecnología [48].

Dadas las excelentes propiedades del semiconductor para funcionar en condiciones elevadas de tensión, se considera que los dispositivos SiC, concretamente los dispositivos MOSFET, son excelentes candidatos para el desarrollo de dispositivos que funcionen hasta 3.3kV [48]–[50]. El dispositivo basado en SiC con mayor tensión fabricado es un dispositivo de 15kV y durante su conmutación se alcanzan densidades de potencia superiores al MW/cm², lo que permite vislumbrar que son dispositivos potencialmente capaces de funcionar como *Circuit Breakers* [49]. La [figura 21](#) muestra una forma de onda del apagado de la referencia [49] en unas condiciones de 10kV y más de 40A, presentando tiempos de conmutación inferiores a los 70ns, tiempos inferiores a los equivalentes de dispositivos IGBT basados en Si.

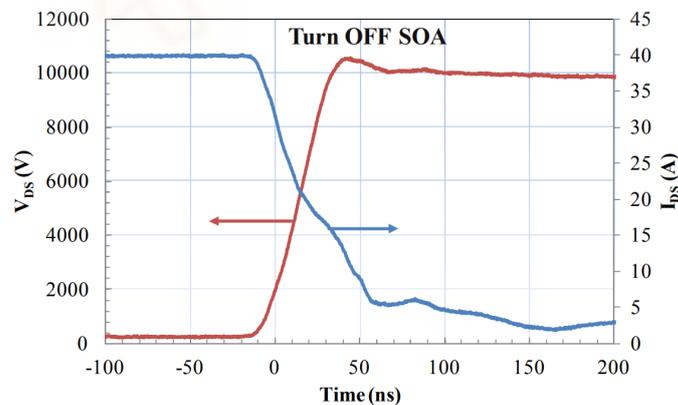


Figura 21. Proceso de apagado de MOSFET SiC @ 10kV y 40A [49].

Con ello, las principales ventajas en los dispositivos MOSFET SiC pueden resumirse en:

1. **Menores tiempos de conmutación** y, por lo tanto, menores pérdidas de conmutación.

2. Canal de conducción más corto y por consiguiente **menor** R_{DSon} repercutiendo en menores pérdidas en conducción.
3. Capacidad de funcionar en un **rango de temperatura extendido**.
4. Capacidad de **funcionar en tensiones mayores** que los dispositivos MOSFET basados en Si.

2.3.2.3 JFET SiC

Los dispositivos JFET (*Junction Field Effect Transistor*), son de los dispositivos de tipo “interruptor”, en teoría, lo más sencillos.

Su estructura básica consta de dos uniones PN formadas entre las uniones de puerta y el propio canal. En su forma más sencilla, son dispositivos simétricos, es decir, no presentan polaridad, pudiendo intercambiarse el drenador y el surtidor, sin embargo, en aplicaciones reales se generan estructuras más complejas de tipo zanja (*trench*) [51] y verticales [52] que producen diferencias significativas entre ambos terminales. Algunos ejemplos de construcciones laterales y verticales se muestran en la [figura 22](#).

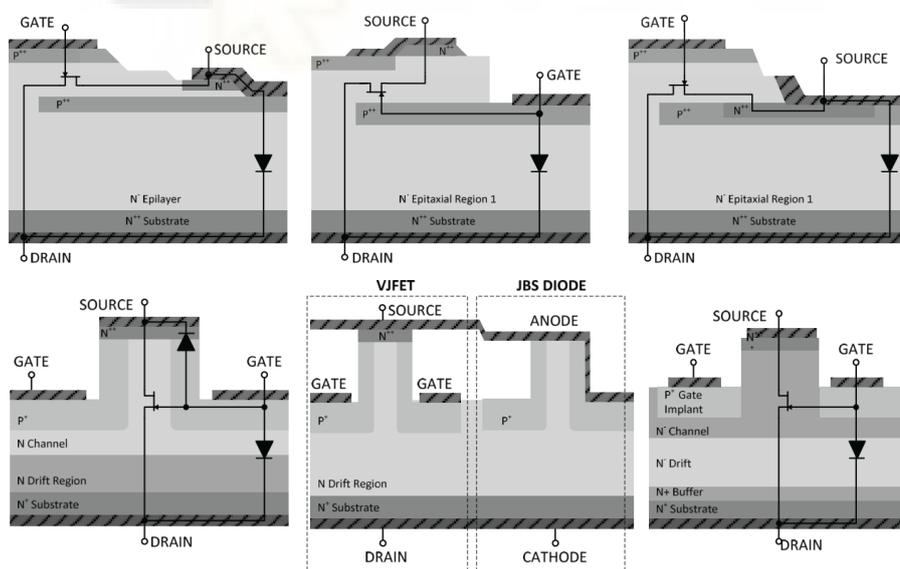


Figura 22. Estructuras de implementaciones de dispositivos JFET. En la fila superior tres estructuras laterales y en la inferior tres verticales [53].

Su implementación en SiC permite únicamente desarrollar dispositivos normalmente encendidos, lo que en comparación con los dispositivos de conmutación FET tipo-N supone

tener que emplear una lógica inversa. Además, para que el dispositivo permanezca en estado de apagado, no permitiendo el flujo de corriente a través de él, se requiere una tensión negativa entre puerta-surtidor que permita que el dispositivo alcance la tensión de estrangulamiento del canal o *pinch-off* por su denominación en inglés.

Para el encendido, aplicar una leve tensión de polarización positiva entre puerta-surtidor puede repercutir en mejoras del orden del 5% en cuanto a reducción de R_{DSon} equivalente [54]. La curva típica de “transconductancia” del dispositivo JFET se muestra en la [figura 23](#).

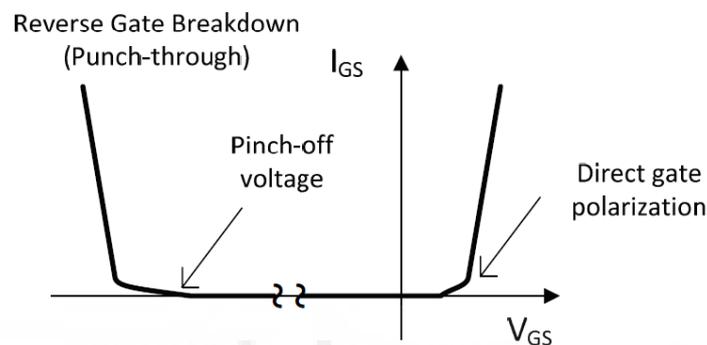


Figura 23. Curva típica de control de puerta de un transistor JFET.

Considerando lo anterior, el control de los dispositivos JFET supone el empleo de *drivers* más sofisticados que los utilizados por los MOSFET [55], [56]. Este hecho y la problemática que supone en las topologías de conversión de potencia, han hecho que los dispositivos JFET hayan sido sustituidos en su forma básica por dispositivos MOSFET o por dispositivos híbridos denominados cascode ([sección 2.3.2.4](#)).

Hoy, el principal fabricante de dispositivos JFET de SiC es *United Silicon Carbide Inc.* (USCi) que dispone de una gama de JFETs desarrollada para aplicaciones de potencia, con dispositivos capaces de funcionar hasta 1200V y 70A. Gracias a la inexistencia de óxidos de puerta, que son un gran hándicap en la fiabilidad de dispositivos MOSFET SiC (véase [sección 2.3.2.2](#)), y a la baja dependencia de la tensión de encendido del JFET frente a variaciones de temperatura, el uso de los JFET basados en SiC parece muy pertinente en aplicaciones de alta disipación de energía, principalmente para aplicaciones de limitación de corriente [57], [58]. El propio fabricante USCi propone topologías muy sencillas para la implementación de sistemas de limitación de corriente basados en sus productos JFET véase la [figura 24](#).

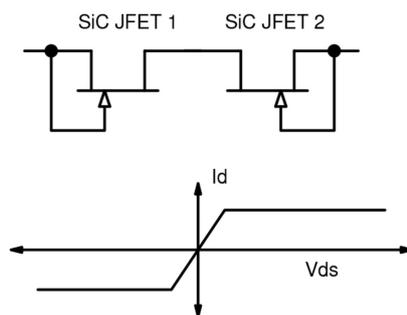


Figura 24. Topología autoalimentada de limitador de corriente propuesto por USCi junto a su respuesta i-v [59].

Además de los factores mencionados previamente, algunos transistores MOSFET SiC poseen un coeficiente de correlación térmico positivo lo que puede suponer un problema en aplicaciones de limitación de corriente. Este efecto se muestra en la [figura 25](#), donde se comparan las transconductancias de un dispositivo JFET SiC y la de un dispositivo MOSFET SiC típico.

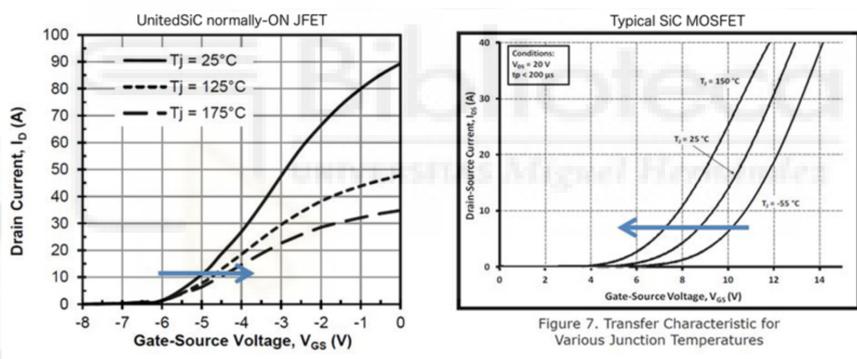


Figura 25. Comparación de transconductancias a diferentes temperaturas para un dispositivo JFET basado en SiC y un MOSFET basado en SiC de características similares [59].

2.3.2.4 Cascodo SiC

Con el objetivo de suplir las carencias de los dispositivos [JFET SiC](#), buscando un dispositivo con sus bondades pero con la capacidad de ser controlado como un [MOSFET SiC](#), es posible implementar una estructura compuesta formada por un JFET basado en SiC y un MOSFET de baja tensión Si [60]. Esta estructura compuesta se muestra en la [figura 26](#).

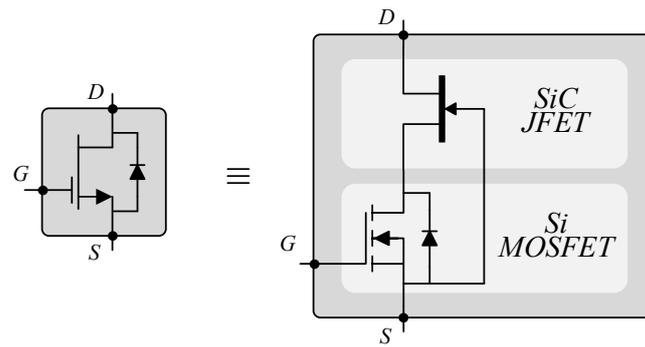


Figura 26. Estructura básica simplificada de un dispositivo cascode SiC

La transición a encendido (*turn-on*) del cascode es muy sencillo, el MOSFET de baja tensión funciona como dispositivo de control para el JFET. La secuencia es la siguiente:

Encendido del cascode

1. Encendido del MOSFET Si

V_{GS} del MOSFET $> V_{TH}$ del MOSFET;

V_{DS} del MOSFET $\approx 0V$;

2. Encendido del JFET SiC

V_{DS} del MOSFET $\approx 0V \rightarrow V_{GS}$ del JFET $\approx 0V$;

(nota: V_{TH} típica del JFET $\approx -6V$)

De forma similar, el proceso de apagado de un cascode se define según la siguiente secuencia:

Apagado del cascode

1. Apagado del MOSFET Si

V_{GS} del MOSFET $< V_{TH}$ del MOSFET;

V_{DS} del MOSFET alcanza V_{TH} del JFET;

2. Apagado del JFET SiC

Toda la tensión queda en bornes del JFET, salvo V_{TH} del JFET.

Bajo las premisas de funcionamiento establecidas, se puede aceptar que como dispositivo de control es válido el uso de dispositivos MOSFET Si de baja tensión que por lo general presentan una R_{DSon} menor, así como capacidades parásitas y tiempos de respuesta inferiores.

Para el caso de implementaciones con JFETs SiC simétricos, en caso de necesidad de circulación de corriente en sentido surtidor-drenador, la activación del diodo de cuerpo del MOSFET generaría una activación inmediata del JFET permitiendo la circulación de corriente a través del mismo. En caso de implementaciones con estructuras *trench* o verticales, como viene siendo común –especialmente por el fabricante USCi–, se requiere el uso de un diodo externo de libre circulación global a todo el dispositivo.

El impacto del uso de dos dispositivos en serie en apariencia debería suponer un incremento de la resistencia global del dispositivo frente a un único dispositivo MOSFET; sin embargo, dada la menor resistencia en conducción de los dispositivos JFETs y la pequeña resistencia de los MOSFET Si de baja tensión –para rangos de corriente de hasta 100A es cercano a los $3m\Omega$ – existen dispositivos comerciales con resistencias de encendido inferiores a las equivalentes de un dispositivo único MOSFET SiC.

Con respecto a la dinámica de los dispositivos cascodo, al tratarse de un dispositivo compuesto, diversos estudios revelan que si la conmutación a *OFF* del JFET no es lo suficientemente rápida, el MOSFET funcionaría en modo avalancha durante esta fase, bloqueando la totalidad de la tensión y llevando la corriente al mismo tiempo, disipando gran cantidad de energía y pudiendo, en caso de proceso repetitivo, llegar a dañarse [61]. Otros comportamientos anómalos observados están relacionados con la propia estructura del dispositivo cascodo. La [figura 27](#) muestra un renderizado de una implementación de un dispositivo cascodo. Al tratarse de conexiones físicas a través de *bondings*, en ciertas circunstancias se ha comprobado que las inductancias aportadas pueden producir oscilaciones durante las conmutaciones [54], incrementando las pérdidas de conmutación y repercutiendo negativamente en la emisión de interferencia electromagnética (EMI). Asimismo, el acoplamiento entre las inductancias y las capacidades del dispositivo han mostrado en algunos estudios que pueden afectar a la carga de puerta del MOSFET [62].

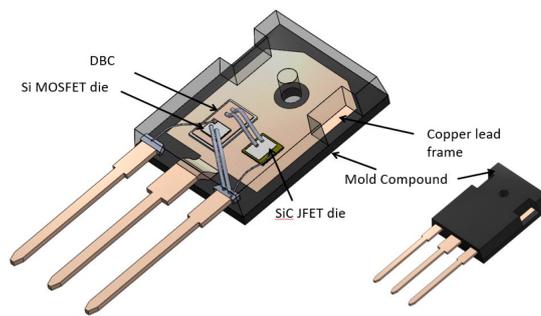


Figura 27. Implementación física de un cascode en encapsulado TO-247 [USCi]

Otros estudios sugieren que para un correcto control de dispositivos híbridos es necesario implementar diseños de *drivers* más sofisticados [63].

Otro de los factores críticos a la hora de considerar los dispositivos cascode es la capacidad de funcionamiento en alta temperatura. Según se ha descrito ([sección 0](#)), los dispositivos SiC poseen una naturaleza que les permite funcionar a elevadas temperaturas, sin embargo, los dispositivos cascode pueden presentar problemas en este sentido al disponer de un MOSFET Si.

Desde un punto de vista práctico, considerando siempre su uso dentro de las zonas permitidas por su SOA, que el dispositivo que genere la disipación de energía y el bloqueo de la tensión sea un JFET, que carece de óxido de puerta, les predispone como buenos candidatos para aplicaciones en las que no se requieren conmutaciones de forma constante.

2.3.3 Dispositivos GaN

Los dispositivos GaN, más recientes que los dispositivos SiC y como se ha mencionado, con una penetración de mercado que está todavía en una fase incipiente, están saliendo de la fase del “pozo de desilusión” en la curva *Gartner* [42], comenzando a buscarse nichos de mercado donde sus excelentes características puedan ser explotadas. Éstas son especialmente atractivas dentro del campo de la electrónica de potencia. Su uso busca generar dispositivos de baja tensión, con elevada movilidad y baja resistencia de conducción.

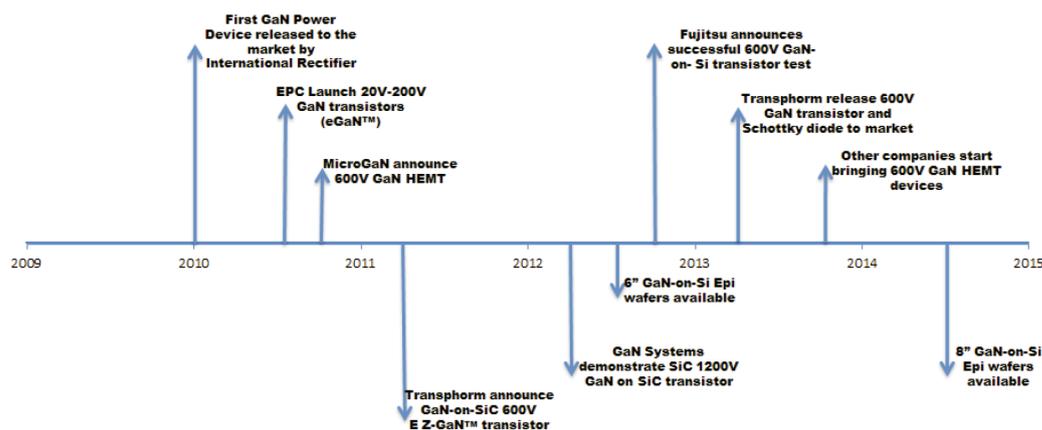


Figura 28. Eventos importantes en la evolución de la tecnología de los dispositivos GaN comerciales [43]

La [figura 28](#) muestra el histórico de eventos más relevantes para la tecnología GaN. El primer dispositivo GaN diseñado específicamente para aplicaciones de potencia fue un *High Electron Mobility Transistor* (HEMT) de la casa *International Rectifier* (IR) y data de 2010. Para la comercialización de este tipo de dispositivos, IR creó una empresa filial denominada *Efficient Power Corporation* (EPC) especializada en los dispositivos GaN.

El factor más importante para la fabricación masiva de dispositivos GaN fue el desarrollo de técnicas de fabricación sobre sustratos de Si. La capacidad de generar crecimiento epitaxial sobre sustratos Si permitió generar dispositivos con características inferiores a las que se pueden obtener con crecimientos sobre sustratos de GaN, sin embargo, el balance características-coste resulta sobresaliente. Una oblea de cuatro pulgadas en sustrato de GaN tiene un coste de unos 3200\$ mientras que una oblea de sustrato Si tiene un coste de 100\$ [64].

Por otro lado, gracias a la evolución de los materiales y a las mejoras en los procesos de fabricación, se ha conseguido incrementar considerablemente la densidad de corriente. Para el caso de dispositivos GaN-HEMT de 100V se ha pasado de densidades de 2.2A/mm² a densidades próximas a los 4A/mm².

En la actualidad, la mayoría de las compañías capaces de fabricar dispositivos GaN son americanas, EPC y Transphorm, son las empresas con mayor cuota de mercado, ambas dependientes de empresas matrices con amplia experiencia en el sector de los dispositivos semiconductores de potencia (IR y Panasonic, respectivamente).

2.3.3.1 HEMT de GaN

La capacidad de implementar dispositivos GaN está limitado a estructuras tipo Schottky y dispositivos de efecto campo (FET). A nivel comercial, se dispone casi en exclusiva lo que se denomina HEMT.

El principio de funcionamiento de un HEMT se basa en la unión de materiales con diferentes valores de banda prohibida –denominada heterounión– es decir, una capa con gran cantidad de donantes tipo-n y una capa de canal no dopada que, generalmente, se implementa en GaN. En la heterounión se forma lo que se denomina en términos físicos un pozo de energía que permite la formación de estados. En estado de no excitación, para un buen diseño de heterounión, los electrones donados por la capa donante no pueden fluir. Cuando los electrones pueden circular a través del canal, pueden hacerlo únicamente en dos dimensiones, a este fenómeno se le ha denominado 2DEG (*2 Dimension Electron Gas*). La región 2DEG permanece dentro de la región no dopada y se caracteriza por un elevado valor de movilidad electrónica, en gran medida debido a la ausencia de impurezas, permitiendo la implementación de dispositivos con resistencias muy pequeñas y un comportamiento dinámico extremadamente rápido, con las implicaciones que ello tiene en cuanto a las pérdidas de conducción y conmutación ([sección 2.3.2.2](#)).

Este tipo de dispositivos, por su construcción, dificulta la implementación de dispositivos de alta tensión, hay disponibles dispositivos con límites de tensión de 600V para dispositivos HEMT pero que disponen de unas prestaciones de conmutación excepcionales.

La aparición de los primeros HEMT basados en GaN para aplicaciones de potencia tuvieron lugar en 2009, gracias a los productos presentados por la compañía *Efficient Power Conversion (EPC)* –Empresa Filial de *International Rectifier*– que presentó una gama de dispositivos para trabajar directamente en conmutación. La [figura 29](#) representa la estructura interna simplificada de un dispositivo HEMT de GaN del fabricante EPC.

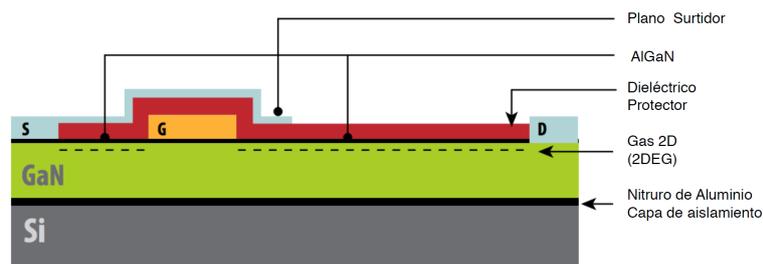


Figura 29. Estructura interna simplificada de un dispositivo HEMT basado en GaN [EPC]

Los transistores HEMT de EPC se fabrican sobre obleas de silicio sobre las que se deposita una delgada capa aislante de nitruro de aluminio (AlN). El nitruro de aluminio permite aislar la oblea de la estructura del semiconductor y el crecimiento de la capa GaN. Tras el GaN se hace crecer una nueva capa de nitruro de galio y aluminio (AlGaN) altamente resistiva. Para la fabricación del terminal de puerta, que permite la generación del 2DEG, se utiliza, como en los MOSFETs, partes metálicas.

Para la implementación de este tipo de dispositivos se generan estructuras repetitivas de celdas unidad de forma similar a como hizo la compañía *International Rectifier* con los HexFET en el pasado.



Figura 30. Encapsulado de un transistor HEMT GaN del fabricante EPC.

Dada la elevada velocidad de conmutación de este tipo de transistor, EPC, el mayor fabricante de este tipo de dispositivos, comercializa los dispositivos con encapsulado *Flip Chip* (LGA) que permite minimizar los elementos parásitos –R, L y C– del encapsulado. La [figura 30](#) muestra el tipo de encapsulado utilizado, que siendo SMD permite minimizar el impacto en huella de PCB. Este encapsulado, además, permite minimizar las resistencias parásitas, la [figura 31](#) presenta una comparativa de resistencias de encapsulados típicos donde se puede apreciar con claridad que este tipo de encapsulado destaca por su baja resistencia parásita.

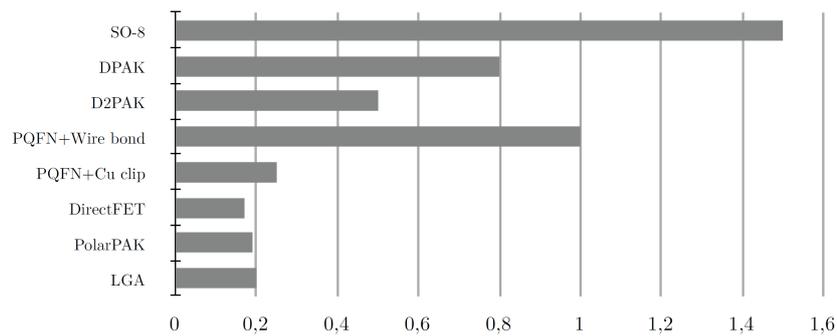


Figura 31. Comparativa de resistencias parásitas de diferentes encapsulados en $m\Omega$ [65].

De igual forma, la [figura 32](#) presenta una comparativa de las inductancias parásitas de los mismos encapsulados, siendo la del encapsulado LGA la más baja, lo que a grandes rasgos permitirá minimizar las oscilaciones de elevada frecuencia [65] y pérdidas de conmutación asociadas [66].

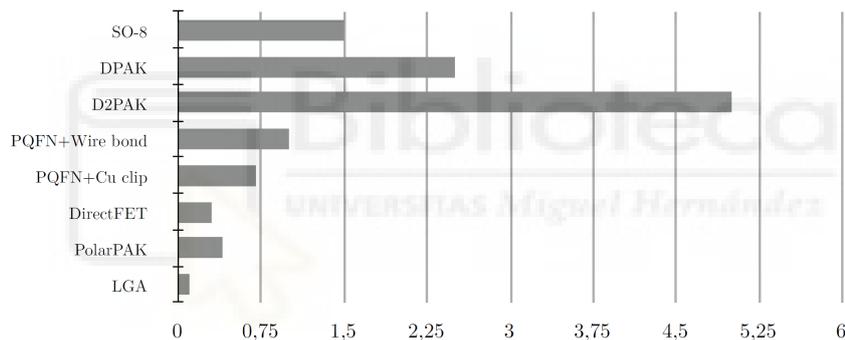


Figura 32. Comparativa de inductancias parásitas de diferentes encapsulados en nH [65].

Este tipo de dispositivos, por construcción, no están indicados para trabajar bajo condiciones de alta disipación de energía, su encapsulado es de dimensiones muy reducidas y por consiguiente, la capacidad de evacuar calor del mismo limitada. Por ello, su aplicación en dispositivos o sistemas de protección –especialmente con limitación de corriente– no es indicada, siendo preferible su aplicación en sistemas de conversión de potencia en los que se trabaje en conmutación dura, ya que es en este tipo de sistemas en los que se puede minimizar las pérdidas de los mismos y obtener beneficio de sus características [67].

2.3.4 Retos de la tecnología WBG

Los dispositivos SiC y GaN, a pesar de estar siendo aceptados en multitud de sectores, todavía se encuentran en una fase de menor madurez que las tecnologías vigentes, IGBT y MOSFET Si. A continuación se listan los principales retos a superar para considerarla una tecnología suficientemente madura.

- **Fiabilidad.** Las nuevas tecnologías de semiconductores requieren un plazo de adopción corto para poder ser rentables, por lo que a diferencia de otras tecnologías que han sido optimizadas a lo largo de décadas, se requieren nuevos métodos que permitan conocer y mejorar su fiabilidad. Ciertas aplicaciones como podrían ser las espaciales, militares, sistemas de aviación [68] etc. necesitan disponer de datos de fiabilidad antes de adoptar una nueva tecnología. Por ello, están apareciendo nuevas técnicas de análisis de fiabilidad de dispositivos que, a diferencia de como tradicionalmente se ha hecho, trata de analizar los fenómenos físicos que suceden, modelarlos y de esta forma poder predecir fallos de una forma más certera. A esta disciplina que aúna el conocimiento de la electrónica, la física y la estadística se le denomina *Physics-of-Failure* [69].
- **Procesos de fabricación.** Con el objetivo de poder ajustar precios y utilizar estas tecnologías, es necesario mejorar los procesos de fabricación [70]. Algunos fabricantes están optando por lo que se denomina *Fabless*, que consiste en no fabricar el semiconductor, centrándose únicamente en el encapsulado de los *dies*, quedando la fabricación de estos últimos en manos de unos pocos productores especializados. Otros fabricantes están tratando de adaptar los procesos de fabricación de dispositivos Si a dispositivos WBG.
- **Circuitos de control.** Los dispositivos WBG presentan características de conmutación considerablemente superiores al Si, esto supone un gran reto a abordar por parte de los fabricantes de controladores y diseñadores [71], [72]. En ciertas aplicaciones en las que se pueden dar situaciones de cortocircuito, dada la elevada disipación de energía que puede tener lugar, es necesaria la implementación de controladores que dispongan de circuitos de detección de cortocircuito y desaturación [73].

- **Filtros EMI.** Son diversos los factores que hacen que el diseño de nuevos sistemas de filtrado EMI sea esencial para una correcta incorporación de los dispositivos WBG. Algunos de estos factores son frecuencia de conmutación más elevada, condiciones de alta tensión y alta potencia.
- **Entornos de diseño.** Tal como se ha descrito en la [sección 2.3.3.1](#), las nuevas condiciones de frecuencia de conmutación de los dispositivos WBG requieren entornos de diseño avanzado. Se requieren técnicas de modelado por elementos finitos con el objetivo de optimizar elementos parásitos.
- **Gestión térmica.** El incremento de la densidad de corriente en este tipo de dispositivos dificulta y requiere de nuevas técnicas de gestión térmica [74]. Refrigeración a doble cara, sistemas de microtuberías y refrigeración líquida son algunas técnicas prometedoras [75]. Otro efecto importante a considerar es el hecho de que los dispositivos sean de menores dimensiones produce dispositivos con menor “capacidad térmica” lo que en ciertas condiciones puede resultar perjudicial.
- **Efectos colaterales del aumento de la temperatura.** La capacidad de funcionamiento en altas temperaturas de los dispositivos WBG implica necesariamente que todos los elementos auxiliares sean capaces de funcionar en estas condiciones, por ello, se requieren nuevos condensadores de alta temperatura, controladores y sensores [76].

Capítulo 3

Estado del arte

Los principales tipos y modalidades de protección han sido presentados previamente ([véase sección 2.2.4](#)) con un carácter generalista. En el presente capítulo se analiza el estado del arte en cuanto a protecciones se refiere. Se han acotado a los términos de búsqueda de trabajos relacionados. En concreto, se presentan los trabajos más relevantes clasificados en dos bloques, [protecciones para el ámbito espacial](#) y [protecciones de ámbito terrestre](#). Es importante considerar que los avances descritos en este capítulo han sido seleccionados atendiendo a su importancia en alguno de los siguientes términos clave –los cuales pueden ser considerados también los de la presente tesis–: protecciones de estado sólido, protecciones basadas en el uso de dispositivos WBG, en especial SiC, protecciones [Circuit Breakers](#), dispositivos [Solid State Power Controller](#), protecciones para alta tensión (hasta 1500V) y limitadores activos de corriente.

3.1 Protecciones para el ámbito espacial

3.1.1 Distribución de potencia basada en LCL

En el ámbito espacial, el uso de sistemas de protección está fuertemente ligado a los sistemas de distribución de potencia. Con el objetivo de minimizar las probabilidades de fallo, el número de componentes utilizados y, en resumen, incrementar la robustez de los sistemas de potencia –factor especialmente crítico en el ámbito espacial–, es común que se implementen de forma conjunta los sistemas de distribución y protección.

Como se ya se ha descrito previamente ([sección 2.2.4.4](#)), la implementación de sistemas de distribución por medio de limitadores de corriente se ha utilizado extensamente en multitud de plataformas espaciales. Las ventajas que supone el uso de este tipo de sistema de distribución son diversas:

- Permiten implementar sistemas de conexión/desconexión de cargas.
- Minimizan los picos de corriente en el proceso de encendido y apagado a través del uso de técnicas de limitación de corriente de arranque [77], [78].
- Minimizan la interferencia entre diferentes partes del sistema de alimentación.

Desde el punto de vista normativo, la *European Cooperation for Space Standardization* por medio de las *ECSS*, propone un conjunto de estándares para la realización de actividades de ámbito espacial en Europa y, en concreto, define un documento guía para la implementación de sistemas de distribución energética basados en el uso de LCLs [79].

En [79] se define en forma de diagrama de bloques las partes fundamentales que debe contener un LCL para aplicaciones espaciales. Previamente, en ([sección 2.2.4.4](#)), con un carácter más generalista se definieron los LCLs, a continuación, se realizará una particularización para su aplicación en el ámbito espacial. La [figura 33](#) representa un diagrama de bloques con las partes más relevantes que conforman un LCL para aplicaciones espaciales.

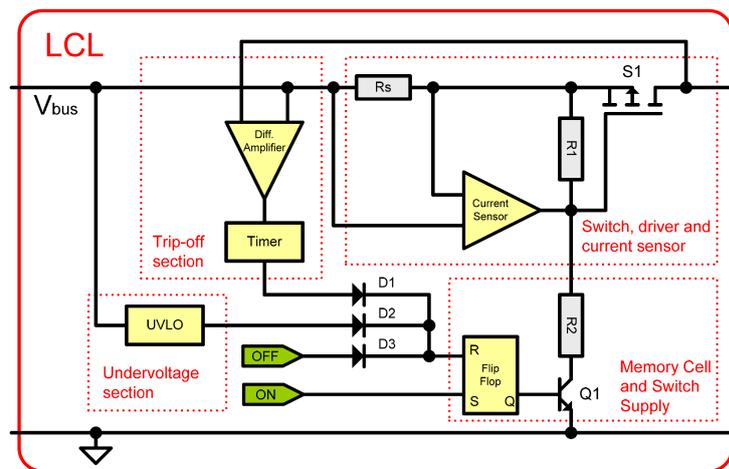


Figura 33. Diagrama de bloques de un LCL genérico para aplicaciones espaciales [79].

La conexión de los LCLs dentro de una plataforma espacial es típicamente entre la fuente de alimentación o bus y las cargas. En general, los LCLs utilizados para espacio son controlables de forma remota *–ON/OFF–*, y tras un tiempo de limitación establecido desconecta las cargas ante una situación de sobrecarga o malfuncionamiento.

Previa presentación de las partes que componen el LCL, cabe destacar que, la [figura 33](#), a pesar de ser un diagrama de un LCL para aplicaciones espaciales, es en gran medida compatible y válido para su aplicación en otro tipo de aplicaciones como veremos en las siguientes secciones ([sección 3.2](#)). A continuación, se describen las principales partes y su funcionalidad en el LCL:

- **Interruptor, sensor de corriente y *driver*.** Como elemento de seccionamiento se emplea un transistor, debido a los rangos de tensión más empleados en aplicaciones espaciales *–28V, 50V, 70V, 100V, 150V y 160V–* lo más frecuente es utilizar dispositivos MOSFET de canal P. El encendido del transistor permite conectar las cargas al bus *–siempre con su resistencia de encendido característica–* y realizar funciones de limitación de corriente por medio de su funcionamiento en zona lineal. La principal razón de emplear dispositivos tipo P es la posibilidad *–casi inmediata–* de implementar un *driver* sin requerir fuentes de alimentación o buses auxiliares. Es importante remarcar que el incremento de los niveles de tensión de los buses de alimentación, debido en algunos casos al uso de sistemas de propulsión eléctricos [80], [81], requiere nuevas arquitecturas de LCLs capaces de funcionar en las nuevas condiciones. Además, hay actualmente diversas propuestas de nuevas arquitecturas

de distribución de tensión superior a las convencionales [11], [12], [82]. El sensor de corriente, implementado con una resistencia *shunt*, realiza las siguientes funciones: en el caso de utilizar semiconductores tipo P puede funcionar como *driver*, permite establecer el valor de limitación de corriente y además, en el caso de necesidad, puede funcionar como amplificador de transimpedancia, proporcionando un voltaje proporcional a la corriente (véase [figura 33](#)).

- **Temporizador.** Es el responsable de realizar la temporización cuando el LCL se encuentra en fase de limitación de corriente. Como señal de disparo para comenzar la temporización se pueden utilizar diversas variables; comúnmente se emplea la comparación de la tensión en bornes del interruptor o transistor principal y una tensión de referencia, la segunda opción más utilizada es emplear el sensor de corriente como amplificador de transimpedancia y comparar su salida con otra tensión de referencia (véase [figura 33](#)). La forma más común de implementar la etapa de temporización es a través del uso de una red resistivo-capacitiva y un comparador de tensión. La forma más extendida de ajuste de dicha red es atendiendo a las características térmicas del transistor empleado. Se pretende que la red muestre una dinámica equivalente a la dinámica térmica del transistor. Este aspecto toma especial importancia cuando se dispone de un comportamiento *Re-Triggerable* donde el sistema de protección trata de reconectar la carga de forma automática en caso de falla.
- **Celda de memoria y alimentación.** Cuando alguna condición de funcionamiento anormal tiene lugar, se emite una señal a la unidad de memoria –generalmente implementada a través de circuitos analógicos con enclavamiento– y ésta se encarga de mantener el circuito apagado tras la desconexión del transistor.
- **Protección frente a tensiones bajas.** Una condición que puede dar lugar a reducir la tensión de un bus de alimentación es aquella en la que todas las cargas demanden un exceso de corriente suficiente como para bajar la tensión de alimentación, pero insuficiente como para hacer saltar cada protección. En ese caso, esta utilidad desconecta cargas reestableciendo el nivel de alimentación. En ciertos casos, para evitar la aleatoriedad en el proceso de selección de desconexión de carga, puede centralizarse esta funcionalidad. En función del tipo de arquitectura de alimentación

es posible que sea necesaria la implementación de una ventana de histéresis para evitar acoplamientos entre la protección y la alimentación del bus.

Caso de estudio 1: *An innovative, flexible, hybrid active input filter for the International Space Station*

En el trabajo [83] presentado por G.F. Volpi, C. Carriero, G. Simonelli y P. Perol en el *European Space Power Conference* (ESPC) de 2005, se presenta un sistema de protección denominado *Active input filter* que consiste en una protección LCL de respuesta rápida. Además de [83], [84] presenta la misma idea con ligeras modificaciones.

Tabla 1: Especificaciones del caso de estudio 1

Parámetro	Dato
Tipo de protección	LCL – <i>Active Input Filter</i>
Rango de tensión	Nominal hasta 126V Transitorios hasta 200V
Rango de corriente	Nominal hasta 3.3A
Tipo de semiconductor utilizado	p-MOSFET
Tecnología de semiconductor utilizado	Si
Tiempo de reacción	<1 μ s
Eficiencia	>99% (no especificada la carga)

La característica principal de selección como caso de estudio ha sido **la implementación de un sistema de protección de respuesta rápida**. Las protecciones LCL comúnmente utilizadas en aplicaciones espaciales presentan tiempos de respuesta del orden de decenas de microsegundos, es por ello que en caso de fallo grave –siendo el peor caso, el cortocircuito franco– se pueden alcanzar en este tiempo corrientes de centenares de amperios. Esto puede llegar a producir inestabilidades en los sistemas de alimentación, además de otros problemas derivados del exceso de corriente; deterioro de los sistemas de aislamiento, deterioro de los transistores por sobrecalentamiento, EMI que interfiera en cargas sensibles, etc. Para evitarlo, es común la utilización de grandes filtros LC que minimizan la di/dt . Estos filtros tienen la contrapartida de ser grandes y voluminosos, siendo estas dos características a evitar en los sistemas espaciales.

Por esta razón, los autores presentan una protección de respuesta rápida, con tiempos de respuesta inferiores al μs que minimiza los picos de corriente y los problemas descritos. Las características principales se describen en la [tabla 1](#).

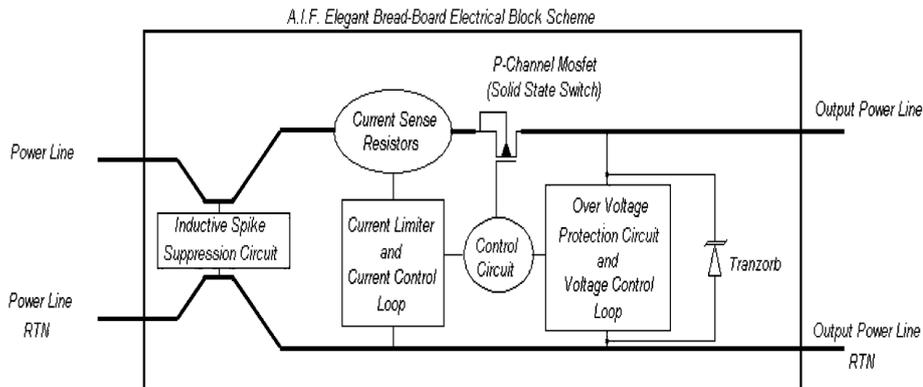


Figura 34. Diagrama de bloques de: *An innovative, Flexible, Hybrid active input filter for the International Space Station* [83].

En el trabajo se presentan diferentes resultados de funcionamiento, se realiza un sencillo estudio de eficiencia estático donde se muestra que la eficiencia del conjunto supera el 97% de forma general. En cuanto al funcionamiento, se muestran diversas pruebas: limitación de corriente de arranque, protección frente a sobrecorriente y funcionamiento en condiciones de cargas fuertemente inductivas, entre otros. La [figura 35](#) muestra los resultados del funcionamiento del sistema ante una limitación de corriente de arranque producida por la conexión “en caliente” de una carga capacitiva.

En comparación, la principal ventaja de los sistemas de protección desarrollados en esta tesis que serán presentados en los siguientes capítulos, reside en la posibilidad de ser implementados en sistemas de tensión superior. En concreto, se presentan sistemas de protección capaces de funcionar en el rango de 380V y 1000V, lo que supone un incremento del 301% y 796% respectivamente. En el reciente escenario en el que con objetivo de incrementar el suministro energético se requieren nuevas y superiores tensiones de alimentación, este tipo de sistemas de protección son necesarios.

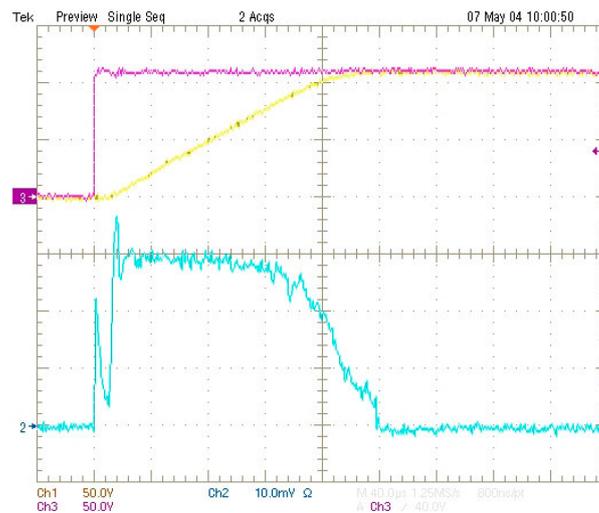


Figura 35. Funcionamiento de [83] en modo limitación de corriente de arranque. Ch1: Tensión de salida (50V/div). Ch2: Tensión de entrada (50V/div). Ch3: Corriente por el sistema (1A/div).

En segundo lugar, los sistemas que se presentan en esta tesis, gracias al uso de dispositivos SiC, son capaces de funcionar en limitación de corriente durante más tiempo, gracias a las mejores características del SOA de los mismos.

Caso de estudio 2: *A power distribution hybrid for space applications*

El trabajo presentado por C. Carriero y G.F. Volpi en el *European Power Conference* (EPE) de 2003 [85], presenta un sistema de protección denominado híbrido para aplicaciones espaciales. En concreto, se trata de un sistema denominado híbrido por el tipo de implementación hardware, que dispone de once LCLs desarrollados para alimentar sistemas de baja tensión en misiones científicas.

El motivo de su selección como caso de estudio radica en la utilización de dispositivos *High-Tech*, que no presentan calificación *High-Rel*, es decir, de elevada fiabilidad y especialmente diseñados para aplicaciones espaciales.

La electrónica utilizada en las misiones espaciales debe tener cierta inmunidad a los fenómenos de radiación que suceden en el espacio. Por ello, es preferible el uso de dispositivos directamente denominados *High-Rel* que garantizan la inmunidad en entornos normativamente definidos. El denominado “nuevo espacio”, con el objetivo de abaratar los costes de acceso al espacio, requiere del uso de dispositivos más económicos. Por ello, que,

en ciertas misiones, se utilizan dispositivos que presentan un buen comportamiento en entornos espaciales.

El sistema implementa un total de once LCLs integrados en una estructura híbrida que combina dispositivos de montaje superficial (SMD) y dispositivos sin encapsular, que requieren de un proceso de montaje basado en el uso de *bonding* hasta la propia tarjeta base. Todo el conjunto se encapsula en un *package* especial para aplicaciones espaciales de dimensiones reducidas ($53.3 \times 47.5 \times 5 \text{mm}^3$). La utilización de este tipo de tecnología permite optimizar considerablemente las dimensiones del conjunto. Se estima que utilizando este tipo de tecnología se tiene una optimización del 360% en área. La [figura 36](#) muestra el concepto de la tecnología híbrida utilizada mientras que en la [figura 37](#) se muestra una imagen del sistema con el encapsulado abierto

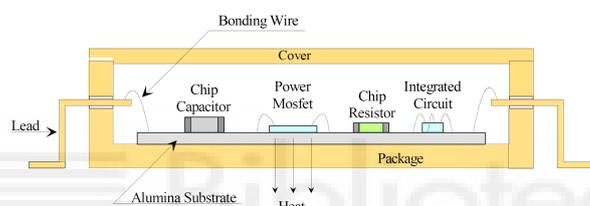


Figura 36. Diagrama del concepto de ensamblaje híbrido para aplicaciones espaciales presentado en [85].

Las principales características del sistema, concretamente de cada uno de los LCL que implementa se resumen en la [tabla 2](#). El sistema implementa diversas funciones, a destacar: capacidad de telecontrol (*ON/OFF*), tiempo de limitación de 1ms, función *retry* que trata de reconectar la carga automáticamente tras una fase de protección, salida de tensión para monitorización y salida de conformidad del conjunto.

Tabla 2: Especificaciones de un módulo LCL del caso de estudio 2

Parámetro	Dato
Tipo de protección	LCL – Hybrid x11
Rango de tensión	Nominal 3.3V
Rango de corriente	Nominal hasta 250mA
Tipo de semiconductor utilizado	p-MOSFET (interno)
Tecnología de semiconductor utilizado	Si
Tiempo de reacción	1 μ s
Eficiencia	ND

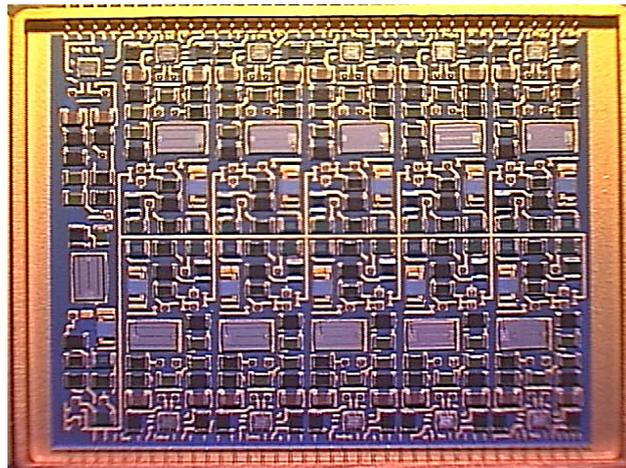


Figura 37. Imagen del ensamblaje híbrido implementado sin la parte superior de la envolvente [85].

La arquitectura de cada uno de los once LCLs que conforma el sistema es idéntica y completamente analógica, implementada por un número muy reducido de componentes. El esquemático de la arquitectura se muestra en la [figura 38](#). Para cada LCL se dispone de dos entradas de control: COLEN y RETRY. La primera permite realizar el control *ON/OFF* del LCL mientras que la segunda permite realizar rearme tras una fase de protección. Se dispone también de dos señales de salida: TRANS_OEN Y LUMON. La primera proporciona un estado de confirmación de buen funcionamiento, mientras que la segunda proporciona el estado de la habilitación de la alimentación a la salida. El resto de interfaces del LCL no son detalladas en el trabajo.

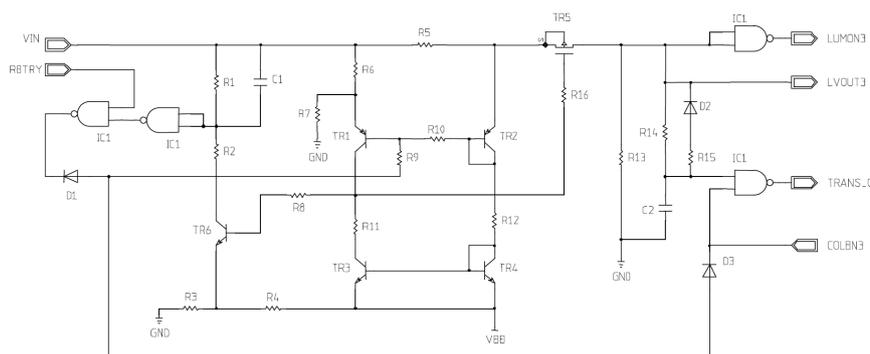


Figura 38. Esquemático de cada uno de los LCL que conforman el sistema de distribución y protección [85].

El funcionamiento del sistema se valida mediante diferentes pruebas: limitación de corriente de arranque, limitación de corriente ante falla y enclavamiento, comportamiento frente a cortocircuito y respuestas de las interfaces de comunicación. La [figura 39](#) muestra el

comportamiento frente a una sobrecarga que permanece en el tiempo dando lugar a una inhabilitación de la alimentación hacia la carga.

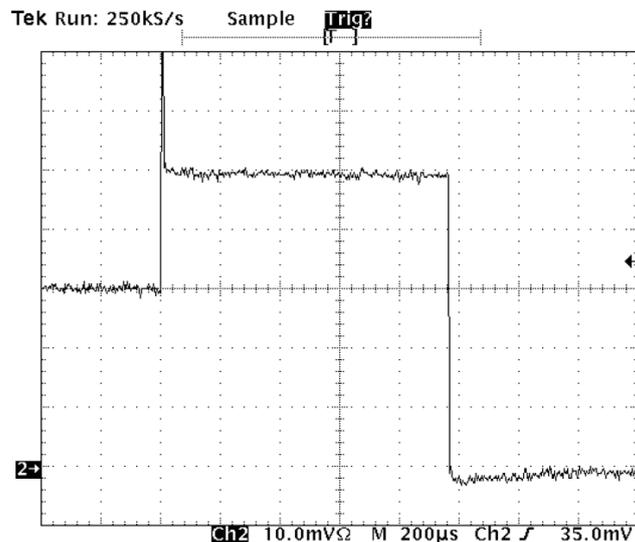


Figura 39. Funcionamiento de [85] frente a una sobrecarga constante en el tiempo.
Ch2: Corriente suministrada a la carga (50mA/div).

Sin llegar a ser en la práctica comparables, puesto que las aplicaciones a las que están dirigidas son completamente diferentes, los sistemas de protección desarrollados en la tesis presentan la ventaja de ser sistemas más versátiles. El uso de transistores n-MOSFET posibilita incrementar el rango de tensión de funcionamiento. Además, a través de sencillas modificaciones de dispositivos pasivos –resistencias y condensadores– permiten el ajuste de su dinámica de funcionamiento.

Sin embargo, las protecciones desarrolladas no presentan un tipo de encapsulamiento *Hi-Tech*, por ello, la densidad de componentes no es comparable. Asimismo, no se ha trabajado con componentes *Hi-Rel* ni con encapsulados de aplicación espacial.

Caso de estudio 3: *Integrated Current Limiter*

El trabajo presentado en [86] por Salvo Pappalardo, Manuel Martin Alfonso e Ignacio Mirabella en el *European Space Power Conference* (ESPC) de 2011, se introduce un limitador de corriente integrado. El sistema denominado *Integrated Current Limiter*, surgió como una idea de la Agencia Espacial Europea con el objetivo de generar una solución integrada que permita implementar la mayoría de las funciones que en general disponen los LCLs de espacio.

Cabe destacar que el trabajo presentado –desde nuestro conocimiento– por primera vez en [86], ha evolucionando a lo largo de los años gracias a las colaboraciones entre la Agencia Espacial Europea y STMicroelectronics dando lugar a diferentes publicaciones [46], [87] y finalmente la comercialización del RHRPMICL1A que implementa la tecnología desarrollada en los trabajos iniciales [88]. La información mostrada en el presente análisis comprende aspectos de todos los artículos citados en este párrafo.

La característica principal del dispositivo para su consideración como caso de estudio ha sido la implementación de la tecnología en un único circuito integrado –el transistor principal y algunos elementos de ajuste son externos– con el objetivo de disponer de un dispositivo muy versátil capaz de funcionar bajo diferentes configuraciones y para gran variedad de aplicaciones. La segunda característica es su capacidad de ser reajustado con el objetivo de proporcionar diferentes modos de funcionamiento y configuraciones.

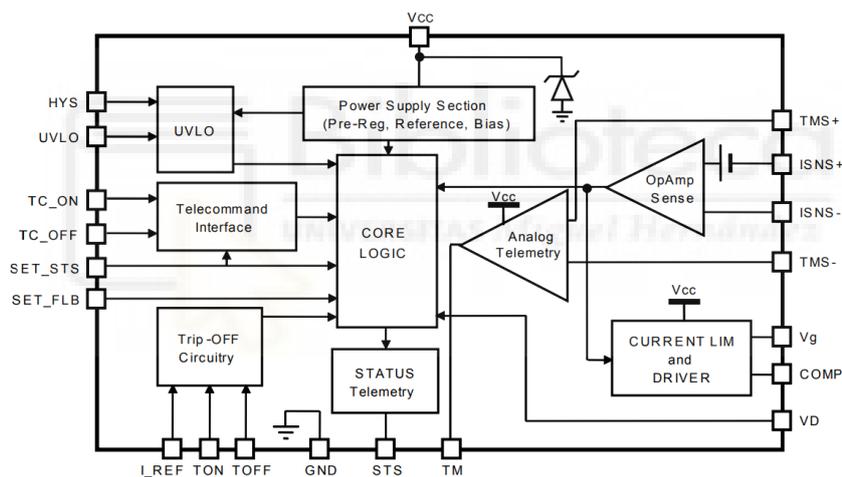


Figura 40. Diagrama de bloques del *Integrated Current Limiter* (RHRPMICL1A) [88].

Con el RHRPMICL1A se pretende reducir los costes de validación e implementación de los sistemas de distribución de plataformas espaciales gracias a la reutilización de un dispositivo validado, probado y conocido, estableciéndose como un “estándar”. Ello minimiza los riesgos y maximiza las probabilidades de éxito de las misiones.

Se trata de un dispositivo que permite su funcionamiento en tres modos de operación diferentes: *Re-Triggerable*, *Latched* y *Foldback* (refiérase el lector a la [sección 2.2.4.4](#) para más información). De sus características, destacar que es autoalimentado desde la propia red que protege, que dispone de capacidad de ajuste de los tiempos de funcionamiento, valores de limitación, funciones de telecontrol, protecciones frente bajo voltaje y sobretensiones. La

figura 40 representa el diagrama de bloques del circuito integrado, mientras que sus características principales se detallan en la tabla 3.

Tabla 3: Especificaciones del *Integrated Current Limiter* (RHRPMICL1A)

Parámetro	Dato
Tipo de protección	Current Limiter (<i>Re-Triggerable, Latched y Foldback</i>)
Rango de tensión	8.5 – 52V
Rango de corriente	Establecida por el p-MOSFET externo
Tipo de semiconductor utilizado	p-MOSFET (externo)
Tecnología de semiconductor utilizado	Si (no hay p-MOSFET WBG)
Tiempo de reacción	Ajustable (resistencia externa)
Eficiencia	ND

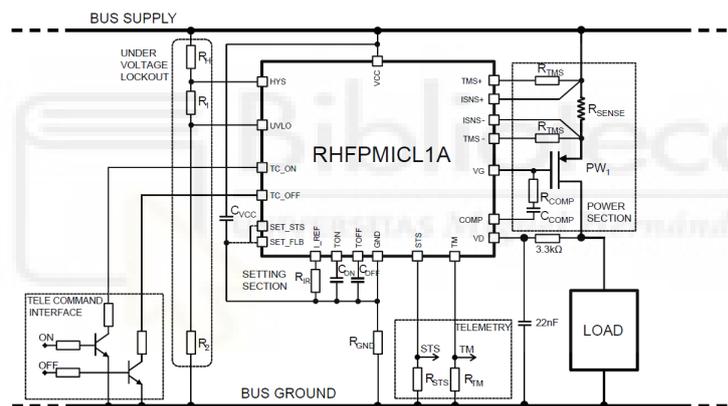


Figura 41. Esquema de instalación típico del RHRPMICL1A [88].

El trabajo [46] presenta diferentes resultados de funcionamiento con diferentes configuraciones y ante fallas de diferentes naturalezas. El modo de implementación típico se muestra en la figura 41. La figura 42 muestra el comportamiento del RHRPMICL1A en configuración *Latched Mode*. El sistema protege frente a una sobrecarga (5A) y vuelve a funcionar en una fase de rearme con falla. En ambas ocasiones el RHRPMICL1A realiza una limitación de la corriente durante el tiempo preestablecido y pasado el tiempo produce un enclavamiento. Para salir de la fase de enclavamiento es necesario realizar de forma voluntaria una señal de telecomando *ON*.

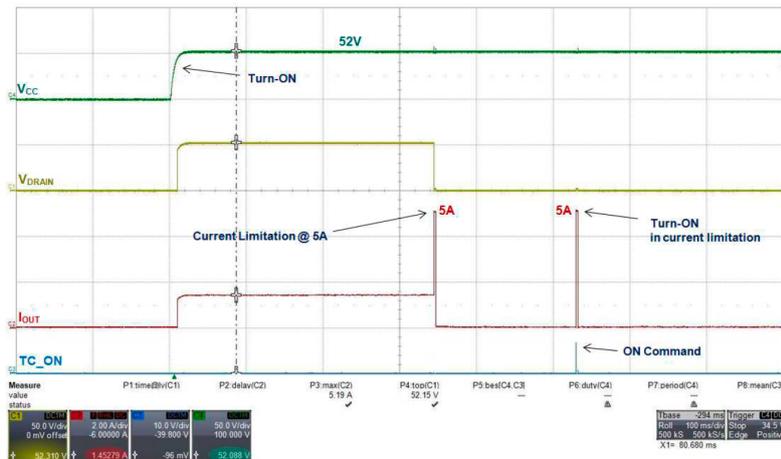


Figura 42. Funcionamiento de RHRPMICL1A en *Latched Mode* [46].

La figura 43 representa el funcionamiento del RHRPMICL1A en modo *Re-Triggerable*. Para la configuración del test se ha implementado un tiempo de *Re-Trigger* de 810ms, por lo que, dado que el test presenta una carga que excede la configuración establecida como “sobrecarga”, cada 810ms trata de reconectar la carga. Este comportamiento, en el caso de ser implementado con tiempos de *Re-Trigger* proporcionalmente pequeños con respecto al tiempo de limitación máximo, podría comprometer la integridad del dispositivo semiconductor principal – PW_1 de figura 41–. Es por ello, que es necesario establecer un ratio entre el tiempo de limitación y el tiempo de *Re-Trigger* de características tales que permitan que el semiconductor no sufra un proceso incremental de temperatura pudiendo deteriorarse (véase sección 3.1.1).

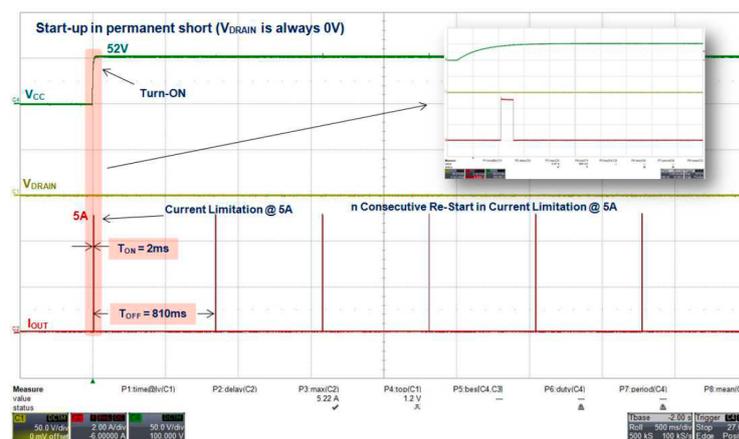


Figura 43. Funcionamiento del RHRPMICL1A en modo *Re-Triggerable* [46] bajo condición de sobrecarga constante.

Un aspecto importante, relacionado con la presente tesis, consiste en el intento de extender el uso del RHRPMICL1A en sistemas de mayor tensión. Concretamente en [87], se presenta una sección completa a ello. En teoría, en base al esquema de aplicación convencional (véase [figura 41](#)) la configuración del RHRPMICL1A, dada su autoalimentación desde el bus y el uso de transistores MOSFET tipo P, sugiere que podría ser utilizado en un rango de tensión limitado casi en exclusiva por la capacidad de bloquear tensión del transistor principal (PW_1 de [figura 41](#)) y las resistencias utilizadas para las funciones de telemetría (R_{STS} , $R_{TM}\dots$). Sin embargo, la tecnología de fabricación utilizada por STMicroelectronics, denominada BCD6s-SOI no garantiza la fiabilidad del dispositivo a largo plazo [87]. Además, debería considerarse la resistencia R_{GND} , que permite la polarización interna del circuito y dado su consumo de 1.5mA, implicaría una disipación proporcional al cuadrado de la tensión del bus.

Por ello, en comparación, las ventajas de los circuitos de protección presentados en esta tesis residen en la posibilidad de ser usados en aplicaciones de mayor rango de tensión, resultando especialmente atractivo el uso por encima de 190V donde el RHRPMICL1A no ha sido evaluado.

Es importante considerar que dada la configuración del RHRPMICL1A, únicamente pueden ser utilizados dispositivos MOSFET-p y esto también determina el límite superior de tensión. Hasta la fecha, el límite de los MOSFET-p es próximo a los 500V mientras que los dispositivos MOSFET-n pueden ser utilizados hasta 1700V –en el caso de los SiC–, suponiendo un factor de 3,4. Por otro lado, la aplicación de límites máximos de operación adicionales (*deratings*) en tensión, corriente y potencia que deben considerarse según *European Cooperation for Space Standardization* [89] para aplicaciones espaciales, aplicándose reducciones del 20% en tensión máxima de bloqueo, 25% en la corriente máxima por el dispositivo y 35% en la potencia máxima disipada. Por ello, disponer de dispositivos SiC que, en general, poseen valores considerablemente superiores en los tres factores, parece una solución plausible para el desarrollo de sistemas de protección en aplicaciones espaciales en rango de tensión por encima de 100V.

3.1.2 Protección de limitación de corriente en el S3R.

Caso de estudio 4: *Current limitation techniques in a S3R power cell*

En [90] se presentan tres sistemas de limitación de corriente aplicados a una celda del *Sequential Switching Shunt Regulator* (S3R) [31] que es uno de los sistemas de regulación de paneles solares utilizados en el sector espacial.

Con motivo del incremento de la capacidad parásita de los paneles solares, se comenzó a tener en cuenta sus efectos dentro del sistema de regulación, siendo [90] una de las primeras propuestas para la implementación de los sistemas de limitación aplicados al S3R y un trabajo fundamental considerado para la presente tesis, concretamente en la aplicación de transistores SiC para tal efecto.

La [figura 44](#) representa una celda del S3R incorporando la capacidad parásita de los paneles solares (C_{SA}), la inductancia del cableado entre los paneles y el propio sistema de regulación (L_H) así como los comparadores, *drivers* y demás elementos analógicos propios del S3R [31].

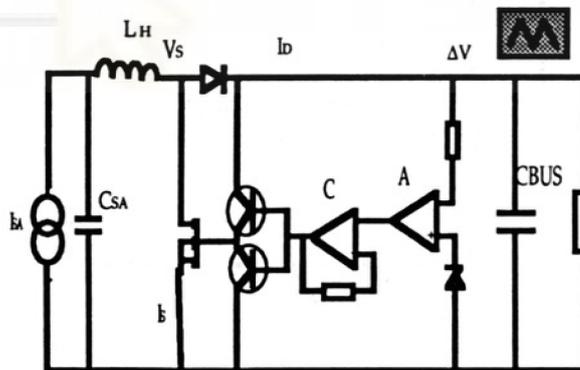


Figura 44. Celda ejemplo del S3R incluyendo la capacidad parásita del panel solar e inductancia del cableado [90].

La [figura 45](#) representa las formas de onda de corriente y tensión principales de una celda S3R teniendo en cuenta los efectos parásitos, cuyos efectos se pueden resumir en cuatro puntos:

1. La descarga súbita de C_{SA} a través del transistor que permite cortocircuitar la sección produce sobrecorrientes que pueden comprometer la integridad de las diferentes partes, además de ser una fuente potencial de ruido.
2. La mera existencia de la capacidad C_{SA} provoca un retardo en la fase de inyección de energía desde la sección hacia el bus, debido a que en la fase previa – cortocircuito de la sección–, el condensador estaba completamente descargado y debe cargarse.
3. La presencia de la inductancia del cableado, L_H , entre la sección de panel solar y la celda S3R, produce una resonancia junto a C_{SA} durante la fase de cortocircuito.
4. Por último, el efecto de L_H durante la fase de apagado del transistor principal de la celda S3R produce que la energía almacenada en L_H sea descargada súbitamente produciendo un pico de tensión limitado al valor de la tensión del bus.

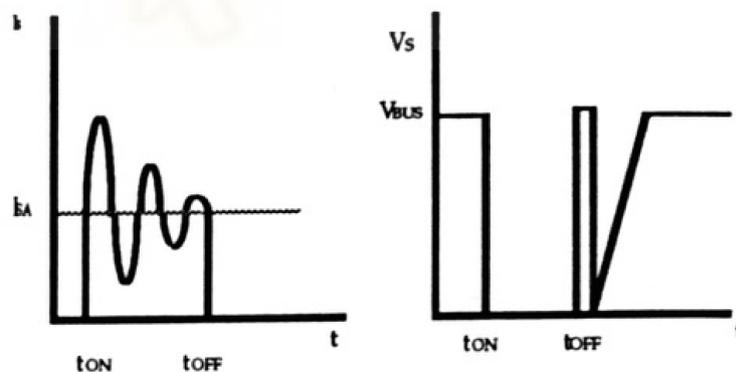


Figura 45. Formas de onda de las conmutaciones a *OFF* y *ON* en una celda del S3R considerando los elementos parásitos más relevantes [90]. Izquierda corriente por el transistor principal. Derecha tensión drenador-surtidor del transistor principal.

Como se ha mencionado, para minimizar los efectos de los elementos parásitos del S3R, se pueden considerar diversas técnicas, siendo las más importantes las siguientes:

- **Inductor en serie.** Mediante la inclusión de una inductancia en serie se consigue controlar la oscilación y la resonancia de los elementos parásitos del S3R. Es relativamente sencillo ajustar esta resonancia para que el valor de pico de corriente se mantenga dentro de unos límites aceptables. Sin embargo, el aumento de masa que supone –en el caso analizado en [90], próximo a 80g–supone un impedimento importante especialmente teniendo en cuenta que debe incluirse un inductor para cada sección.
- **Condensador de Miller.** Esta técnica consiste en el incremento voluntario de la capacidad de Miller del transistor principal del S3R. El efecto se traduce en una menor velocidad de conmutación, por lo tanto, si durante la fase de encendido, la transición es lo suficientemente suave, permitirá de forma “natural” limitar la corriente minimizando la sobrecorriente mencionada. Esto se realiza añadiendo directamente capacidad en paralelo entre drenador y puerta del MOSFET. El principal inconveniente que presenta esta técnica es la elevada dependencia de la característica de conmutación de las capacidades parásitas de los paneles y el condensador externo.
- **Limitador activo de corriente.** Esta última técnica consiste en el uso de un limitador activo de corriente implementado por el transistor MOSFET principal del S3R. El esquema simplificado de funcionamiento se representa en la [figura 46](#). El funcionamiento se basa en la medida de corriente mediante una resistencia de sensado, R_s , en cuyos bornes se mide una tensión que se compara y que hace funcionar en zona lineal al MOSFET hasta que la energía almacenada en los elementos parásitos se disipa en forma de calor.

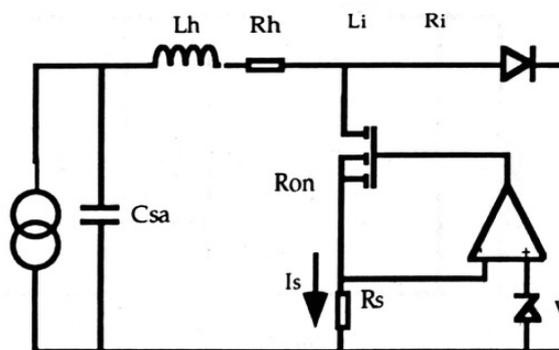


Figura 46. Esquema simplificado del limitador activo de corriente [90].

El uso de limitadores activos de corriente, presenta como ventaja no depender de las características de los elementos parásitos. Esto supone una gran ventaja, especialmente en el ámbito espacial, donde los procesos de validación son especialmente costosos. Debe considerarse que la [figura 46](#) presenta un esquema simplificado, las implementaciones reales contemplan medidas y técnicas adicionales, en [90] por ejemplo, se implementa un circuito *snubber* con el objetivo de minimizar los efectos de la conexión de la bobina L_H cargada al bus cuando el MOSFET pasa a estado abierto.

Esta técnica presenta el inconveniente de la generación de puntos calientes en el circuito, la disipación de la energía almacenada en los parásitos se disipa en forma de calor en el MOSFET, si bien es cierto que es posible paralelizar varios transistores para reducir la potencia disipada individualmente y por lo tanto la temperatura. El uso de otros tipos de dispositivos, concretamente transistores SiC permitirían trabajar en rangos de temperatura superiores, pudiendo simplificar los circuitos.

La falta de dispositivos SiC con cualificación espacial es un factor determinante a la hora de plantear su utilización, sin embargo, la ESA ha mostrado el interés del uso de esta tecnología especialmente en aquellas aplicaciones que requieran el control y la gestión de potencia [91].

3.2 Protecciones de ámbito terrestre

Caso de estudio 5: A self-powered ultra-fast DC solid state circuit breaker using a normally-on SiC JFET

En [57] se presenta un sistema de protección basado en el uso de JFETs SiC, encuadrado dentro del grupo *Solid State Circuit Breakers* (véase [sección 2.2.4.2](#)). Los autores han presentado diversas variaciones y trabajos relacionados [92]–[94]. A continuación se mencionarán los aspectos más importantes de los mismos.

El trabajo se presenta como un sistema de protección genérico no diseñado para un propósito específico. El objetivo del trabajo es validar y analizar una nueva modalidad de *Circuit Breaker*. Las razones por las cuales se ha considerado como caso de estudio son las siguientes. En primer lugar se trata de un sistema de protección completamente analógico.

En segundo lugar es un sistema de protección autónomo, tanto energética como operativamente. La energía necesaria para su funcionamiento la obtiene del propio bus de alimentación que protege y además, determina automáticamente cuándo debe funcionar. En tercer y último lugar, el uso de dispositivos JFET SiC puede suponer una ventaja frente al uso de otro tipo de dispositivos (como MOSFET) desde el punto de vista de la fiabilidad ([sección 2.3.2](#)).

La protección implementa un sencillo esquema electrónico que genera una tensión de control para el apagado del JFET en función de la tensión que se genere entre los terminales de drenador y surtidor del mismo ante una sobrecorriente. Un oscilador –implementado con un TL494– genera la señal de disparo para un pequeño convertidor *forward-flyback* que se encarga del apagado. La [figura 47](#) muestra el esquema de implementación.

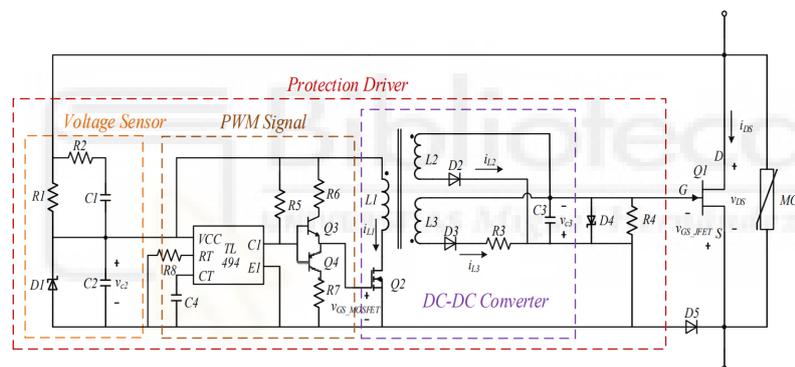


Figura 47. Esquema de la implementación del *Circuit Breaker* en [57].

A continuación se detallan algunas de las pruebas que se realizaron para la validación del sistema. Las principales características de la protección se resumen en la [tabla 4](#).

Es importante destacar que, a diferencia de otras protecciones, en la presente arquitectura, por su construcción, únicamente funcionará cuando la magnitud de la falla sea considerablemente grande. El objetivo es que la tensión generada en terminales del JFET (Q1, [figura 47](#)) polarice el zener (D1, [figura 47](#)) y con ello haga funcionar el convertidor DC-DC y apague Q1. La dinámica de funcionamiento se puede ajustar levemente por medio de la modificación de la frecuencia de conmutación y ciclo de trabajo del oscilador (TL494, [figura 47](#)).

Tabla 4: Especificaciones del *Circuit Breaker* implementado en [57].

Parámetro	Dato
Tipo de protección	<i>Circuit Breaker</i>
Rango de tensión	Hasta 400V
Rango de corriente	Establecida por el JFET
Tipo de semiconductor utilizado	JFET (externo)
Tecnología de semiconductor utilizado	SiC
Tiempo de reacción	En función de la magnitud del cortocircuito. 1 μ s es el mejor tiempo observado.
Eficiencia	ND

La [figura 48](#) representa la forma de onda del funcionamiento de [57] ante una falla de cortocircuito con una resistencia equivalente de 1 Ω . Se puede observar cómo el tiempo de respuesta es aproximadamente 3 μ s y durante este tiempo la tensión drenador-surtidor del JFET crece hasta 180V. Esta tensión hace que se polarice un zener que enciende el convertidor DC-DC y fuerza el apagado del JFET, pasando éste a bloquear los casi 400V de entrada.



Figura 48. Comportamiento del *Circuit Breaker* presentado en [57] ante una falla de cortocircuito con resistencia equivalente de 1 Ω . Azul: Corriente por el JFET (100A/div). Amarillo: Tensión en bornes del JFET (200V/div). Rojo: Tensión de puerta del JFET (10V/div).

Este circuito presenta un menor tiempo de respuesta con el incremento de la magnitud de la falla.

En comparación a otras propuestas, este circuito presenta las siguientes peculiaridades. La característica de “normalmente encendido” puede comprometer la seguridad de los sistemas que alimenta, por ejemplo, debido a reinicios de la fuente o bus de alimentación. Por otro lado, la ausencia de parámetros de ajuste y su elevada dependencia con la temperatura de operación del JFET, limita la capacidad de poder utilizar la protección en diferentes escenarios. Por último, hay que destacar que el circuito no tiene capacidad de limitación de corriente, lo que puede suponer un problema con cargas de naturaleza capacitiva.

Caso de estudio 6: Solid state power controller (SSPC) for protection of continuous embedded network

En el trabajo [95], presentado por N.Boukari, P.Decroux, J.Renaudin, en el *More Electrical Conference* del 2012 se presenta un sistema de protección y control SSPC comercial de la empresa *NEXTER ELECTRONICS*. Se trata de un sistema de gestión de potencia enfocado a aeronaves –en base a la historia de la empresa, suponemos militares– desarrollados en base al estándar MIL-STD-704 rev.F.

La tecnología desarrollada basa su funcionamiento en el uso de dispositivos de control digital –no especificados en el documento– e implementa diversas funciones que le dotan de gran versatilidad. Juntamente con la utilización de semiconductores SiC para su aplicación en aeronaves, son las características que le hacen caso de estudio.

El trabajo presenta la implementación de dos SSPC enfocados a diferentes rangos de tensión, 135V y 270V. Para el primer rango de tensión se han considerado dos semiconductores Si, en concreto, la referencia IPW60R041C6 frente a STY112N65M5. Para el segundo caso, se ha seleccionado el MOSFET SiC CMF20120D frente al JFET SJEP120R063 debido a la menor corriente de control necesaria. Los autores remarcan que la selección de los dispositivos SiC está ligada a las características de funcionamiento que presenta este tipo de semiconductor en altas temperaturas más que al resto de características del semiconductor. Destacar que la protección es bidireccional y tiene dispuesto

interruptores de protección tanto en el conductor positivo como en el de retorno. Además, presenta un interfaz de comunicación hacia un entorno del fabricante –no especificado– para su configuración. Un diagrama de bloques simplificados se muestra en la [figura 49](#) y las características principales de ambos SSPC se muestran en la [tabla 5](#).

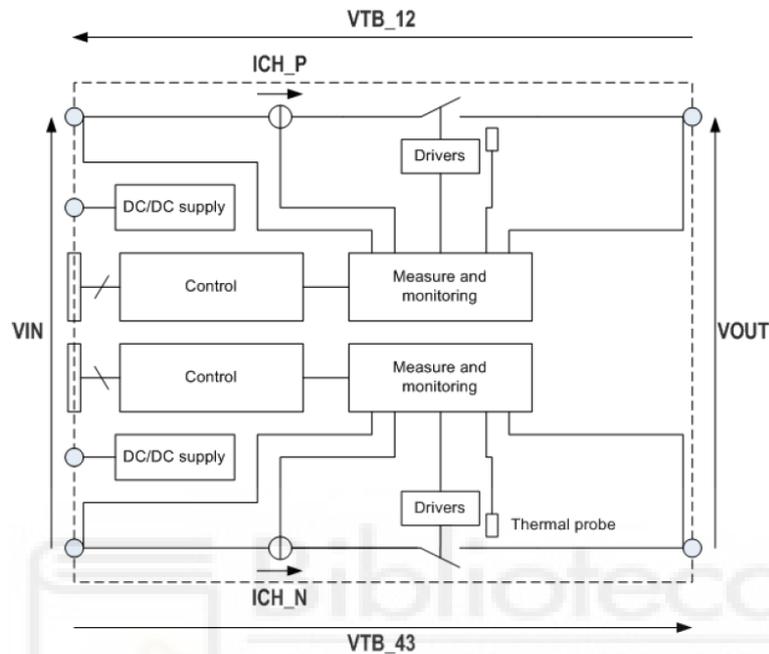


Figura 49. Diagrama de bloques simplificado del SSPC [95].

Tabla 5: Especificaciones de los SSPCs implementado en [95].

Parámetro	Dato
Tipo de protección	SSPC
Rango de tensión	135V y 270V
Rango de corriente	Establecida por el transistor externo,
Tipo de semiconductor utilizado	MOSFET (externo)
Tecnología de semiconductor utilizado	Si (135V) y SiC (270V)
Tiempo de reacción	ND
Eficiencia	ND

Ambos SSPC implementan la función de arranque suave para cargas capacitivas configurable en modo corriente y tensión. Esto resulta especialmente interesante cuando los requisitos EMI son restrictivos y no pueden aparecer variaciones de corriente abruptas. La [figura 50](#) representa un arranque suave de una carga RLC (270Ω , $50\mu\text{H}$ y $50\mu\text{F}$) controlado

por tensión donde se aprecia un proceso de encendido muy suave que traza una curva exponencial manteniendo controlada la pendiente de V_{DS} en el MOSFET. Las condiciones del test son iguales en ambos SSPC.

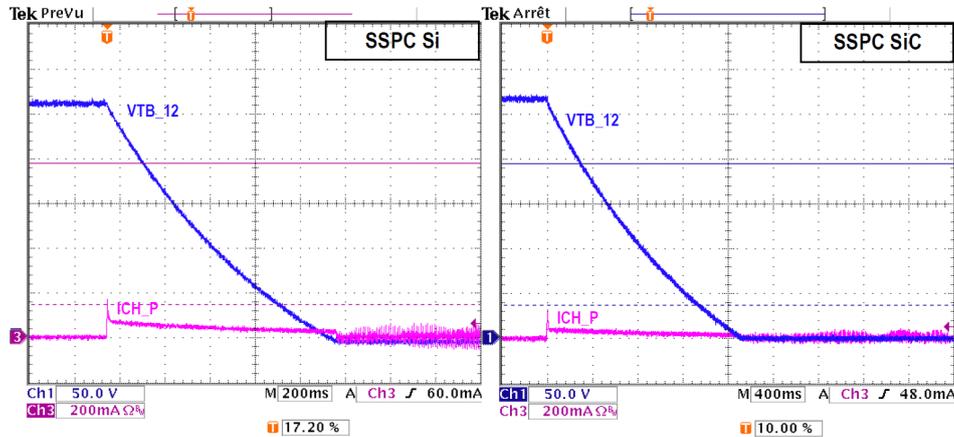


Figura 50. Ejemplo de arranque suave de [95] en modo tensión. Izquierda: SSPC implementado en Si, Derecha: SSPC implementado en SiC. Azul: V_{DS} del MOSFET. Morado: I_S del MOSFET.

Del estudio [95] es importante destacar el análisis de pérdidas realizado, donde se pone de manifiesto las ventajas del uso de los dispositivos semiconductores SiC en condiciones de funcionamiento de alta temperatura. La [figura 51](#) representa el ratio de pérdidas en función de la temperatura media con respecto a las pérdidas a una temperatura ambiente de 25°C. Puede apreciarse como para el caso del dispositivo Si se produce un incremento de las pérdidas del 45% aproximadamente a una temperatura de 70°C mientras que para el caso del dispositivo SiC, el incremento supone únicamente un 10%.

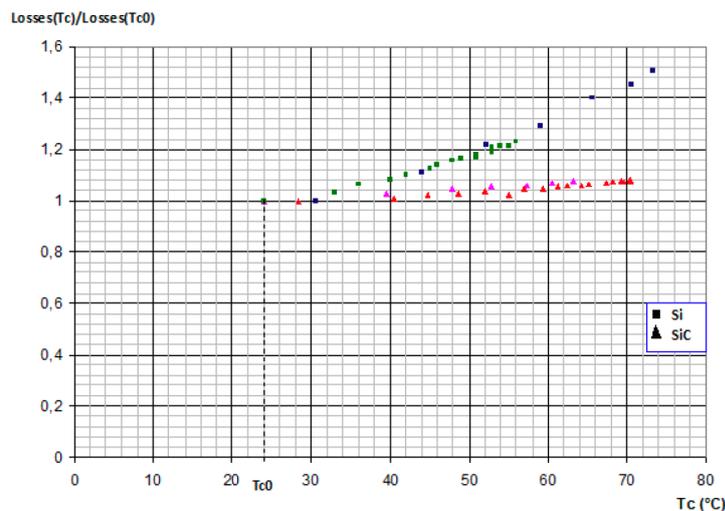


Figura 51. Evolución de las pérdidas en [95] en función de la temperatura del encapsulado de los dispositivos semiconductores en el SSPC. Comparativa Si vs SiC.

Con respecto a los SSPC presentados en [95], las ventajas de aportaciones de los sistemas de protección y control desarrollados en la presente tesis van especialmente ligadas a la simplicidad de la arquitectura. Los sistemas que se presentan en esta tesis son completamente analógicos e implementan la mayoría de las funciones de telemetría necesarias y ajustes de su dinámica de funcionamiento.

Caso de estudio 7: *Bidirectional Bipolar Electronic Overcurrent Safety Elements for Bipolar DC Grids*

En [96] se presentan dos sistemas de protección para redes de distribución DC bipolares. El primero de los trabajos utiliza JFETs SiC normalmente encendidos y emplea *drivers* fotovoltaicos como dispositivo de control de los transistores. El segundo propone el uso de dispositivos MOSFET SiC.

El primer sistema de protección presentado basa su funcionamiento en el mismo principio de funcionamiento que [57]. Se detecta el incremento de tensión que aparece en bornes del dispositivo semiconductor debido a la elevada corriente que lo atraviesa. A diferencia de [57], donde un pequeño convertidor DC-DC generaba la tensión, en este caso, se emplea un *driver* fotovoltaico. Adicionalmente al controlador, se implementa un rectificador de onda completa para la operación del conjunto de forma bidireccional – mediante una disposición *back to back* de los JFETs–. En serie con el controlador, se implementa una fuente de corriente para evitar el exceso de corriente a través del mismo. Dado que la respuesta dinámica de este tipo de *driver* es especialmente lenta durante el encendido, los autores proponen el uso de varios *drivers* conectados en serie en primario y las salidas conectadas en serie/paralelo para la adecuación de tensión de control de los JFETs. Un segundo lazo de control, más rápido, se implementa por medio de una etapa rectificadora de onda completa que fija la tensión de apagado de los JFETs con el objetivo de poder reaccionar ante di/dt mayores. La [figura 52](#) representa el esquema electrónico de la protección implementada.

En este caso, la razón de considerar [96] caso de estudio interesante es por la utilización de *drivers* fotovoltaicos junto con dispositivos JFET en aplicaciones de control y protección de potencia.

La aplicación, por contrapartida, tal como ha sido desarrollada presenta un gran inconveniente: la baja corriente de salida de los *drivers* fotovoltaicos –FDA217– proporciona dinámicas de apagado de los JFETs lentas, lo que puede comprometer la integridad de los dispositivos semiconductores durante fallas o procesos de protección graves.

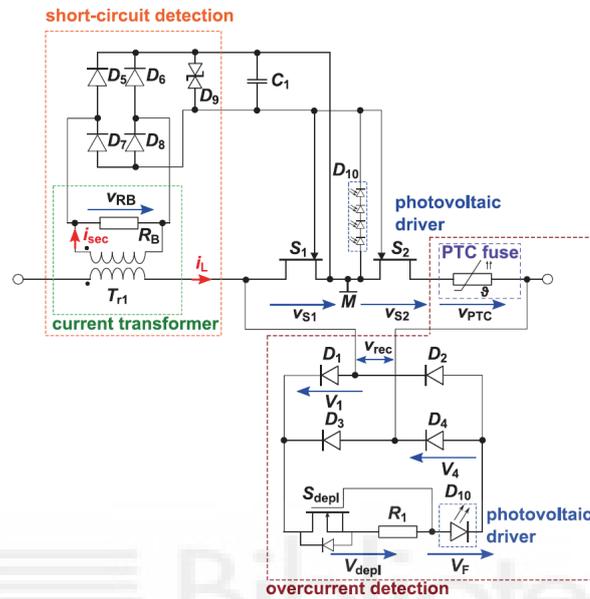


Figura 52. Esquemático de la protección basada en SiC JFETs [96].

En la [figura 53](#) se muestra la respuesta del circuito ante un cortocircuito (15Ω) a 150V con dos controladores en paralelo. El tiempo de respuesta hasta que la corriente se extingue es próximo a los 8ms con disipaciones de 800W de pico.

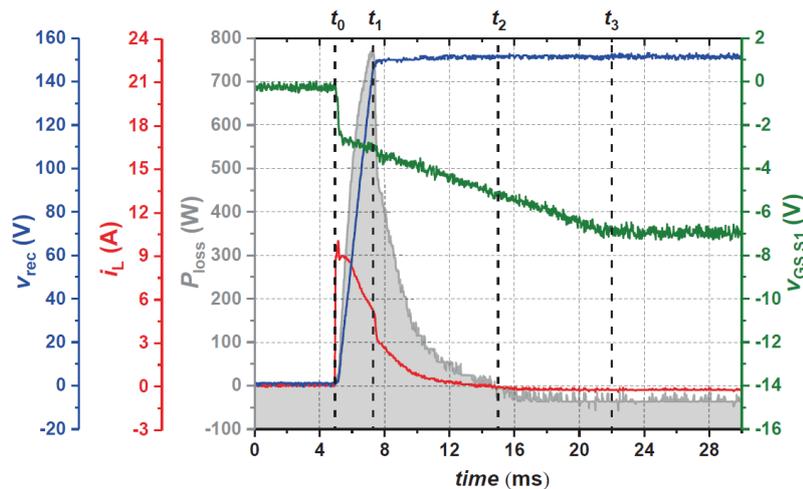


Figura 53. Respuesta de la protección [96] ante una falla de cortocircuito a 150V.

El segundo sistema de protección propuesto en el trabajo emplea dispositivos MOSFET SiC controlados a través de un microcontrolador. El sistema, mucho más sofisticado que el

anterior, basa su funcionamiento en el incremento de la tensión en bornes de los dispositivos semiconductores debido al incremento de la corriente que lo atraviesa. El esquema simplificado se muestra en la [figura 54](#). Este caso de estudio es menos interesante desde el punto de vista de la presente tesis, ya que el uso de microcontroladores incrementa considerablemente la sofisticación de los sistemas de protección, incrementando con ello la electrónica auxiliar necesaria como fuentes de alimentación auxiliares, etc. reduciendo con ello la fiabilidad de los mismos.

Los resultados obtenidos en este caso son mucho más eficaces en velocidad, lo que permite realizar incrementos de tensión del bus a proteger. La respuesta del sistema ante una falla a una tensión de unos 600V de bus se muestra en la [figura 55](#).

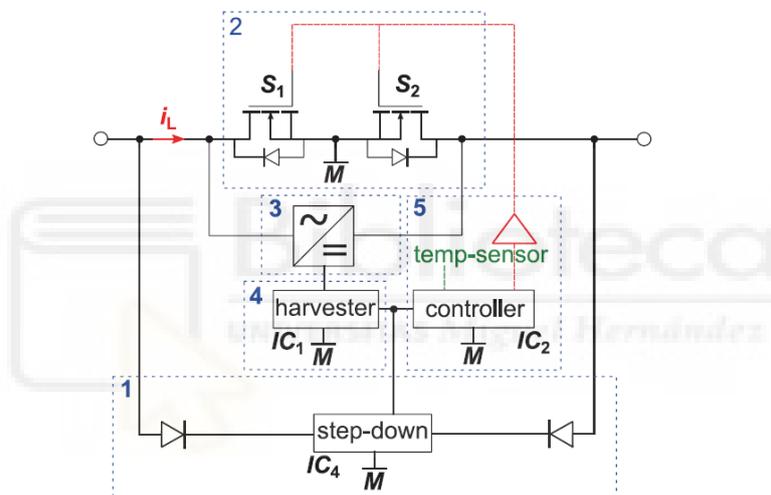


Figura 54. Esquema simplificado de la protección basada en MOSFET de [96].

En comparación con los trabajos de esta tesis que se presentan en los sucesivos capítulos, las principales debilidades de las protecciones presentadas en este caso de estudio son los siguientes. Para el caso de dispositivos JFETs, la implementación de dispositivos normalmente encendidos puede suponer un problema de seguridad en aplicaciones en las que las tensiones de los buses pueden sufrir procesos de apagado y encendido involuntario. En segundo lugar, los elevados tiempos de respuesta que proporcionan los controladores fotovoltaicos, especialmente durante la fase de encendido, hace necesario el uso de un segundo lazo de control basado en un transformador que incrementa la masa del conjunto y, sin embargo, no proporciona tiempos de respuesta aceptables para rango de tensiones mayores a 200V debido a la gran energía disipada en la fase de detección y protección.

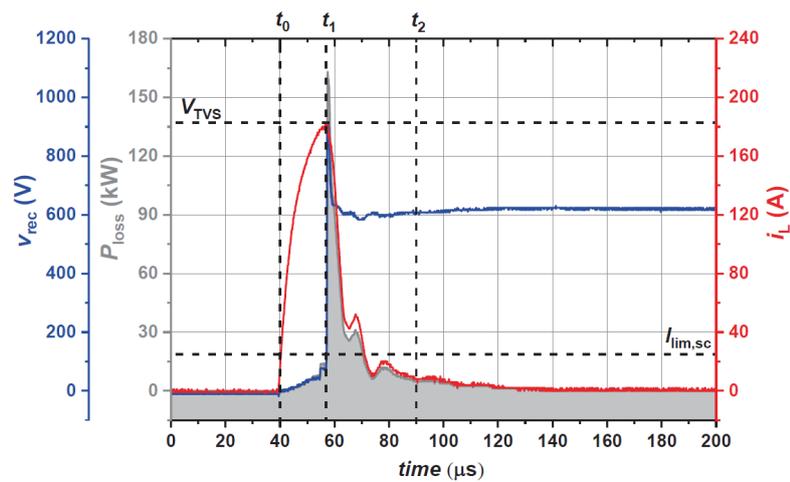


Figura 55. Respuesta de la protección basada en MOSFETs SiC y controlador de [96].

Por último, para el caso de la protección basada en MOSFET y controlador digital, la principal desventaja o inconveniente reside en el uso de microcontroladores, que si bien es cierto permiten la implementación de funciones avanzadas, pueden disminuir la fiabilidad del conjunto e incrementar el consumo energético, tamaño y coste. Por último, destacar que para ninguna de las protecciones presentadas se dispone de capacidad de limitación de corriente, por lo que se dificulta la conexión de cargas altamente capacitivas.

Capítulo 4

Artículo I: Aplicación de transistores SiC en el S3R

Este capítulo expone y amplía los resultados que componen el primer artículo de la presente tesis doctoral.

Artículo I - [32]: Comparative Study of SiC Transistors for Active Current Limitation in S3R. *Elektronika ir Elektrotechnika*, 23(5), 54-60 Marroqui, D., Borrell, J., Gutierrez, R., Blanes, J. M., Garrigos, A., & Maset, E.



4.1 Resumen

En el siguiente trabajo se presenta un estudio comparativo en el que se analiza el comportamiento de un MOSFET SiC y un cascode SiC funcionando como transistores de limitación activa de corriente en un *Sequential Switching Shunt Regulator* (S3R), regulador fotovoltaico empleado comúnmente en satélites. El comportamiento de estos dispositivos se compara con el de un MOSFET Si, utilizado convencionalmente para esta aplicación. Los objetivos fundamentales del estudio son comprobar la viabilidad del uso de dispositivos SiC en una celda del S3R, comprobar la fiabilidad y reproducción de resultados obtenidos de la simulación de los modelos de los fabricantes de distintos dispositivos SiC y analizar desde un punto de vista térmico si se observan diferencias entre dispositivos Si y SiC. El trabajo está fuertemente ligado al caso de estudio 4.

El artículo se compone de tres bloques, en el primer bloque se presenta el S3R como regulador de transferencia directa, *Direct Energy Transfer* (DET). Las características de las actuales células solares multicapa junto al incremento de potencia fotovoltaica instalada en los satélites han provocado un aumento sustancial de la capacidad parásita asociada. Ello produce serios inconvenientes durante el *shunting* de la sección solar. La descarga súbita de la energía almacenada en dicha capacidad parásita tiene efectos negativos en el sistema eléctrico y por ello, las técnicas de limitación activa de corriente son comúnmente empleadas. El uso de transistores MOSFET Si está muy extendido a la hora de implementar dicho regulador, sin embargo, su capacidad de operación está limitada en gran medida por su tensión máxima de operación y su temperatura máxima de funcionamiento (125°C es un valor típico para dispositivos Si, en ámbito terrestre). En este aspecto, los dispositivos SiC, capaces de funcionar a mayor tensión y temperatura ofrecen claras ventajas potenciales: incremento de la tensión del generador fotovoltaico, gestión de mayores capacidades parásitas desde el punto de vista térmico, disminución de dispositivos de limitación de corriente MOSFET configurados en paralelo por falta de capacidad de disipación y optimización del sistema de disipación térmica entre otras. Se presenta, además, un modelado matemático del circuito (celda del S3R) con el objetivo de estimar la potencia disipada en función de los parámetros del sistema.

En el segundo bloque se presentan los diferentes dispositivos a evaluar: 1) MOSFET SiC de CREE, modelo C2M0080120D; 2) cascode híbrido SiC/Si de USCi, modelo

UJC1206K y 3) MOSFET de Si de International Rectifier, modelo IRF250N. Para la validación experimental se ha implementado una celda S3R en la que se puede variar distintos parámetros. Para el control del transistor se ha empleado una tarjeta de desarrollo basada en FPGA, mientras que para la simulación de las capacidades parásitas se han empleado diversos condensadores conectados en paralelo a un simulador de paneles solares Agilent E4351B. Además, se han establecido unas condiciones para analizar comportamiento del S3R bajo diferentes modos de funcionamiento. En primer lugar, se muestran los resultados obtenidos por medio de simulación con LTSpice. Los resultados arrojan formas de onda muy similares entre todos los dispositivos. Por su parte, los resultados reales se diferencian entre sí ligeramente, observándose además oscilaciones que no se manifestaban en los resultados obtenidos con LTSpice. Finalmente, los resultados térmicos obtenidos por medio de una cámara térmica, Ti450 de Fluke, no muestran diferencias importantes en cuanto a la temperatura obtenida por los dispositivos expuestos a condiciones idénticas.

Por último, el trabajo concluye con un breve análisis de los resultados obtenidos y las referencias citadas en el texto.



4.2 Artículo

Comparative Study of SiC Transistors for Active Current Limitation in S3R

David Marroqui¹, Jorge Borrell¹, Roberto Gutierrez¹, Jose Manuel Blanes¹, Ausias Garrigos¹, Enrique Maset²

¹Industrial Electronics Group (IE-g), Miguel Hernandez University of Elche, Elche, Spain

²Department of Electronic Engineering, University of Valencia, Valencia, Spain
dmarroqui@umh.es

Abstract—In this paper a comparative analysis between different kinds of Silicon Carbide (SiC) transistors applied to the Sequential Switching Shunt Regulator (S3R) with active current limitation capability is presented. The S3R is a well-known Direct Energy Transfer photovoltaic power conditioner used in space vehicles.

The main novelty discussed in this paper is the use of SiC transistors, JFET cascodes and SiC MOSFETs, instead of Silicon MOSFETs. High-voltage, high-power and high-temperature characteristics of these devices make them ideal for this application.

Index Terms—S3R; sequential switching shunt regulator; SiC; Cascode; current limiter; WBG.

I. INTRODUCTION

In the literature, many different options to implement the power conditioning unit (PCU) of a satellite can be found [1]. In all of them, the main purpose is to extract the energy from the solar arrays and deliver it to the main bus for distribution and consumption.

There are two main groups of satellite's PCU. On one hand there are Direct Energy Transfer (DET) systems, which are characterized by its simplicity, robustness and lower mass. On the other hand, Maximum Power Point Tracking (MPPT) systems have the advantage of maximise the energy drawn by photovoltaic sources, but require DC-DC converters and it has a subsequent impact on the power density ratio. In both cases, each group is subdivided into unregulated systems and regulated systems, being the latter, a more complex architecture.

The Sequential Switching Shunt Regulator (S3R) is a photovoltaic DET power conditioner developed in the 70s [2], [3] and widely employed in telecom and scientific missions, especially in Europe. Figure 1 shows the diagram of a typical regulated system using S3R, Battery Charge Regulator (BCR) and Battery Discharge Regulator (BDR).

The main advantages of the S3R include high modularity, robustness (in a catastrophic power cell fault, neither dynamics nor bus voltage ripple would be affected), reduced

switching losses (only one power cell switches while the rest of the cells stay connected or unconnected) and design flexibility (applicable for a wide power range).

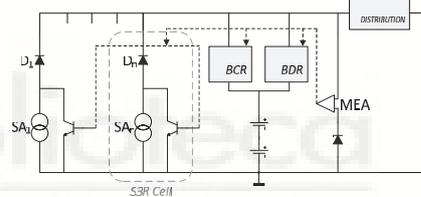


Fig. 1. Simplified topology of a direct transfer conditioning system with S3R control system. Battery charging and discharging units, BCR and BDR, respectively, are shown.

In the past, the parasitic capacitance of the solar array was neglected for the design of this type of photovoltaic power regulators; nonetheless, nowadays this has become a critical issue [4]. Two facts are the main causes for the increase of solar section parasitic capacitance, increase of individual cell capacitance due to multi-junction technologies and larger sections with many strings in parallel. Currently, parasitic capacitances values reach few microfarads [5].

This fact has a wide importance in the S3R system where the regulation is achieved short-circuiting some solar array sections through a shunt branch. This is implemented with power transistors and, when panel is short-circuited, they should discharge also this capacity, achieving quite high currents. This current discharge must be limited through the transistor so it is not damaged.

This work is focused on the active limitation of the solar array parasitic capacitance discharge current. To limit this current, the shunt transistor will work in its lineal region during the discharge, restricting the current.

II. S3R DESCRIPTION AND OPERATION

In Fig. 2, the S3R regulation system with four switching cells is shown. It should be noted that a real system could have a different number of cells, depending on the dimensions and energy requirements of the satellite. All the parasitic cells have been depicted in Fig. 3.

This work has been financed by the Ministry of Economy and Competitiveness through the project: ESP2015-68117-C2-2-R

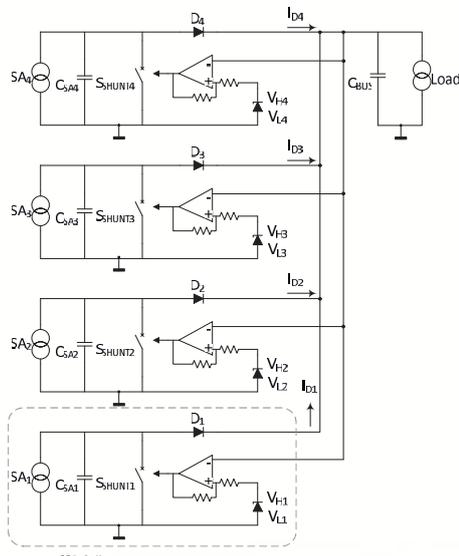


Fig. 2. S3R regulator simplified topology with four switching cells.

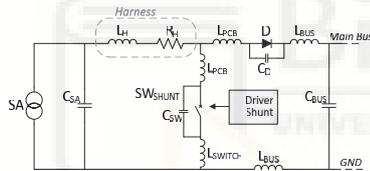


Fig. 3. Representation of the principal parasitic elements in an S3R switching cell.

First of all, the operation of a single cell will be explained, and straightaway, the sequential operation of the system will be detailed all together. As it can be observed in Fig. 2, each single cell has two states dependent on the switch S_{SHUNT} state. Both states are shown in Fig. 4 in simplified form.

From Fig. 4, supposing that the solar array current is greater than the load current, it can be deduced that as long as the cell is in position a), the bus voltage will increase due to the bus capacitor charge. While as long as the cell remains in state b), the bus voltage will decrease due to the capacitor discharge through the load.

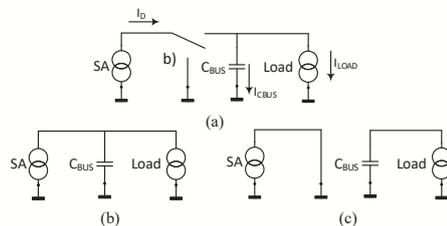


Fig. 4. Basic topological states of an individual S3R cell: (a) and (b) the SA injects power to the bus capacitor (C_{BUS}); (c) the C_{BUS} capacitor is discharged through the load.

The regulation concept is based on the establishment of two thresholds (V_H and V_L) for each single cell, where the state change is carried out, being able to maintain the bus voltage limited between these two values. Figure 5 represents the waveform or the bus voltage.

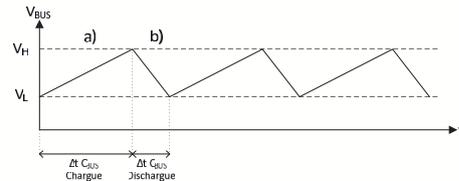


Fig. 5. Regulated voltage of the bus by means of the regulation system S3R monocellular.

The main bus current equations of this regulation system are described hereunder. Regarding state, a), the bus capacitor would be charging by means of a current defined as (1), whereas during state b), the capacitor would be discharged through a value current (2):

$$i_{C_{BUS}} = I_D - I_{LOAD} = C_{BUS} \frac{V_H - V_L}{\Delta t_{C_{BUS} Charge}}, \quad (1)$$

$$i_{C_{BUS}} = -I_{LOAD} = C_{BUS} \frac{V_H - V_L}{\Delta t_{C_{BUS} Discharge}}. \quad (2)$$

A system with a single S3R cell would not be feasible due to different reasons. The size of this solar array should be very high in systems where considerable powers are required. On other hand, it would not be a reliable system, because all the energy supply would depend exclusively on this only array and this only S3R cell. For these reasons a sequential regulation system is implemented, a system in which diverse cells in parallel are set.

To define its functioning, we will consider a S3R with four cells like in Fig. 2.

First, the levels of the voltage thresholds are defined for each cell in such a way that they remain in a sequential system as it is shown in Fig. 6.

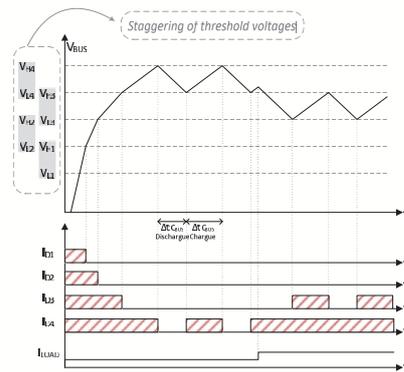


Fig. 6. Staggering of the threshold voltages in the S3R and the bus voltage evolution with a positive charge step.

The final aim of the system is to remain in such a state that only one of the solar array is switching. As a general rule, a steady situation while there are no load changes, in which case is probable that the system changes to a higher or a lower step depending on if the demand of current is higher or lower in the new state.

In a starting system situation, since the bus voltage would be below all thresholds, all cells would inject current in the bus, as Fig. 6 shows, thus leaving a load current (3) and a slope in the capacitor voltage (4):

$$i_{C_{BUS}} = \sum I_D - I_{LOAD}. \quad (3)$$

$$\frac{\Delta V_{BUS}}{\Delta t} = \frac{i_{C_{BUS}}}{C_{BUS}}. \quad (4)$$

As the bus is charging, it will exceed the threshold voltages of each section and hence, that section will short-circuit its solar array, reducing the supply of current to the bus and therefore the main capacitor charge slope. This will happen until a steady state in the system is established. In this steady state some solar arrays are permanent connected to the bus and a single solar array switching, permitting the regulation between its values V_H y V_L , and some solar arrays are short-circuited. In Fig. 6 this operation is shown with a positive load jump.

III. CURRENT LIMITATION IN THE SHUNT TRANSISTOR

As it was explained in the previous section, the regulation of the main bus is achieved limiting the power delivered by the solar array short-circuiting some sections permanently and switching between the main bus and short circuit one section. To short-circuit the solar arrays implies the discharge of their parasitic capacitance. Nowadays, the increase of the parasitic capacitance supposes a risk for the power transistors reliability, for this reason different methods have been studied to limit the current [6].

In addition to the methods described in [6], to ensure the device safe operation, the European Space Agency (ESA) defines in ECSS-Q-ST-30-11C some specifications that the devices used for space applications must accomplish as safe preventive measures. In the case under examination there are three considerations:

1. The current through the transistor must be derated to 75 % of the maximum established for the device;
2. The maxim junction temperature must be limited to 110 °C;
3. The power dissipated must be derated to 65 % of the maximum established power.

It must be considered that the limit for the semiconductor junction temperature is for Si semiconductors, this is due because the SiC semiconductors are relatively recent and they are not considered in the ECSS guides. However, it is a proven fact that the temperature supported by the Si semiconductors is considerably supported by SiC devices, in addition, from the ESA different objectives are analysed for the application of the SiC due in large measure to the advantages it brings [7].

Different methods are used to limit the shunt transistor current, one of the most used is the active limitation current

technique because it is the most independent of the system. The other options must be designed and adjusted according to the parasitics of the elements. For the satellite PCU designs, the modularity and flexibility are very important points in order to consider different options.

The main waveform of the S3R switching cell are shown in Fig. 7. In discontinuous it is shown S3R cell waveforms without active current limitation and in continuous S3R cell waveforms with active current limitation.

As can be seen in Fig. 7, in a S3R cell without active current limitation, a high current peak will circulate through the transistor due to solar array parasitic capacitance discharge. In the active current limitation design, the discharge current of the parasitic capacitance is limited to a predefined value (I_{LIM}), this is accomplished controlling the gate voltage of the shunt transistor so it works in its linear region.

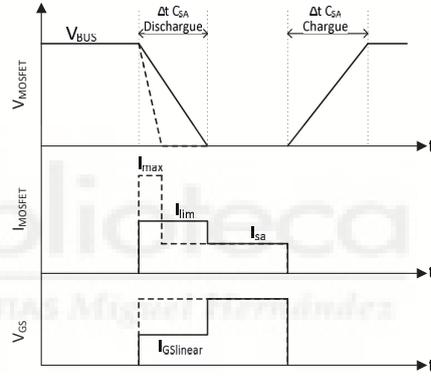


Fig. 7. S3R cell switching waveforms. In discontinuous line, the system without current limitation. In continuous line, the system with active current limitation.

From these waveforms, we obtain the shunt transistor dissipated power equations. In this case the parasitics elements shown in Fig. 3 are neglected. The solar array parasitic capacitance stored energy can be expressed as (5), therefore, if the transistor must dissipate this energy, we have an expression like (6):

$$E_{C_{SA}} = \frac{1}{2} C_{SA} V_{BUS}^2, \quad (5)$$

$$P_{M_{SHUNT}} = \frac{1}{2} C_{SA} V_{BUS}^2 f_{S_{BUSCSA}}, \quad (6)$$

where $f_{S_{BUSCSA}}$ is the cell switching frequency analysed in detail in [3] and according to authors it is given by (7)

$$f_{S_{BUSCSA}} = \frac{<I_D> (I_{SA} - <I_D>)}{\Delta V_{BUS} I_{SA} C_{BUS} + <I_D> C_{SA} V_{BUS} - 2ESR <I_D> C_{BUS} (I_{SA} - <I_D>)}. \quad (7)$$

where I_{BUS} is defined as the solar array average current which is switching.

In the other hand, in a cell which implements active

current limitation, we are able to obtain the dissipated power like (8)

$$P_{M_{SHUNT}} = \frac{1}{2} \frac{I_{LIM}}{I_{LIM} - I_{SA}} C_{SA} V_{BUS}^2 f_{S_{BUSC_{SA}}} \quad (8)$$

In Fig. 8, it is shown the concept of active current limiting used in this study. Its operation is simple, at the moment that the bus exceeded the level V_H , the transistor M_{SHUNT} will be short-circuited, the current flows through it and therefore the voltage in the base of the Q transistor is increased because the current goes through the resistor R_{SHUNT} . As the voltage in the Q base increases, the Gate voltage of the Shunt transistor (V_G) is reduced, so the shunt transistor (M_{SHUNT}) operates in linear zone limiting de current through it.

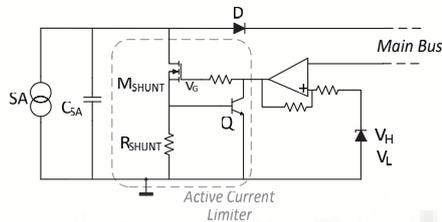


Fig. 8. Simplified topology concept active current limiter through the shunt branch of S3R cell.

Considering a saturation voltage of transistor Q V_{SATQ} , current limitation is defined by expression (9)

$$I_{LIM} = \frac{V_{SATQ}}{R_{SHUNT}} \quad (9)$$

It should be noted that at the moment the shunt transistor short-circuits the panel, the dynamic of the current limiter must be fast enough so that there are not quick peaks that exceed the established maximum limits.

IV. DESIGN VALIDATION

A comparative study of different types of power transistors and semiconductor technologies will be carried out. The following table details the transistors used and their main characteristics.

TABLE I. USED TRANSISTORS.

Transistor	Technology	$V_{DS} \max$ [V]	$I_D \max$ [A]	R_{DSon} [mΩ]
IRF250n	Mosfet-N Si	200	30	85
C2M0080120D	Mosfet-N SiC	1200	36	80
UJC1206K	Cascode SiC	1200	35	60

The most commonly used transistor for this application is the IRF250n. It should be noted that the two alternatives have a voltage blocking capacity six times higher, and an ability to lead a similar current. On the other hand, the two new proposals are implemented with silicon carbide instead of classical silicon. The aim is to validate these alternatives for this application, as they have characteristics that make

them very interesting, such as their greater capacity of block voltage and the capacity of the SiC semiconductor to operate at higher temperatures than conventional Si. First, the simulation results obtained will be presented and then the results of the real tests performed will be analysed.

The test consists on short-circuiting the photovoltaic panel, that will be considered a constant current source in simulation, and a solar panel simulator in the real test, with a parallel capacity simulating the parasitic capacity of the panel. As load, a resistive load in simulation and a resistance in the real case is used. The operation is performed at a constant frequency, simulating a steady state of the S3R.

Figure 9 shows an image of the implemented validation prototype.

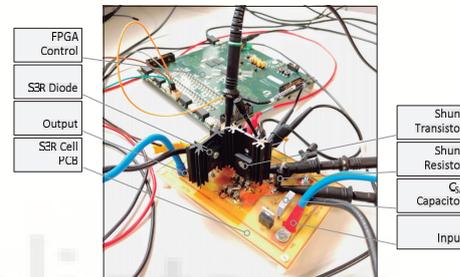


Fig. 9. Prototype implemented to test the different transistors. In the background the FPGA card for the generation of the PWM for the switching of the S3R cell.

The values used for the design validation are the following and will be common both for the simulations and for the real tests carried out:

- Input source current = 2 A;
- Limiting current = 8 A;
- Input capacitor = [0.68 - 1.5] μ F;
- Bus capacitor = 480 μ F;
- Switching Frequency = 1 kHz;
- Duty cycle = 50 %;
- Load resistor = 70 Ohm;
- Shunt resistor = 0.1 Ohm;
- Gate resistor = 110 Ohm.

A. Simulation Results

The software used for the simulation has been LTspice because of the large number of existing models on the market and its great potential for analysis. The manufacturers of the transistors, have LTspice models available, so they will be used and validated experimentally in the different simulations.

Figure 10 shows the scheme that has been simulated. The transistor model has been changed for each specific case. The same happens with the capacitor C6, which represents the parasitic capacity of the panel, it has been modified between the values 680 nF and 1 μ F to analyse the behaviour.

There are two components used that have not been detailed: R25 and C9.

R25 (R_{GATE}) limits the current to charge and discharge the

parasitic capacitance of the shunt transistor gate; therefore, it fixes the dynamics of the limiter. A small value thereof is interesting, since otherwise the response of the R25-Q5 loop becomes very slow so that the active current limitation would be unusable. However, a further decrease in resistance returns to the unstable system, as detailed in [8]. To compensate this problem, due to the resonance between the CMILLER of the transistor and the serial parasitic inductor thereof, the C9 capacitor is added, which reduces system instability. This fact is analysed in depth in [8] and [9].

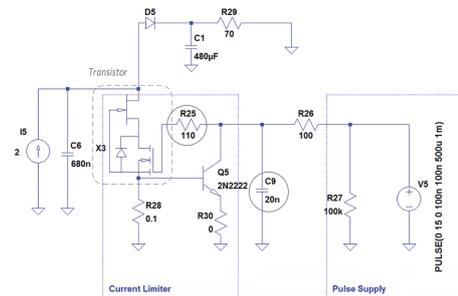


Fig. 10. Example of simulated S3R cell scheme in LTspice. In this particular case using the USCi transistor UJC1206K. C6 represents the parasitic capacity of the panel.

The simulation results are shown in Fig. 11.

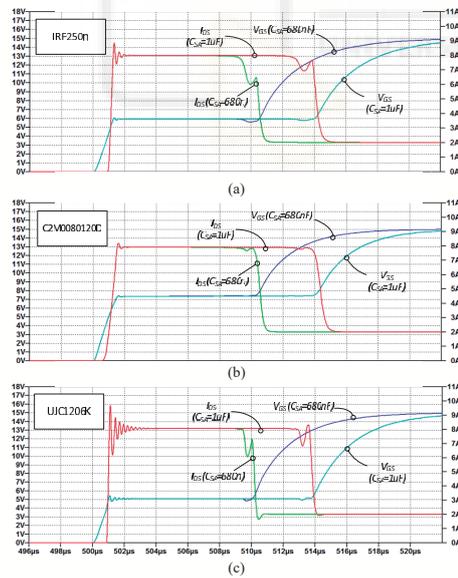


Fig. 11. Switch simulation result for the three types of transistors: (a) – IRF250n; (b) – C2M0080120D; (c) – UJC1206. For each type, two different capacities have been simulated: 680 nF and 1 μ F. The legend is in the draw.

The three types of transistors have been simulated,

modifying in each case the parasitic capacity of the panel to observe the effect on the current limitation. It is observed that regardless of the type of transistor used, the current limiting value is the same, approximately 8 A.

It is worth noting that the voltage V_{GS} of each type of transistor is different for its operation in linear zone, the UJC126K being the one with the lowest voltage. The reason is that it is a cascode and the government transistor is optimized, while the other two are conventional N-mosfet.

On the other hand, to emphasize the current overshoot that occurs in the limitation. It can be observed that in the case of the UJC1206 we have a greater overshoot than in all other cases, this is due to a greater inductance of the cascode source. Notably, despite having blocking voltages characteristics six times higher in the case of C2M0080120D and UJC1206K against IRF250n, very similar behaviours are observed. A slower dynamic response would be expected from a higher blocking voltage, however, in simulation they are very similar.

Of course, when the parasitic capacitance of the panel increases, the length of time the transistor remains in the linear zone to discharge it also increases, and therefore increases the temperature reached and the power dissipated.

B. Real Test Results

The tests performed on the real circuit are the same as those in simulation. The test consists on switching a S3R cell at a frequency of 1 kHz with different parasitic capacitances and analyse the operation of the current limiter. For testing, we have used the following equipment and components.

- Solar panel simulator E4351B – Agilent;
- Resistive load = 70 Ohm;
- Bus Capacitor = 480 μ F – EPCOS (MKP);
- S3R diode = STTH6002C – ST;
- Switching frequency = 1 kHz;
- Shunt Resistor = 0.1 Ohm;
- Gate Resistor = 110 Ohm.

The bus capacitor is an especially critical so capacitors with low ESR and ESL are required. The capacitor used consists of 48 high performance 10 μ F and 250 V EPCOS B32669 capacitors optimally positioned to minimize parasitic effects.

A complete period of the short-circuit phase of the solar panel using USCi UJC1206K is shown in Fig. 12.

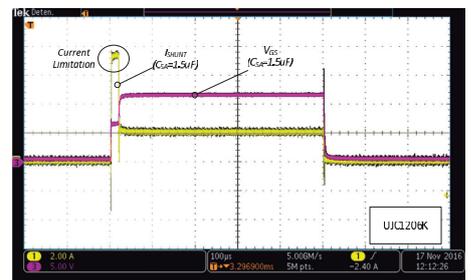


Fig. 12. Test result using USCi UJC1206K. The value of the parasitic capacity analysed is 1.5 μ F. In yellow the current through the branch shunt and in violet the voltage V_{DS} .

It can be seen that the circuit of the active current limiter holds the transistor in the linear region for the time necessary so that the parasitic capacitance is discharged; limiting the current through it to the value defined in (9), in this case a value very close to 8 A.

Next, the current limiting phase for each proposed transistor type will be analysed by performing a sweep of the parasitic capacity of the panel. The results obtained are shown in Fig. 13.

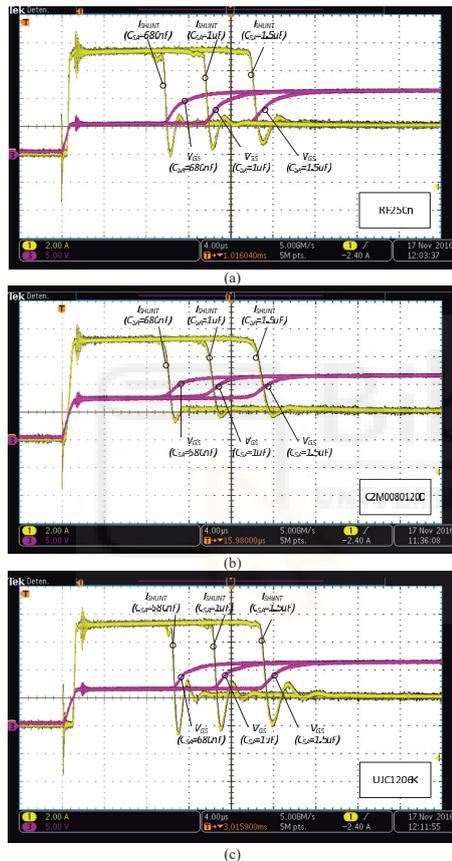


Fig. 13. Result of the real test with the three types of transistors: (a) – IRF250n; (b) – C2M0080120D; (c) – UJC1206. For each type, three different capacitances have been tested and are represented superimposed: 680 nF, 1 µF and 1.51 µF. For each draw the V_{DS} voltage for each tested parasitic capacity is shown in violet and the current through the shunt is yellow.

The three types of transistors proposed have been tested with three parasitic capacities of the panel (680 nF, 1 µF and 1.5 µF). In Fig. 13, it can be seen that the time that the transistor remains in the linear region limiting the current increases proportionally with the parasitic capacitance of the panel. This test confirms the similarity in the behaviour of the three tested types of transistors. There is no slower

dynamic response on SiC transistors despite being able to block 1200 V. The three transistors react very quickly with a gate resistance of 110 Ohm and a 20 nF capacitor between the collector-emitter of the transistor Q5.

As shown in simulation the IRF250n transistor operating in a linear region has a voltage V_{GS} of 6 V, while C2M0080120D has a 7.5 V voltage and the UJC1206K has a 6 V. This makes the C2M0080120D to take longer to reach the limit current value, however, it is not appreciated that the transistor stays longer than the rest in linear zone. This is because the UJC1206K and IRF250n have a gate threshold voltage higher than C2M0080120D.

C. Thermal Results

To analyse the impact of the increase of parasitic capacitance in the shunt transistors, a thermal analysis has been done in order to measure the temperatures reached by the transistors due to its operation in linear zone. The expression that allows to calculate the power dissipated by the transistors is detailed in (8).

To know the temperatures reached in the transistors, their temperatures have been measured in steady state of operation using a thermographic camera. The three types of transistors analysed have TO247 encapsulation, so for analysis they have been installed on identical heatsinks, being isolated from them by means of a mica film.

The conditions of the test when measuring the temperature of the transistors, as well as the equipment used were:

- Solar panel simulator E4351B – Agilent;
- Thermographic camera Ti450 – Fluke;
- Average ambient temperature 24 °C;
- Resistive load = 70 Ohm;
- Bus capacitor = 480 µF – EPCOS (MKP);
- S3R diode = STTH6002C – ST;
- Switching frequency = 1 kHz;
- Shunt resistor = 0.1 Ohm;
- Gate resistor = 110 Ohm.

Figure 14 shows the measurements taken for the different types of transistors and for each parasitic capacity of the solar panel.

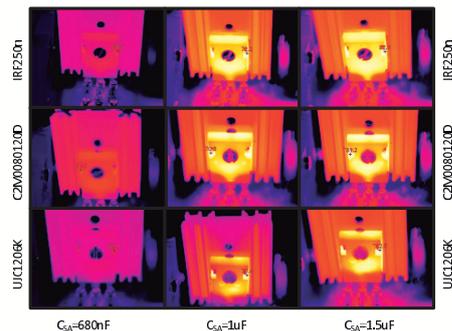


Fig. 14. Thermal analysis of the different transistors analysed for each parasitic capacity considered. The first row corresponds to the transistor IRF250n, the second to the C2M0080120D and the third to the UJC1206K. The first column corresponds to a CSA of 680 nF, the second one with 1 µF and the third with 1.51 µF.

TABLE II. TEMPERATURES REACHED.

Transistor	Max. temperature (°C)		
	$C_{SA} = 680nF$	$C_{SA} = 1\mu F$	$C_{SA} = 1.5\mu F$
IRF250n	58.5	72.2	82.6
C2M0080120D	61.8	70.6	81.2
UJC1206K	56.1	70.4	82.5

As can be observed, the temperature of the transistors increases proportionally with the parasitic capacity, reaching maximum temperatures of 82.6 °C in the IRF250n case. Given that the maximum temperature set by the ECSS at the junction is 110 °C, the available transistors capable of withstanding higher temperatures is a matter of great importance. If the future satellites demand a higher energy, quite probable thing, the solar panels will be bigger with their corresponding increase of parasitic capacity. This is a problem because the transistor dissipation limit depends on maximum junction temperature. This could involve increasing the number of solar panel sections and therefore the number of cells S3R. This new set would have a higher mass and cost. On the other hand, it must be taken into account that in vacuum the heat dissipation is carried out exclusively by radiation, this decreases the dissipation capacity with the consequent increase in temperature.

V. CONCLUSIONS

In view of the results, it can be concluded that the tested SiC transistors are valid candidates for use in the S3R, both the UJC1206K cascode configuration and the C2M0080120D in the N-channel MOSFET.

It has been verified how the dynamics of the SiC transistors is very similar to that of the IRF250n, even in the case of the C2M0080120D seems slightly more stable.

Taking into account the temperatures reached by the transistors due to the dissipation of the energy stored in the parasitic capacities of the solar panels, it is logical to use semiconductors capable of operating at higher temperatures, as in the case of SiC.

Finally, we could analyse the reliability of the components used and their degradation with time [10], its dependence on short-circuit versus temperature [11], and to single events [12]. In the case of UJC1206K, reliability cascades 1200 V is justified to a greater extent due to the robustness of the JFET that blocks most of voltage. While in the case of C2M0080120D, insulation degradation gate should be analysed, since at such high voltages it could suffer premature deterioration.

REFERENCES

- [1] A. Capel, D. O'Sullivan, J. C. Marpinard, "High-power conditioning for space applications", in *Proc. IEEE*, vol. 76, no 4, 1988, pp. 391–408. [Online]. Available: <http://dx.doi.org/10.1109/5.4425>
- [2] D. O'Sullivan, A. Weinberg, "The sequential switching shunt regulator S³R", in *Proc. Their ESTEC Spacecraft Power Conditioning Seminar*, 1977.
- [3] A. Weinberg, "Solar array system". *Invention patent: US 6,262,558 B1*, 17 Julio, EEUU, 2001.
- [4] A. Garrigos, J. M. Blanes, J. A. Carrasco, J. B. Ejea, "Influence of the parasitic solar array capacitance in the sequential switching shunt series regulator", in *MELECON*, 2006. [Online]. Available: <http://dx.doi.org/10.1109/MELCON.2006.1653316>
- [5] A. Fernandez, J. R. Gonzalez, "Modeling of the section capacitance to Interface with a S³R", in *European Space Power Conf.*, 2016. [Online]. Available: <https://doi.org/10.1051/e3sconf/20171613009>
- [6] C. Delepaut, M. Martin, "Current limitation techniques in a S³R power cell", in *Proc. Third European Space Conf.*, 1993.
- [7] F. Bausier, S. Masseti, F. Tonicello, "Silicon carbide for space power application", in *European Space Power Conf.*, 2014.
- [8] A. Soto, "Design of a efficiency and reliable S³R SA regulator", in *European Space Power Conf.*, 2011.
- [9] C. Delepaut, "S³R Stability margins and design guidelines", in *European Space Power Conf.*, 2008.
- [10] A. Fayyaz, L. Yang, A. Castellazzi, "Transient robustness testing of silicon carbide (SiC) power MOSFETs", in *Power Electronics and Application*, 2015. [Online]. Available: <https://doi.org/10.1049/cp.2012.0152>
- [11] Z. Wang *et al.*, "Temperature-dependent short-circuit capability of silicon carbide power MOSFETs", in *IEEE Trans. Power Electronics*, vol. 31, no. 2, pp. 1555–1566, 2016. [Online]. Available: <https://doi.org/10.1109/TPEL.2015.2416358>
- [12] A. Akturk, R. Wilkins, J. McGarrity, B. Gersey, "Single event effects in Si and SiC power MOSFETs due to terrestrial neutrons", in *IEEE Trans. Nuclear Science*, vol. 64, no. 1, pp. 529–535, 2017. [Online]. Available: <https://doi.org/10.1109/TNS.2016.2640945>

4.3 Análisis del trabajo

En este punto se realiza un análisis del primer artículo que compone la presente tesis doctoral [32].

4.3.1 Motivación

La motivación del trabajo es la validación del uso de dispositivos semiconductores SiC en el S3R, ya que presenta características interesantes para condiciones de alta tensión y elevada temperatura.

El S3R es un regulador fotovoltaico muy utilizado en satélites desde su aparición en la década de los setenta [31]. Su funcionamiento consiste en mantener ciertas secciones de panel solar cortocircuitadas –en cuyo caso no inyectan energía al bus de alimentación–, otras secciones constantemente conectadas al bus –inyectando energía– y por último, la regulación se realiza mediante la conmutación de una única sección. El funcionamiento detallado se describe en [31].

El incremento de las capacidades parásitas de los paneles solares, junto con la resonancia que se produce con los cableados, genera excesos de corriente que deben ser gestionados de forma segura, atendiendo a criterios de seguridad definidos, entre otros, en las ECSS. Algunas técnicas de las técnicas empleadas se han descrito en la [sección 3.1.2](#) y de ellas, una de las más empleadas es el uso de sistemas de limitación activa de corriente.

La técnica de limitación activa de corriente presenta el inconveniente de generar puntos calientes en el sistema de acondicionamiento de potencia y esto, atendiendo a los criterios de *derating* definidos en las ECSS [89], limita considerablemente los semiconductores que se pueden utilizar, especialmente debido al incremento de temperatura que deben soportar y la SOA de los mismos.

El uso de dispositivos semiconductores SiC en lugar de los tradicionales de Si, para esta aplicación, puede resultar muy interesante debido a la capacidad de este tipo de dispositivos de trabajar a mayor temperatura. Por su parte, la ESA ha manifestado interés en el uso de

este tipo de semiconductores, en especial en lo relacionado con su capacidad de funcionar en altas temperaturas [91], incluso en algunas misiones está ya siendo utilizado [97].

4.3.2 Análisis y extensión de resultados

El trabajo analiza el comportamiento desde diferentes perspectivas del funcionamiento de dispositivos SiC comerciales utilizados en una celda de conmutación del S3R. Los dispositivos que se seleccionaron para el trabajo junto con sus principales características se muestran en la [tabla 6](#).

Tabla 6: Dispositivos SiC evaluados en [32].

Dispositivo	Tecnología	V_{DSmax} [V]	I_{Smax} [A]	R_{on} [Ω]
IRF250N [98]	Si MOSFET	200	30	85
C2M0080120D [33]	SiC MOSFET	1200	36	80
UJC1206K [99]	SiC cascode	1200	35	60

Como puede apreciarse, en términos de corriente o resistencia equivalente de encendido (R_{on}), poseen valores muy similares, sin embargo, si se analizan los dispositivos desde el punto de vista de la tensión máxima que son capaces de soportar, puede inferirse que se trata, en el caso de los SiC, de dispositivos capaces de gestionar una potencia considerablemente superior. Desde el punto de vista del SOA, mostrados en [figura 56](#), [figura 57](#) y [figura 58](#), que para esta aplicación se considera uno de los factores más importantes dada la disipación de energía que deben soportar, puede comprobarse como los dispositivos SiC poseen, indiferentemente de ser MOSFET o cascode, unos límites muy superiores.

Para la validación de los dispositivos, se implementó un prototipo, cuyos esquemas de simulación y diseños se encuentra en el anexo: [Esquemas electrónicos del prototipo de limitador SiC para el S3R](#).

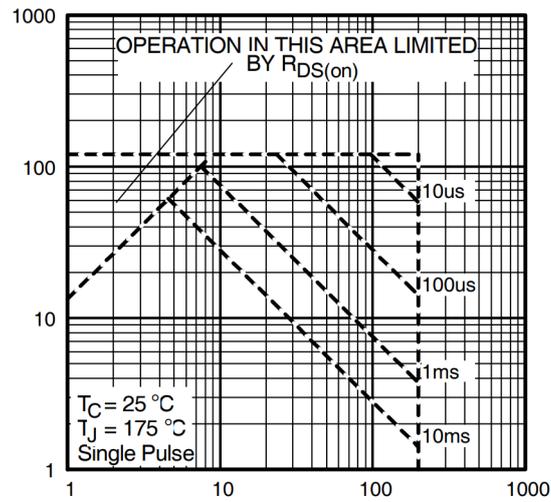


Figura 56. SOA del dispositivo Si MOSFET IRF250N [98]. Eje vertical: Corriente por el dispositivo [A]. Eje horizontal: tensión drenador-surtidor del dispositivo [V]

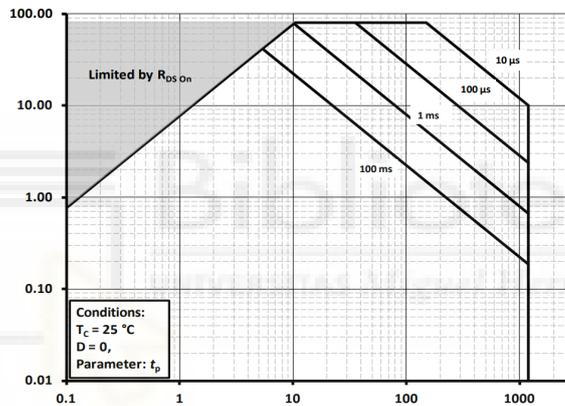


Figura 57. SOA del dispositivo SiC MOSFET C2M0080120D [33]. Eje vertical: Corriente por el dispositivo [A]. Eje horizontal: tensión drenador-surtidor del dispositivo [V]

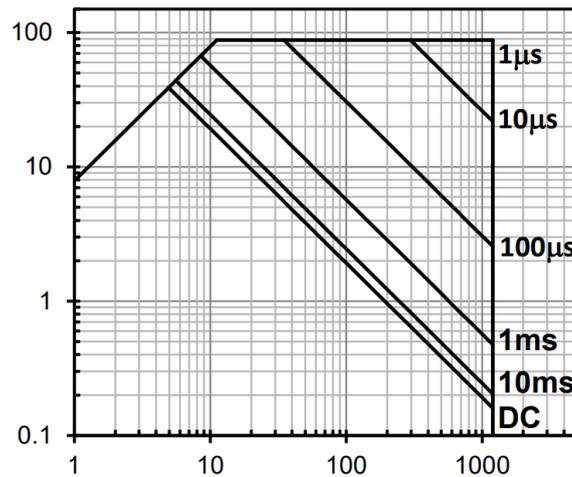


Figura 58. SOA del dispositivo SiC cascode UJC1206K [99]. Eje vertical: Corriente por el dispositivo [A]. Eje horizontal: tensión drenador-surtidor del dispositivo [V]

Se consideraron las siguientes condiciones de funcionamiento para comparar el comportamiento:

- **Tensión de bus:** 70V
- **Corriente de la sección de panel solar:** 2A
- **Valor de limitación de corriente del S3R:** 8A
- **Barrido de capacidad parásita del panel:** 680nF - 1μF
- **Condensador del bus:** 480μF
- **Frecuencia de conmutación de la celda:** 1kHz
- **Ciclo de trabajo:** 50%
- **Carga resistiva:** 70Ω

Los resultados de simulación se llevaron a cabo utilizando el software LTSpice se muestran en [figura 59](#) (IRF250N), [figura 60](#) (C2M0080120D) y [figura 61](#) (UJC1205K).

Se aprecia perfectamente las diferencias entre las tensiones umbrales, V_{TH} , de los diferentes dispositivos. Por su estructura interna (véase [sección 2.3.2.4](#)), el UJC1206K, presenta una tensión umbral inferior, lo que supone una ventaja al reducirse el tiempo hasta la fase de limitación de la corriente. Este incremento de velocidad produce un ligero incremento de las oscilaciones durante las transiciones *OFF*-limitación, limitación-*ON*, ([figura 61](#)). De los tres, el dispositivo que aparenta tener una respuesta más lenta y estable es el C2M0080120D ([figura 60](#)) ya que es el que mayor tensión de puerta requiere alcanzar para entrar en modo limitación.

Para la validación experimental se utilizaron los simuladores de paneles solares Agilent E4351B disponibles en las instalaciones del *IE-g*. Para el control del S3R (en lazo abierto) se utilizó una tarjeta SPCard que tiene por núcleo una unidad FPGA y que permite de forma sencilla implementar señales PWM precisas. Como condensador de salida, se utilizó un condensador de 480μF de capacidad implementado con 48 condensadores EPCOS B32669. Las formas de onda de la conmutación obtenidas se muestran [figura 62](#)(IRF250N), [figura 63](#)(C2M0080120D) y [figura 64](#)(UJC1205K).

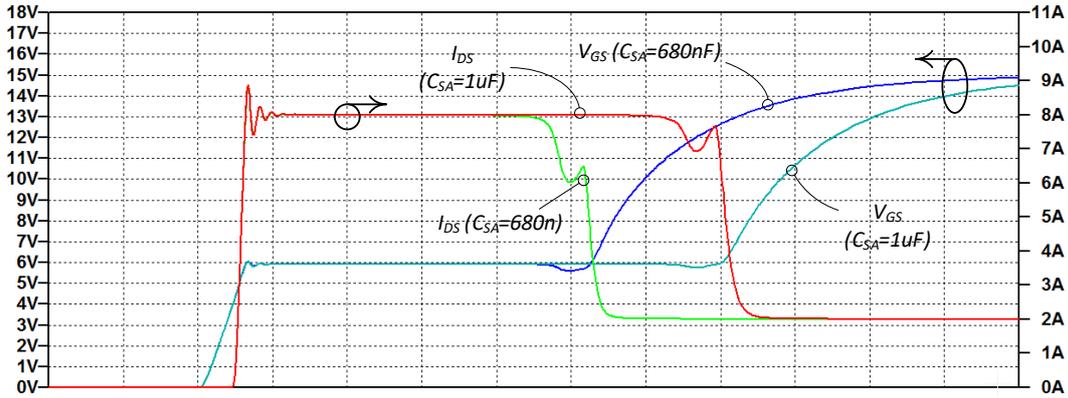


Figura 59. Simulación de S3R con IRF250N para dos condiciones de capacidad parásita del panel solar [680nF y 1µF]. Escala izquierda: V_{DS} [V]. Escala derecha: I_S [A]. Escala de tiempos: 2µs.

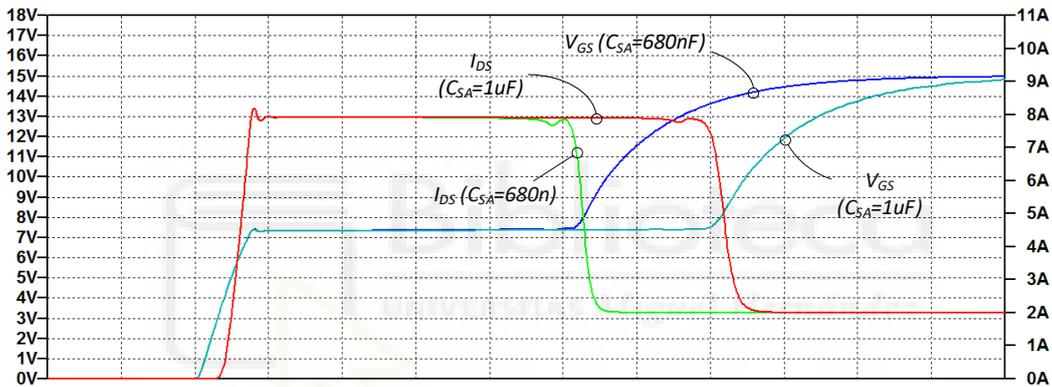


Figura 60. Simulación de S3R con C2M0080120D para dos condiciones de capacidad parásita del panel solar [680nF y 1µF]. Escala izquierda: V_{DS} [V]. Escala derecha: I_S [A]. Escala de tiempos: 2µs.

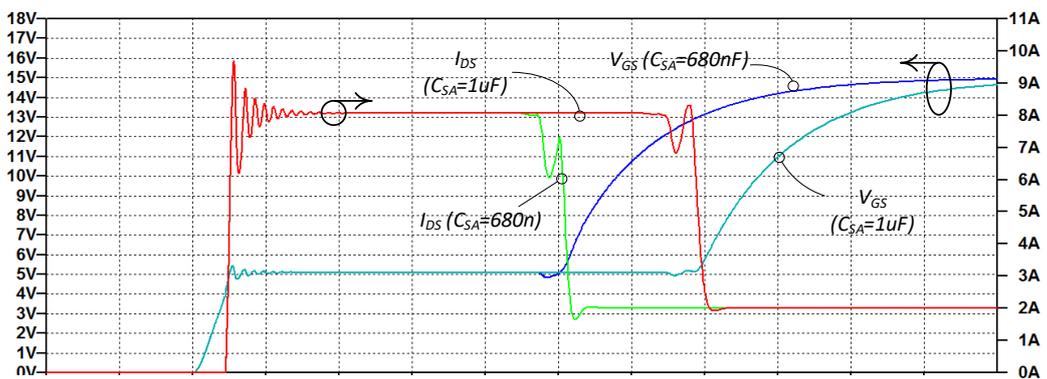


Figura 61. Simulación de S3R con UJC1206K para dos condiciones de capacidad parásita del panel solar [680nF y 1µF]. Escala izquierda: V_{DS} [V]. Escala derecha: I_S [A]. Escala de tiempos: 2µs.

Destacar que para la realización de las pruebas experimentales fue necesario implementar una pequeña red de compensación en paralelo con el transistor BJT que controla el transistor principal durante la fase de limitación para minimizar oscilaciones.

Se observa que para el caso del UJC1206K se producen mayores oscilaciones, especialmente en la fase de pasar de limitación a *ON*. Además, el UJC1206K muestra un retraso en la fase de apagado hasta conducción de corriente debido a su estructura interna formada por dos semiconductores, donde se tiene que encender completamente el JFET para que la corriente circule por el dispositivo.

Analizando las tensiones umbrales, se puede comprobar como los resultados difieren ligeramente de los obtenidos por medio de simulación. En este caso, se observa que el IRF250N trabaja a una tensión de unos 5V, siendo la menor de las tres, mientras que el UJC1206K funciona a una tensión ligeramente superior de unos 6V. Por último, el C2M0080120D funciona a una tensión de 7.5V.

Atendiendo a criterios térmicos, se realizaron una serie de pruebas en las que se pretendía medir las temperaturas de los diferentes dispositivos. Obviamente, tratándose de dispositivos con el mismo encapsulado –TO247– y disipando la misma energía. Las temperaturas alcanzadas por los dispositivos debían ser muy similares, el objetivo es ver el punto máximo para las condiciones dadas y observar si existían algunas diferencias.

Los test se realizaron en condiciones de temperatura ambiente de 24°C, y las medidas se tomaron con una cámara termográfica FLUKE Ti450. Los resultados se muestran en la [figura 65](#) y las temperaturas máximas de cada dispositivo en cada condición se muestran en la

[tabla 7](#). Los resultados de la [figura 65](#) muestran una distribución de temperatura sobre la superficie de los dispositivos muy similar. El UJC1205K parece tener una menor temperatura superficial por la parte superior. Esto puede deberse a su estructura interna; al ser un dispositivo compuesto, dispone de dos obleas unidas dentro del encapsulado, esto supone una mayor superficie de disipación hacia el *pad* trasero pudiendo reflejarse en un decremento leve de la temperatura exterior del dispositivo.

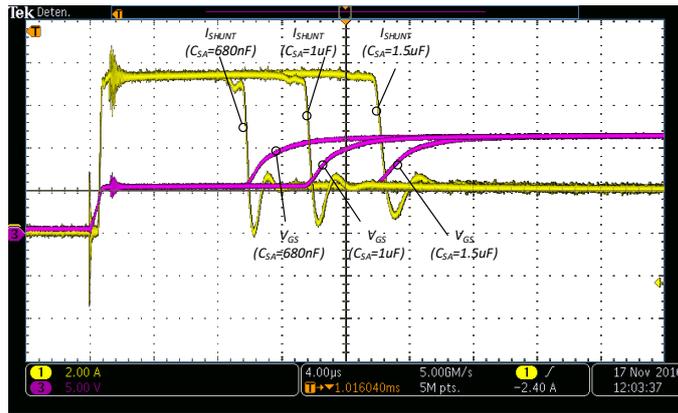


Figura 62. Forma de onda del encendido del IRF250N con un barrido de tres capacidades parásitas del panel solar [680nF, 1 μ F y 1.5 μ F]. Ch1: I_S [A] (2A/div) Ch2: V_{DS} [V] (5V/div). Escala de tiempo 4 μ s/div.

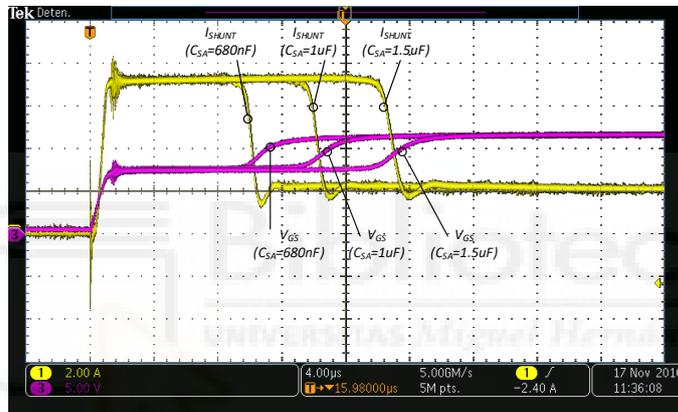


Figura 63. Forma de onda del encendido del C2M0080120D con un barrido de tres capacidades parásitas del panel solar [680nF, 1 μ F y 1.5 μ F]. Ch1: I_S [A] (2A/div) Ch2: V_{DS} [V] (5V/div). Escala de tiempo 4 μ s/div

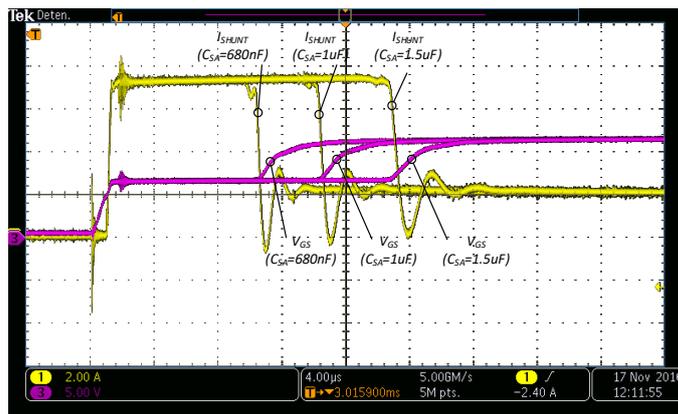


Figura 64. Forma de onda del encendido del UJC1206K con un barrido de tres capacidades parásitas del panel solar [680nF, 1 μ F y 1.5 μ F]. Ch1: I_S [A] (2A/div) Ch2: V_{DS} [V] (5V/div). Escala de tiempo 4 μ s/div

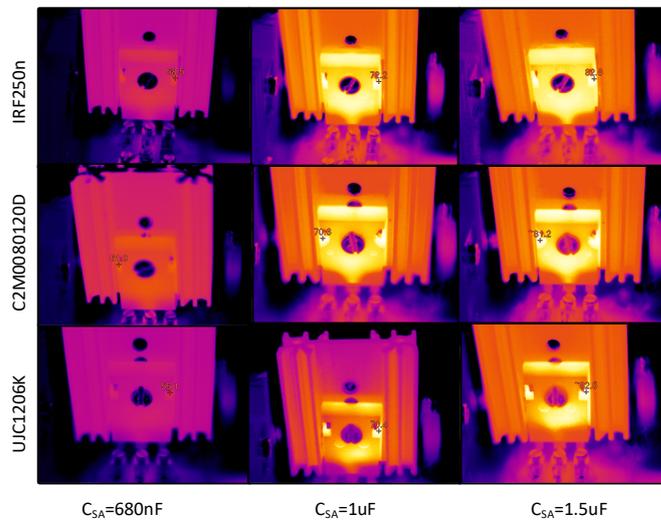


Figura 65. Imágenes térmicas de cada dispositivo evaluado en cada condición del barrido de capacidad.

Tabla 7: Temperaturas máximas alcanzadas por los dispositivos evaluados en cada condición del barrido de capacidad.

Dispositivo	680nF	1μF	1.5μF
IRF250N [98]	58.5°C	72.2°C	82.6°C
C2M0080120D [33]	61.8°C	70.6°C	81.2°C
UJC1206K [99]	56.1°C	70.4°C	82.5°C

Capítulo 5

Artículo II: SSCB-LCL para aplicaciones de 380V

Este capítulo expone y amplía los resultados que componen el segundo artículo de la presente tesis doctoral.

Artículo II - [100]: Self-Powered 380 V DC SiC Solid-State Circuit Breaker and Fault Current Limiter, *IEEE Transactions on Power Electronics*, D. Marroquí, J. M. Blanes, A. Garrigós and R. Gutiérrez.



5.1 Resumen

El siguiente trabajo presenta un sistema de protección *Solid State Circuit Breakers* (SSCB) con capacidad de limitación activa de corriente para DC. A diferencia del trabajo previo, en este caso se trata de una protección conectada en serie entre una fuente de energía o bus de distribución y una o varias cargas. La aplicación objetivo del sistema de protección presentado son las redes de distribución eléctricas DC, y sin restricciones, por la configuración de potencia adoptada, están focalizadas para su aplicación en protección de *data centers*. Esto es de especial interés considerando que, en la actualidad, el consumo de los *data centers* ya representa un 3% de la totalidad de la energía producida. Así pues, se presenta una nueva protección SSCB con capacidad de limitación activa y capacidad de conexión y desconexión externa remota, permitiendo con ello conectar cargas “en caliente” limitando las corrientes de arranques. El uso de dispositivos SiC como elementos principales de maniobra en la protección se basa en los resultados del comportamiento en condiciones de limitación observado en el primer trabajo presentado en la presente tesis ([sección 4.2](#)), además de la ya mencionada capacidad del uso de este tipo de dispositivos en condiciones de tensión elevada.

El artículo se compone de cuatro bloques, en el primero, a modo introductorio, se analiza el escenario en el que se pretende aplicar la protección además de presentar las bondades del uso de la tecnología de las protecciones de estado sólido frente a la tecnología existente.

El segundo bloque del artículo presenta la protección desarrollada, cuyas principales características son las siguientes. En primer lugar, se trata de una protección completamente analógica, por lo que prescinde de cualquier tipo de microcontrolador o unidad de procesamiento y emplea como elemento principal de limitación y maniobra un cascode SiC. En segundo lugar, el circuito es fácilmente reconfigurable, pudiendo ajustar tanto los tiempos de limitación como el valor de limitación de corriente cambiando el valor de dos resistencias y un condensador. En tercer lugar, el circuito utiliza un controlador de transistores fotovoltaico, lo que permite realizar una implementación completamente autónoma ya que se alimenta desde el propio bus de alimentación. Por último, la protección dispone de dos entradas de control –*OFF* y *RESET*– que permiten conectar y desconectar cargas del bus fácilmente. De forma teórica también se obtienen las expresiones que permiten ajustar tanto

el valor de corriente de limitación como el tiempo de limitación deseado en caso de falla y sus formas de onda.

En el tercer bloque se presentan las protecciones implementadas para su validación, concretamente se implementan tres protecciones configuradas para requisitos de potencia distintos (1.5A, 2.7A y 4.4A) y todas ellas ajustadas para limitar las corrientes de arranque de cargas con hasta 50 μ F. Los resultados se obtienen en tensiones de 380V. Para la implementación del prototipo se ha optado por el uso de dispositivos cascos híbridos SiC/Si ([sección 2.3.2.4](#)), en concreto el UJC1206K de USCi. Para su completa validación, se presentan cinco pruebas: test de encendido en caliente con limitación de corriente de arranque, test de barrido de sobrecargas, test de arranque con sobrecarga y limitación de corriente de arranque, test de cortocircuito, test de validación de controles remotos y un último apartado donde se analiza la eficiencia de la protección y un análisis térmico para comprobar que funcione dentro de un rango de temperaturas adecuado.

Finalmente, el último y cuarto bloque cierra el trabajo con las conclusiones y referencias.



5.2 Artículo

9600

Self-Powered 380 V DC SiC Solid-State Circuit Breaker and Fault Current Limiter

David Marroquí ¹, José Manuel Blanes ², Ausiàs Garrigós ³, *Senior Member, IEEE*, and Roberto Gutiérrez ⁴

Abstract—This paper presents a new ultrafast dc solid-state circuit breaker (SSCB) that uses a silicon carbide cascode as the main switching and limiting semiconductor and an isolated photovoltaic driver to control it. The proposed topology is self-powered and fully implemented with discrete parts. The SSCB's cascode can work in three different states—fully ON during nominal operation, linear mode for current limitation, and fully OFF to disconnect the load. The time the SSCB operates in linear mode and the maximum current limit is easily set by discrete components. Control inputs have also been included to reset the SSCB after a fault has been removed or to remotely switch it ON or OFF. This device can be used in dc distribution avoiding deterioration due to the problems associated with electric arcs and mechanical aging of moving parts, limiting inrush currents and also minimizing conduction losses respect other kind of circuit breakers. Functional, thermal, and efficiency tests have been carried out with three different 380 V prototypes. Experimental results show the excellent behavior of the SSCB, it is able to block a 380 V short circuit failure in 570 ns; the authors have not found any faster results in the literature.

Index Terms—DC power distribution, fault current limiter, silicon carbide (SiC) cascode, solid-state circuit breaker (SSCB), wide-bandgap semiconductors (WBG) semiconductors.

I. INTRODUCTION

ALTHOUGH ac is the dominant form of electric power distribution, dc distribution systems are becoming more and more popular [1], [2]. The main reason is the progressive change of the type of loads connected to the main grid. Currently, dc loads, such as LED lights, computers, communications, and battery chargers, need an ac/dc converter as a first stage to be connected to the ac grid, increasing power losses and costs [3]. Therefore, direct dc power distribution is an interesting option for systems with large amount of dc electronics loads and, in recent years, it has been successfully applied in shipboards, airplanes, telecommunication systems, buildings, electric vehicle charge stations, and data centers [1]–[7].

Focusing on data centers, the increase in cloud computing and Internet services has driven an exponential increase of their

electric consumption. Nowadays, data centers consume about 3% of the world's electricity production and it is estimated that it will double every five years [8]. Most of the data center loads are computers, servers, routers, switches, and storage devices, which are dc loads. Besides, the uninterruptible power supply, required for critical situations, is based on batteries. In many papers, dc distribution has been proposed for this application [8]–[11], reducing the conversion steps and total losses, resulting in more efficient, reliable, and economic data centers. Among all the proposals, 48 and 380 V dc distributions have been the two most promising alternatives to the conventional ac distribution. Between these two alternatives, previous studies show that the 380 V dc option is better than 48 V as it has higher efficiency and lower costs [10].

As in ac systems, protection devices are also needed in 380 V dc distribution systems in order to provide protection against overloads and faults. In [11], a three-level protection hierarchy architecture for 380 V dc data centers is proposed where the lower level is the individual protection with a circuit breaker (CB) of each 2 U (380 V-2.5 A) or 4 U (380 V-3.5 A) server. However, the lack of cost-effective dc protection solutions remains a major barrier, hindering the transition to efficient 380 V dc power distribution [12].

There are some important issues in dc system protection that must be considered when designing these protection devices [13]–[15].

- 1) Arcing at the moment of disconnection: This issue is not important in ac systems because of the naturally zero crossing of the ac current, but in dc systems it is very important to have a method that assures that the load current is zero before the physical disconnection of the load from the grid.
- 2) DC loads usually have a high input capacitance to filter high-frequency harmonics caused by switching dc–dc converters. The inrush current associated with this capacitance may cause unexpected CB trips when the load is first connected to the dc distribution system. On the other hand, it is important to limit this inrush current because it can cause voltage sags affecting other loads.
- 3) The high distributed capacitance in the dc bus deals in very fast and high discharge currents in case of low impedance load or short-circuit. This issue will affect other loads if the fault is not isolated very fast.

In the market, it can be found that traditional mechanical dc circuit breakers with different current ratings. However, these breakers cannot deal with the issues previously listed because

The authors are with the Industrial Electronics Group Miguel Hernández University of Elche, 03202 Elche, Spain (e-mail: dmarroqui@umh.es; jmblanes@umh.es; augarsir@umh.es; roberto.gutierrez@umh.es).

of their slow response time, low lifetime due to the arcing, and their lack of current limiting capability [2], [16]. In the literature, some dc solid state circuit breakers (SSCB) based on power semiconductors have been also proposed [14]–[18]. They are very attractive due to their ultrafast current interruption, arcless interruption, and current limiting capability. However, their main drawback is the conduction losses due to the semiconductor on resistance during nominal operation. As an alternative, hybrid solutions have also been proposed [19]–[22], using a mechanical switch in parallel with a semiconductor device allows low power losses, arcless interruption, current limiting, and reasonable interruption speeds, but they are more complex and expensive.

The advent of new silicon carbide (SiC) semiconductors has reactivated the option of using SSCBs [23]–[31]. The main reason is that SiC devices have lower conduction resistance than their silicon counterparts, besides their thermal impedance is better, and also they can work at higher junction temperatures, reducing the risk of failure due to high junction temperature. Performance evaluation of multiple Si and SiC devices for circuit breakers in 380 V dc systems have been reported in [24] and [25], concluding that 1200 V SiC devices are the best option for this application, and presenting a 5 A/380 V design based on a normally ON SiC junction field-effect transistor (JFET). The main drawback of using a normally ON device is that the driver has to be carefully designed to assure that the breaker trips off in a fault condition. The proposed solution is quite complex and it needs a high ratio buck dc–dc converter to power the driver and a digital signal processor to control the circuit. In [30], a 12.5 A/400 V SiC-based circuit breaker is presented; its novelty is based on a control method of the gate voltage to reduce the overvoltage across the semiconductor during the interruption process. The gate signal is generated by a digital signal controller and a high-speed D–A converter with its ancillary power supply is also needed to sense the current.

In this paper, a simple ultrafast self-powered SSCB and fault current limiter based on a SiC JFET cascode for 380 V dc distribution systems are presented.

The rest of the paper is organized as follows. Section II introduces the proposed circuit and its principle of operation. Section III describes the experimental prototype and the most relevant results obtained. The paper concludes with Section IV.

II. PROPOSED SSCB

The proposed SSCB is based on a SiC cascode and an isolated photovoltaic driver to generate the floating gate-source voltage needed to control it. The cascode works fully ON during nominal operation, in linear mode for current limitation and fully OFF to disconnect the load. The proposed circuit is shown in Fig. 1, it is self-powered and has been fully devised with discrete parts.

The SSCB is divided into the following functional blocks.

A. Main Semiconductor

As commented earlier, the circuit is based on a SiC cascode (M_1) controlled by an isolated photovoltaic driver (PV₁).

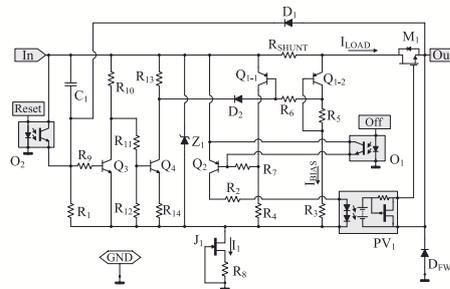


Fig. 1. Electrical schematic of the proposed SSCB.

B. Current Sensor

It is made up by the current measuring resistor R_{SHUNT} , the two matched transistors Q_{1-1} , and Q_{1-2} , the biasing resistors R_3 and R_4 , and the gain resistor R_5 .

C. Timer and Latching Circuit

The time constant given by the R_1 – C_1 network sets the time in which the SSCB operates in linear mode (latching time), limiting the current to a preconfigured maximum value after a failure is detected and before the load is fully disconnected. If the fault extinguishes before the latching time, the circuit returns to its nominal operation. The latching circuit R_9 , R_{10} , R_{11} , R_{12} , R_{13} , R_{14} , Q_3 , Q_4 , and D_2 provides a precise transition from the current limiting mode to OFF mode (open circuit).

D. Biasing Zener and Current Source

The protection is self-powered, it is supplied directly from its input, the 380-V bus, without needing auxiliary sources. Z_1 acts as an internal power supply and sets the proper voltage for the current sensor, timer, and latching circuit. Thus, these circuits are also referred to as Zener voltage, minimizing power losses and voltage stress. A current source, J_1 and R_8 , is used for Z_1 biasing. To minimize the J_1 thermal stress, the current flowing through it must be minimized. The losses of the current source are given by

$$W_{J_1} = V_{J_1} \cdot I_{J_1} \approx (V_{in} - V_{Z_1}) \cdot I_{J_1}. \quad (1)$$

E. Driver

An isolated photovoltaic driver (PV₁) is used to control the SiC cascode, M_1 . This solution offers the following advantages over other isolated driver circuits: high electrical isolation capability, do not require external power supply, it provides direct analog voltage to operate the main cascode in linear mode, simple fast turn-OFF circuits could be used (often integrated in the driver), and finally, low photo-cell current enables naturally slow turn-ON (especially attractive for inrush current control).

9602

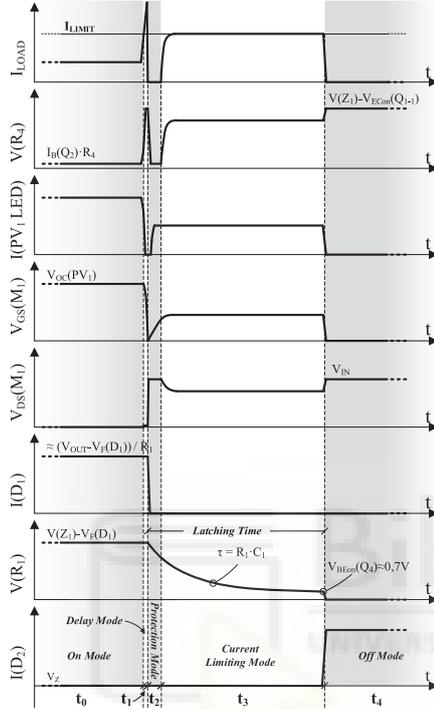


Fig 2. Most important voltage and current waveforms during overload. From top to bottom: load current, $V(R_4)$, PV₁ LED current, $V_{GS}(M_1)$, $V_{DS}(M_1)$, $I(D_1)$, $V(R_1)$, and $I(D_2)$.

PV₁ primary LED current is controlled by Q_2 transistor and it will be drained through J_1 , so the current through J_1 is $I_{J1} \approx I_{Z1} + I_{PV1}$.

F. Remote Reset and Turn Off

Two optoisolated inputs (reset and OFF) have been included to control the SSCB. The reset input is used to reconnect the SSCB from the OFF mode. It is performed discharging C_1 (latching circuit). Besides, the OFF control input forces the SSCB to disconnect the load, opening Q_2 and disconnecting the power supply to PV₁.

G. Freewheeling Diode

Finally, the SSCB includes a freewheeling diode (D_{FW}) to handle inductive loads and prevent overvoltage in M_1 .

The SSCB operation is explained below with the help of Fig. 2. Five different operation modes are identified: ON mode, delay mode, protection mode, current limiting mode, and OFF mode.

• t_0 —On Mode

In this mode, the cascode, M_1 , is fully ON, supplying the required current to the load, I_{LOAD} . The equivalent circuit in this state is shown in Fig. 3(a). The voltage drop on R_{SHUNT} is not enough to activate Q_{1-1} , so Q_2 remains saturated, allowing a current flow through the primary LED of the photovoltaic driver (PV₁) and therefore providing at the driver output the open circuit voltage [$V_{oc}(PV_1)$] to M_1 gate-source voltage. D_1 is also in ON-state, keeping Q_3 switched ON and the timer capacitor, C_1 , discharged. The Q_{1-2} current, named I_{BIAS} , is defined by

$$I_{BIAS} = \frac{V(Z_1) - I_{LOAD} \cdot R_{SHUNT} - V_{EB}(Q_{1-2})}{R_3} \quad (2)$$

The circuit will stay in this state until I_{LOAD} reaches the necessary current level to activate Q_{1-1} . In this case, naming I_{LIMIT} the maximum I_{LOAD} current. This current limit I_{LIMIT} is given by the following equation:

$$I_{LIMIT} = \frac{I_{BIAS} \cdot R_5}{R_{SHUNT}} = \frac{(V(Z_1) - I_{LIMIT} \cdot R_{SHUNT} - V_{EB}(Q_{1-2})) \cdot R_5}{R_3 \cdot R_{SHUNT}} \quad (3)$$

where $I_B(Q_{1-1})$ and $I_B(Q_{1-2})$ have been neglected and it is assumed $V_{EB}(Q_{1-1}) = V_{EB}(Q_{1-2})$.

Assuming $V(Z_1) \gg (I_{LIMIT} \cdot R_{SHUNT} + V_{EB}(Q_{1-2}))$, the current limit threshold is finally approximated by

$$I_{LIMIT} \approx \frac{V(Z_1) \cdot R_5}{R_3 \cdot R_{SHUNT}} \quad (4)$$

• t_1 —Delay Mode

Just after the load current exceeds the current limit, the SSCB starts a very short delay interval in which it does not limit current. As it can be observed in Fig. 2, as soon as Q_{1-1} is activated, Q_2 is turned OFF and the PV₁ LED current is removed fast; however, M_1 capacitances must be discharged before the SSCB is able to limit the current. The equivalent circuit is shown in Fig. 3(b). This delay time depends on the driver turn-OFF circuit and the M_1 characteristics.

• t_2 —Protection Mode

Once M_1 capacitances are discharged, it is turned OFF, protecting the main dc bus and isolating the faulty load as fast as possible. Besides, Q_{1-1} is turned OFF and Q_2 saturates, allowing again a current flow through the primary LED of PV₁. Nevertheless, the cascode continues OFF until the driver output voltage exceeds the threshold voltage, at this moment the SSCB will enter in current limiting mode. The increase of $V_{DS}(M_1)$ forces D_1 to turn OFF and the timer circuit starts charging C_1 . The protection mode time depends on the driver turn-ON circuit and the M_1 characteristics. The equivalent SSCB is shown in Fig. 3(c).

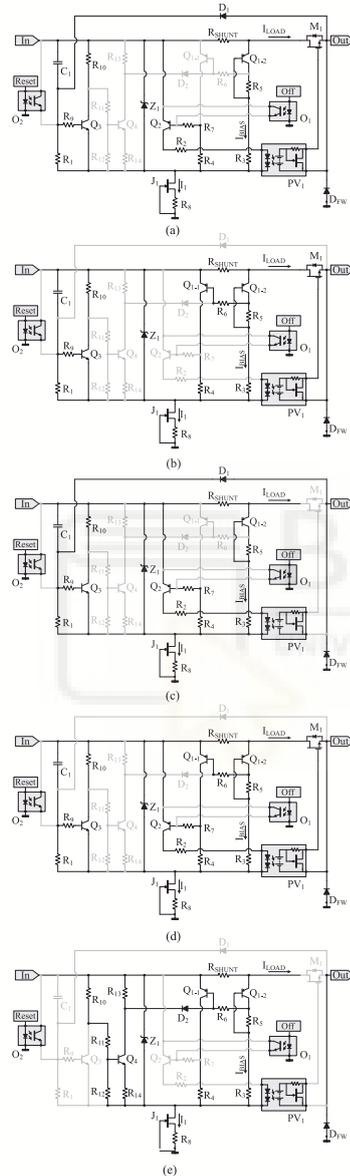


Fig. 3. SSCB equivalent state circuits. (a) Equivalent circuit during ON mode operation. (b) Equivalent circuit during delay mode. (c) Equivalent circuit during protection mode. (d) Equivalent circuit during current limiting mode. (e) Equivalent circuit during OFF mode.

• t_3 —Current Limiting Mode

Current limiting mode refers to that mode of operation in which the circuit maintains a constant current at a predefined value (I_{LIMIT}). After the fault has been isolated, the current feedback loop performed by R_{SHUNT} , Q_{1-1} , Q_{1-2} , and Q_2 increments $V_{GS}(M_1)$ dealing in a linear operation of the main cascode limiting the load current to the current limit threshold (I_{LIMIT}). The voltage balance given by (3) forces Q_2 to regulate the PV_1 LED current, which generates the proper gate-source voltage from the driver photocells. The low short-circuit current of the driver ensures a very slow M_1 switch-on dynamic, thus preventing oscillations and instabilities in the SSCB. The equivalent circuit of the SSCB during this time interval is shown in Fig. 3(d).

The SSCB remains in current limiting mode until Q_3 turns OFF and Q_4 turns ON. This time ($t_{latching}$) is adjusted by the timer circuit, R_1-C_1 . Latching time is finally given by

$$t_{latching} = R_1 \cdot C_1 \cdot \ln \frac{V(Z_1) - V_F(D_1)}{V_{EB}(Q_3)} \quad (5)$$

where it is assumed $R_0 \gg R_1$. This mode can also be used to limit the inrush current associated with the load input capacitance. Therefore, the latching time must be carefully designed depending on the type of loads.

If the fault (or an inrush current) extinguishes before the latching time, Q_2 will be turned ON again, supplying PV_1 and thereby turning ON M_1 . This returns the SSCB to the previous state (on mode), otherwise the circuit will enter in OFF mode.

• t_4 —Off Mode

If the fault remains active, after the predefined latching time, Q_3 turns OFF and Q_4 turns ON. As soon as Q_4 turns ON, D_2 also switches ON and forces Q_{1-1} to saturation. During this time, R_6 limits $I_C(Q_{1-2})$, avoiding variations in the I_{LIMIT} value. Then, Q_2 turns OFF, removing completely the PV_1 LED current. The SSCB remains latched through Q_{1-1} , D_2 , and Q_4 , needing an external input signal (reset) to be restarted. In this state, the corresponding circuitry is as shown in Fig. 3(e).

III. EXPERIMENTAL RESULTS

To verify the theoretical developments, three different SSCBs have been designed and implemented. The SSCBs have been designed for a 380 V dc distribution system with different maximum load current limits (1.5, 2.7, and 4.4 A), assuming a 50- μ F maximum load input capacitance and adjusting the latching time so they can deal with the inrush current needed to charge this capacitance. The main characteristic of the three designed SSCBs is shown in Table I.

USCi's UJC1206K cascode has been selected as the main power semiconductor controlled by the photovoltaic driver Vishay's VOM1271. A SiC JFET cascode has been selected instead of a SiC MOSFET because the ON resistance is lower in devices with similar current and voltage ratings. The UJC1206K (60 m Ω) versus C2M0080120D (80 m Ω) are representative devices, the use of the cascode represents an improvement of 25%

9604

TABLE I
DESIGNED SSCB BASICS CHARACTERISTICS

SSCB	Theoretical Parameters
Solid State Circuit Breaker 1 (SSCB 1)	$I_{lim} = 1.5A$ $R_f=10k\Omega$; $R_3=51k\Omega$; $R_c=51k\Omega$ $R_s=86\Omega$; $R_f=50k\Omega$; $V(Z_1)=10V$ $R_{SHUNT}=0.01\Omega$; $V_{Est}(Q_{1-2})=0.7V$ Latching Time = 22ms $R_f=180k\Omega$; $C_f=47nF$; $V(Z_1)=10V$ $V_{Est}(D_1)=0.7V$; $V_{Est}(Q_1)=0.7V$
	$I_{lim} = 2.7A$ $R_f=10k\Omega$; $R_3=51k\Omega$; $R_c=51k\Omega$ $R_s=147\Omega$; $R_f=50k\Omega$; $V(Z_1)=10V$ $R_{SHUNT}=0.01\Omega$; $V_{Est}(Q_{1-2})=0.7V$ Latching Time = 15ms $R_f=180k\Omega$; $C_f=33nF$; $V(Z_1)=10V$ $V_{Est}(D_1)=0.7V$; $V_{Est}(Q_1)=0.7V$
	$I_{lim} = 4.4A$ $R_f=10k\Omega$; $R_3=51k\Omega$; $R_c=51k\Omega$ $R_s=240\Omega$; $R_f=50k\Omega$; $V(Z_1)=10V$ $R_{SHUNT}=0.01\Omega$; $V_{Est}(Q_{1-2})=0.7V$ Latching Time = 10ms $R_f=180k\Omega$; $C_f=22\Omega$; $V(Z_1)=10V$ $V_{Est}(D_1)=0.7V$; $V_{Est}(Q_1)=0.7V$

Bold entities are the starting point for the rest of calculations presented in Table I.

TABLE II
UJC1206K AND VOM1271 MAIN ELECTRICAL
CHARACTERISTICS (DATASHEET)

UJC1206K		VOM1271	
Parameter	Value	Parameter	Value
V_{DS} max	1200V	Typ. Input Current	10mA
I_D max	38A @25°C 24A @100°C	Photo-Cell OC Voltage	8.4V @10mA
R_{DSon} (max)	60mΩ	Photo-Cell SC Current	15μA @10mA
V_{GSth}	4.9V	Isolation Voltage	4500V
Ciss	2214pF		

in conduction losses. Furthermore, SiC cascode behavior under short circuit condition is better than SiC MOSFET [32].

It is worth noting that in case of short circuit failure the cascode selected will operate out of the Safe Operation Area defined in the datasheet, but the aim of this paper is limited to demonstrate the correct behavior of the proposed topology. Other component should be chosen or the latching time/limit current should be reduced for long-term reliability.

Refer to Table II for the most relevant electrical characteristics of the power cascode and the photovoltaic driver. The voltage reference is obtained from a 10 V Zener diode (Z_1). The biasing source J_1-R_3 uses an USCi's UJN1205K JFET and has been adjusted to 10 mA in order to minimize power losses (estimated losses around 3.7 W). R_3 has been set to 51 kΩ, obtaining $I_{BIAS} = 180 \mu A$ and R_{SHUNT} is 10 mΩ. A DM5401 dual matched p-n-p transistor has been selected for Q_{1-1} and Q_{1-2} . The other relevant parts have been varied depending on each particular test (see Table I).

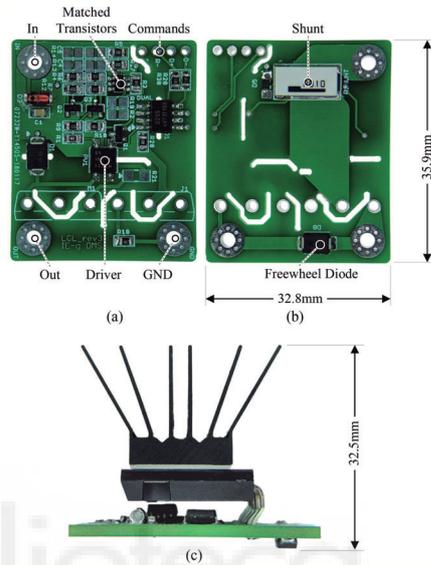


Fig 4. SSCB prototype. (a) Top view without cascode and JFET. (b) Bottom view without cascode and JFET. (c) Lateral view.

The electronic main board of the implemented SSCBs and the final prototype is shown in Fig. 4. A black anodized heatsink is used to reduce the cascode and JFET working temperature.

Regarding the experimental setup, a Keysight N8937A high-voltage, high-power supply units have been used (1500 V; 10 A). The electrical load consists of a power bank of ten resistors (Multicomp, MC14683, 100 Ω, 225 W, and wire-wound). It has 1 kW nominal power capability at 1 kV with 1.95 mH parasitic series inductance (measured). Resistor shunting is possible using MOSFETs and a digital controller to produce step load variations.

A. Test I: Switch on Limiting Inrush Current

In this test, all SSCBs are switched ON in real working conditions. The supply voltage is 380 V, and a 400-Ω load is connected at the output in parallel with a 50 μF capacitor. The SSCB is initially in OFF mode, in $t = 0$ s, the SSCB is changed to ON mode using the reset remote control. After reset, as the load capacity is discharged, the SSCBs run under a short-circuit condition. As shown in Fig. 5, due to the slow dynamics of the M_1 gate charging process, no overshooting of the current is produced. The SSCB reaches its maximum current while charging the load input capacitor. For the conditions analyzed, the necessary time for charging the input capacitor is shorter than $t_{latching}$ (5). Therefore, the SSCB does not change from current limiting mode to OFF mode, remaining in ON mode supplying the load.

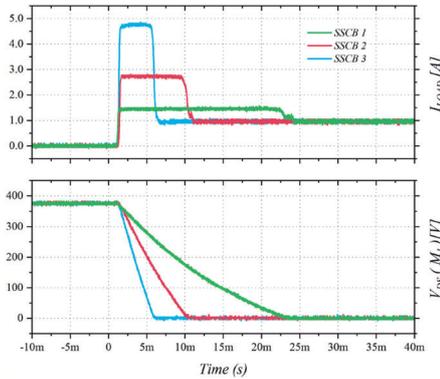


Fig 5. SSCB start limiting inrush current. Start with R - C load ($400\ \Omega$ — $50\ \mu\text{F}$) at 380 V. Upper figure: Load current (I_{LOAD}) (1 A/division). Lower figure: Main cascode drain-source voltage [$V_{DS}(M_1)$] (100 V/division). Time scale: 5 ms/division.

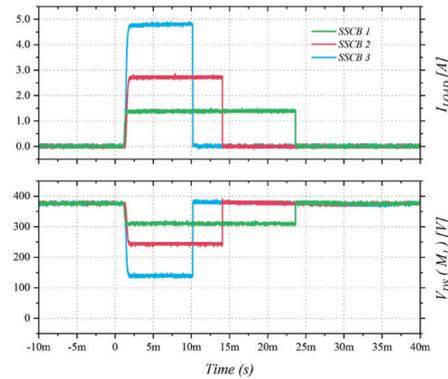


Fig 7. SSCB overload start waveforms. Start with pure resistive load ($50\ \Omega$) at 380 V. Upper figure: Load current (I_{LOAD}) (1 A/division). Lower figure: Main cascode drain-source voltage [$V_{DS}(M_1)$] (100 V/division). Time scale: 5 ms/division.

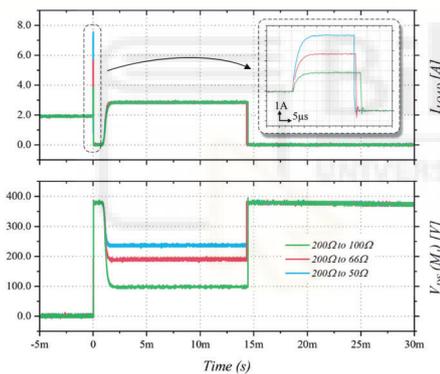


Fig 6. SSCB 2 overload sweep waveforms from $200\ \Omega$ to [100, 66, 50] Ω at 380 V. Upper figure: Load current (I_{LOAD}) (2 A/division). Lower figure: Main cascode drain-source voltage [$V_{DS}(M_1)$] (100 V/division). Time scale: 5 ms/division.

B. Test II: SSCB 2 Overload Sweep

In this test, the SSCB 2 as a representative sample, has been used. Different overload levels have been carried out with a 380 V input voltage. A pure resistive load of $200\ \Omega$ is initially available, and three different step loads (100, 66, and $50\ \Omega$) are performed in order to exceed the maximum current thresholds.

For the conditions analyzed, the necessary time for charging the input capacitor is shorter than $t_{latching}$ (5). Therefore, the SSCB does not change from current limiting mode to OFF mode, remaining in ON mode supplying the load. After that, the SSCB initiates a controlled start-up up to the I_{LIMIT} current (2.75 A). Finally, after the latching time, the SSCB disconnects the load from the source.

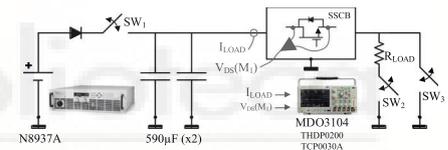


Fig 8. Short circuit test setup.

C. Test III: Overload Start

In this test, the three SSCBs are started under constant overload conditions. The input voltage is 380 V and a pure resistive load of $50\ \Omega$ is available, resulting in a 7.6-A current demand, higher than I_{LIMIT} of each SSCB. As in Test I, the SSCBs are in OFF mode state and are started with the reset command in $t = 0$ s. The results of the tests are shown in Fig. 7. The SSCBs start and immediately operate in current limiting mode providing the maximum current to the load. Finally, the load is disconnected after the latching time.

D. Test IV: Short Circuit Protection

This test validates the SSCB behavior in the worst-case scenario, a short circuit failure. SSCB 2 has been selected as the representative sample for this purpose. A dedicated setup has been designed for this test (see Fig. 8). In order to test the short circuit failure, the sequence is as follows: First of all, two $590\ \mu\text{F}$ capacitors (947D591K132DJRSN—Cornell Dubilier) are charged at 380 V via SW_1 . When the capacitors are charged, SW_1 is switched OFF and the capacitors are connected to the load ($300\ \Omega/1.3\ \text{A}$) through SW_2 . The short circuit is carried out by switching ON SW_3 6 ms later.

Fig. 9 shows the results obtained from nominal operation to the end of the test. The SSCB is able to block the short circuit in 570 ns. In this time, a peak current value of 35 A is reached,

9606

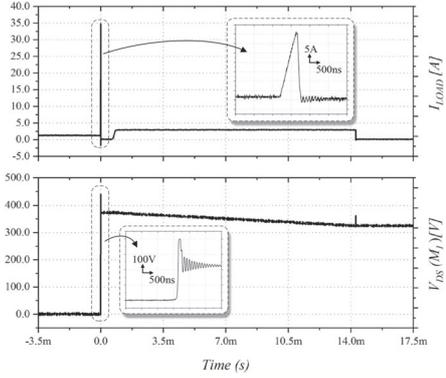


Fig 9. SSCB short circuit test waveforms. 300 Ω to short circuit. Upper figure: Load current (I_{LOAD}) (5 A/division). Lower figure: Main cascode drain-source voltage [$V_{DS}(M_1)$] (100 V/division). Time scale: 3.5 ms/division.

this value is limited by the set-up parasitic inductance (approximately 5 μH). The overvoltage generated in the drain-source voltage of the cascode due to its parasitic source inductance can also be observed. After the current is removed, the SSCB starts in current limiting mode and remains until the latching time ends and the load is fully disconnected, isolating the failure from the main dc bus.

In this test, the cascode turn-OFF time is faster than VOM1271 datasheet specification. In authors' opinion, this is due to the effect of the voltage across the cascode source parasitic inductance on the fast turn-OFF circuit included in the driver.

E. Test V: Remote Reset-Off Control signals

Remote controls have been evaluated using SSCB 2 as the representative sample. Fig. 10 shows the results. The input voltage is 380 V and 200-Ω load is initially available, the load presents an input capacitance of 50 μF.

At $t = 0$ s, a step load to 50 Ω occurs, so the load current exceeds the threshold (2.7 A). After the latching time, the SSCB 2 disconnects the load from the source. At $t = 75$ ms, the overload is removed, but the SSCB remains in OFF mode. At $t = 100$ ms the remote reset control is used and the SSCB is reset to its initial operating condition, carrying out a controlled start-up. At $t = 300$ ms, the remote OFF control is used, then the SSCB immediately blocks the current and remains in OFF mode until the input supply is removed or reset command used.

In addition to all the experimental tests shown, SPICE simulations were also performed. The simulation results exhibit good agreement with experimental measurements. Table III summarizes theoretical, simulation, and measurements results of the latching time and I_{LIMIT} .

F. Test VI: Efficiency and Thermal Analysis

In this test, the SSCB is evaluated from the efficiency and thermal management perspective. SSCB 3 has been chosen as

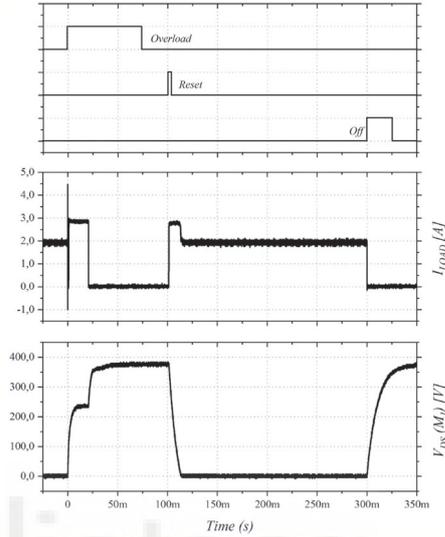


Fig 10. Remote reset-OFF control signals. Upper figure: Control signals. Center figure: Load current (I_{LOAD}) (1 A/division). Lower figure: Cascode drain-source voltage [$V_{DS}(M_1)$] (100 V/division). Time scale: 50 ns/division.

TABLE III
SUMMARIZED THEORETICAL, SIMULATION, AND MEASUREMENT RESULTS

SSCB		I_{Limit}	$t_{latching}$
SSCB 1	Theoretic	1.5A	22ms
	Simulation	1.52A	21.8ms
	Measured	1.45A	22.5ms
SSCB 2	Theoretic	2.7A	15ms
	Simulation	2.64A	14.9 ms
	Measured	2.75A	12.5ms
SSCB 3	Theoretic	4.4A	10ms
	Simulation	4.34A	9.9 ms
	Measured	4.75A	8.75ms

a representative sample due to its higher power range. The tests have been carried out under nominal operating conditions, the input voltage is 380 V for all cases. The theoretical efficiency expression of the SSCB is determined as follows:

$$\eta \approx 1 - \frac{W_{J1} + (I_{LOAD})^2 \cdot R_{DSon}}{P_{IN}} \quad (6)$$

The efficiency of the SSCB as a function of the output power is shown in Fig. 11. For this purpose, with 380 V constant input voltage, a discrete load sweep has been carried out, the efficiency has been measured with a Yokogawa WT1800 precision power analyzer.

The thermal images shown in Fig. 12 are taken with a Fluke Industrial Thermal Imager TI450. The results are from SSCB 3

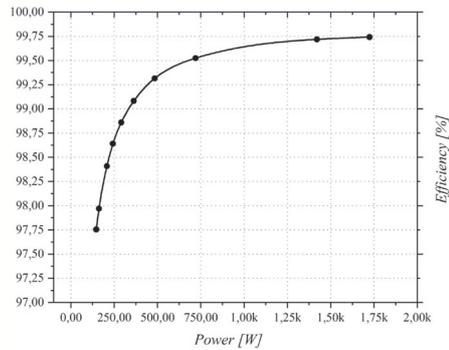


Fig. 11. Efficiency versus power in SSCB 3 with 380 V input supply.

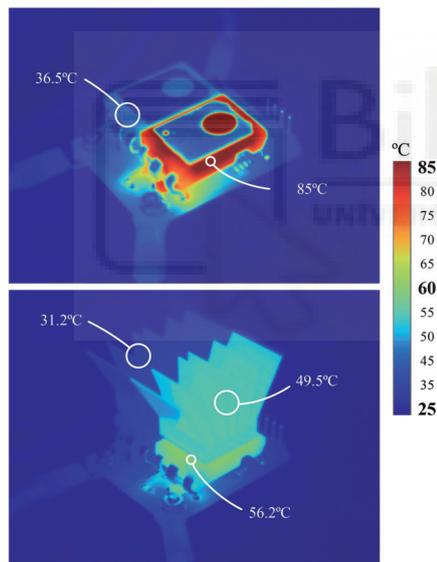


Fig. 12. Real thermal performance in temperature and humidity-controlled conditions (25 °C and 15%). Upper figure: SSCB 3 at 380 V - 100 Ω without heatsink. Lower figure: SSCB 3 at 380 V - 100 Ω with heatsink.

with a 100-Ω load and 380-V supply. The upper image (without heatsink) was carried out after only one minute of operation and the J_1 temperature was still raising. The lower image (with heatsink) was carried out once J_1 was thermally stable. The environmental conditions were controlled in a thermal stabilized chamber at 25 °C and 45% relative humidity.

IV. CONCLUSION

In this paper, a new topology for SSCBs is presented. The proposed SSCB is able to limit inrush currents, disconnect faulty loads and also allows remote control to reset the SSCB after a fault has been removed or to switch it ON or OFF for safely connection and disconnection of the loads. The SSCB is self-powered and fully implemented with discrete parts. A SiC JFET cascode has been selected instead of a MOSFET because the ON resistance is lower in devices with similar current and voltage ratings.

Three prototypes for 380 V dc data center applications have been tested, demonstrating the good behavior of the proposed SSCB. The presented design can be extrapolated to other voltage/current levels for other applications.

REFERENCES

- [1] T. Dragičević, X. Lu, J. C. Vasquez, and J. M. Guerrero, "DC Microgrids—Part I: A review of control strategies and stabilization techniques," *IEEE Trans. Power Electron.*, vol. 31, no. 7, pp. 4876–4891, Jul. 2016.
- [2] T. Dragičević, X. Lu, J. C. Vasquez, and J. M. Guerrero, "DC Microgrids—Part II: A review of power architectures, applications, and standardization issues," *IEEE Trans. Power Electron.*, vol. 31, no. 5, pp. 3528–3549, May 2016.
- [3] A. Maqsood and K. Corzine, "DC microgrid protection: Using the coupled-inductor solid-state circuit breaker," *IEEE Electric. Mag.*, vol. 4, no. 2, pp. 58–64, Jun. 2016.
- [4] D. E. Geary, D. P. Mohr, D. Owen, M. Salato, and B. J. Sonnenberg, "380V DC eco-system development: Present status and future challenges," in *Proc. 35th Int. Telecommun. Energy Conf., SMART Power and Efficiency*, Hamburg, Germany, 2013, pp. 1–6.
- [5] M. H. Ryu, H. S. Kim, J. W. Baek, H. G. Kim, and J. H. Jung, "Effective test bed of 380-V DC distribution system using isolated power converters," *IEEE Trans. Ind. Electron.*, vol. 62, no. 7, pp. 4525–4536, Jul. 2015.
- [6] J. Hayes, K. George, P. Killeen, B. McPherson, K. J. Olejniczak, and T. R. McNutt, "Bidirectional, SiC module-based solid-state circuit breakers for 270 Vdc MEA/AEA systems," in *Proc. IEEE 4th Workshop on Wide Bandgap Power Devices and Appl.*, Fayetteville, AR, USA, 2016, pp. 70–77.
- [7] P. Cairoli and R. A. Dougal, "Fault detection and isolation in medium voltage DC microgrids: Coordination between supply power converters and bus contactors," *IEEE Trans. Power Electron.*, vol. 33, no. 5, pp. 4535–4546, May 2018.
- [8] B. R. Shrestha, T. M. Hansen, and R. Tonkoski, "Reliability analysis of 380V DC distribution in data centers," in *Proc. IEEE Power Energy Soc. Innovative Smart Grid Technol. Conf.*, Minneapolis, MN, USA, 2016, pp. 1–5.
- [9] M. Salato, A. Zolj, D. J. Becker, and B. J. Sonnenberg, "Power system architectures for 380V DC distribution in telecom datacenters," in *Proc. Int. Telecommun. Energy Conf.*, Scottsdale, AZ, USA, 2012, pp. 1–7.
- [10] C. Wang and P. Jain, "A quantitative comparison and evaluation of 48V DC and 380V DC distribution systems for datacenters," in *Proc. IEEE 36th Int. Telecommun. Energy Conf.*, Vancouver, BC, Canada, 2014, pp. 1–7.
- [11] K. Tan, X. Song, C. Peng, P. Liu, and A. Q. Huang, "Hierarchical protection architecture for 380V DC data center application," in *Proc. IEEE Energy Convers. Congr. Expo.*, Milwaukee, WI, USA, 2016, pp. 1–8.
- [12] Z. J. Shen, Z. Miao, and A. M. Roshandeh, "Solid state circuit breakers for DC microgrids: Current status and future trends," in *Proc. IEEE First Int. Conf. DC Microgrids*, Atlanta, GA, USA, 2015, pp. 228–233.
- [13] J. Niewind *et al.*, "Operation and protection of 380V DC distribution systems," in *Proc. IEEE Manchester PowerTech*, Manchester, UK, 2017, pp. 1–6.
- [14] K. Tan, A. Q. Huang, and A. Martin, "Development of solid state arc-free socket for DC distribution system," in *Proc. IEEE Appl. Power Electron. Conf. Expo.*, Fort Worth, TX, USA, 2014, pp. 2300–2305.
- [15] K. Tan, C. Peng, P. Liu, X. Song, and A. Q. Huang, "Zero standby power high efficiency hot plugging outlet for 380Vdc power delivery system," in *Proc. IEEE Appl. Power Electron. Conf. Expo.*, Long Beach, CA, USA, 2016, pp. 132–137.

9608

- [16] Z. Miao, G. Sabui, A. Moradkhani Roshandeh, and Z. J. Shen, "Design and analysis of DC solid-state circuit breakers using SiC JFETs," *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 4, no. 3, pp. 863–873, Sep. 2016.
- [17] D. P. Urciuoli, D. Ibitayo, G. Koebke, G. Ovrebø, and R. Green, "A compact 100-A, 850-V, silicon carbide solid-state DC circuit breaker," in *Proc. IEEE Energy Convers. Congr. Expo.*, Milwaukee, WI, USA, 2016, pp. 1–5.
- [18] M. Komatsu, "Approach and basic evaluation for the DC circuit breaker with fault current limiting feature," in *Proc. IEEE Int. Telecommun. Energy Conf.*, Austin, TX, USA, 2016, pp. 1–5.
- [19] A. Shukla and G. D. Demetriades, "A survey on hybrid circuit-breaker topologies," *IEEE Trans. Power Del.*, vol. 30, no. 2, pp. 627–641, Apr. 2015.
- [20] D. Keshavarzi, E. Farjah, and T. Ghanbari, "Hybrid DC circuit breaker and fault current limiter with optional interruption capability," *IEEE Trans. Power Electron.*, vol. 33, no. 3, pp. 2330–2338, Mar. 2018.
- [21] D. Bösche, E. D. Wilkening, H. Köpf, and M. Kurrat, "Hybrid DC circuit breaker feasibility study," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 7, no. 3, pp. 354–362, Mar. 2017.
- [22] X. Pei, O. Cwikowski, D. S. Vilchis-Rodríguez, M. Barnes, A. C. Smith, and R. Shuttleworth, "A review of technologies for MVdc circuit breakers," in *Proc. 42nd Annu. Conf. IEEE Ind. Electron. Soc.*, Florence, Italy, 2016, pp. 3799–3805.
- [23] A. Mokhberdoran *et al.*, "Design and implementation of fast current releasing DC circuit breaker" *Electric Power Syst. Res.*, vol. 151, pp. 218–232, Oct. 2017.
- [24] K. Tan, P. Liu, X. Ni, C. Peng, X. Song, and A. Q. Huang, "Performance evaluation of multiple Si and SiC solid state devices for circuit breaker application in 380Vdc delivery system," in *Proc. IEEE Appl. Power Electron. Conf. Expo.*, Long Beach, CA, USA, 2016, pp. 983–989.
- [25] L. Zhang, K. Tan, X. Song, and A. Q. Huang, "Comparative study on the turn-off capability of multiple Si and SiC power devices," in *Proc. IEEE 5th Workshop Wide Bandgap Power Devices Appl.*, Albuquerque, NM, USA, 2017, pp. 295–299.
- [26] Y. Ren *et al.*, "A compact gate control and voltage-balancing circuit for series-connected SiC MOSFETs and its application in a DC breaker," *IEEE Trans. Ind. Electron.*, vol. 64, no. 10, pp. 8299–8309, Oct. 2017.
- [27] Z. Miao, G. Sabui, A. Moradkhani, J. Wang, Z. Shuai, and X. Yin, "A self-powered bidirectional DC solid state circuit breaker using two normally-on SiC JFETs," in *Proc. IEEE Energy Convers. Congr. Expo.*, Montreal, QC, Canada, 2015, pp. 4119–4124.
- [28] Z. Chen *et al.*, "Analysis and experiments for IGBT, IEGT, and IGCT in hybrid DC circuit breaker," *IEEE Trans. Ind. Electron.*, vol. 65, no. 4, pp. 2883–2892, Apr. 2018.
- [29] Y. Zhang and Y. C. Liang, "Over-current protection scheme for SiC power MOSFET DC circuit breaker," in *Proc. IEEE Energy Convers. Congr. Expo.*, Pittsburgh, PA, USA, 2014, pp. 1967–1971.
- [30] Y. Sato, Y. Tanaka, A. Fukui, M. Yamasaki, and H. Ohashi, "SiC-SIT circuit breakers with controllable interruption voltage for 400-V DC distribution systems," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2597–2605, May 2014.
- [31] Z. J. Shen, G. Sabui, Z. Miao, and Z. Shuai, "Wide-bandgap solid-state circuit breakers for DC power systems: Device and circuit considerations," *IEEE Trans. Electron Devices*, vol. 62, no. 2, pp. 294–300, Feb. 2015.
- [32] X. Huang, G. Wang, Y. Li, A. Q. Huang, and B. J. Baliga, "Short-circuit capability of 1200V SiC MOSFET and JFET for fault protection," in *Proc. 28th Annu. IEEE Appl. Power Electron. Conf. Expo.*, Long Beach, CA, USA, 2013, pp. 197–200.



David Marroquí was born in Elche, Spain, in 1990. He received the M.Sc. degree in industrial engineering from the Miguel Hernández University of Elche, Elche, Spain, in 2015.

He is currently an Assistant Professor with the Department of Materials Science, Optics, and Electronics Technology, Miguel Hernández University of Elche. He spent four-month research period at the Center of Reliable Power Electronics in Aalborg University, Denmark, in 2018. His research interests include space power systems and industrial electronics, and electronics reliability.



José Manuel Blanes was born in Elche, Spain, in 1974. He received the M.Sc. degree in telecommunication engineering from the Polytechnic University Valencia, Valencia, Spain, in 1998 and the Ph.D. degree in industrial technologies from the University Miguel Hernández of Elche, Elche, Spain, in 2011.

He is currently an Associate Professor in electronics technology with Miguel Hernandez University of Elche. His research interests include space power systems and industrial electronics.



Ausiàs Garrigós (M'04–SM'16) was born in Xixona, Spain, in 1976. He received the M.Sc. degree in electronic engineering from the University of Valencia, Valencia, Spain, in 2000, and the Ph.D. degree from Miguel Hernandez University of Elche (UMH), Elche, Spain, in 2007.

He is currently an Associate Professor with the Department of Electronics Technology, UMH, and he spent research periods at CERN, Switzerland, from 2002 to 2004, ESA, the Netherlands, 2008 and University of Strathclyde, U.K., 2015. He participated in

more than 20 research and technology transfer projects and coauthored around 80 international publications, most of them related to power electronics. His current research interests include space power electronics and their ancillary electronic systems.



Roberto Gutiérrez was born in Orihuela, Spain, in 1977. He received the M.Sc. degree in telecommunication engineering, in 2003, and the Ph.D. degree in electronic engineering, in 2011, both from the Universidad Politécnica de Valencia, Valencia, Spain.

He is an Assistant Professor with the Department of Communication Engineering, Universidad Miguel Hernandez, Elche, Spain, since 2003. His current research interests include the design of Field-Programmable Gate Array-based systems, computer arithmetic, Very-Large-Scale Integration signal processing, and digital communications.

5.3 Análisis del trabajo

En este punto se realiza un análisis a posteriori del segundo artículo que compone la presente tesis doctoral [100].

5.3.1 Motivación

La principal motivación del trabajo consiste en la concepción, desarrollo y validación de un sistema de protección y control para ser utilizado en *Data Centers*.

En la actualidad los *Data Centers* suponen un consumo próximo al 3% de la producción energética total a nivel global, por ello, y con el objetivo de optimizar el consumo energético de estos sistemas, se han propuesto alternativas de distribución a 380V en DC.

El uso de protecciones electromecánicas para esta aplicación está condicionado por los siguientes factores.

1. **Presencia de arco eléctrico durante la fase de desconexión** de cargas debido a la inexistencia de cruce por cero de la tensión.
2. **Elevado tiempo de respuesta** de los sistemas mecánicos que conlleva elevada corriente de falla, comprometiendo así la integridad de la red DC.
3. **Falta de capacidad de limitación de corriente** de este tipo de sistemas. La naturaleza de las cargas DC incluye grandes capacidades que deben ser cargadas de forma “suave” en una fase de conexión en caliente.

Para el desarrollo de estos sistemas se ha considerado la utilización de semiconductores SiC, debido a sus bondades en condiciones de elevada temperatura, alcanzada abruptamente durante las fases de limitación de corriente que se deben llevar a cabo para la conexión de cargas capacitivas en caliente, así como su capacidad de funcionar en rangos de tensión elevados.

Estas son las motivaciones que dan por objetivo la generación de tecnología que permita dar solución a los problemas descritos.

el valor de temporización. Los tiempos de respuesta del circuito pueden no corresponder con las respuestas experimentales, como será detallado a continuación.

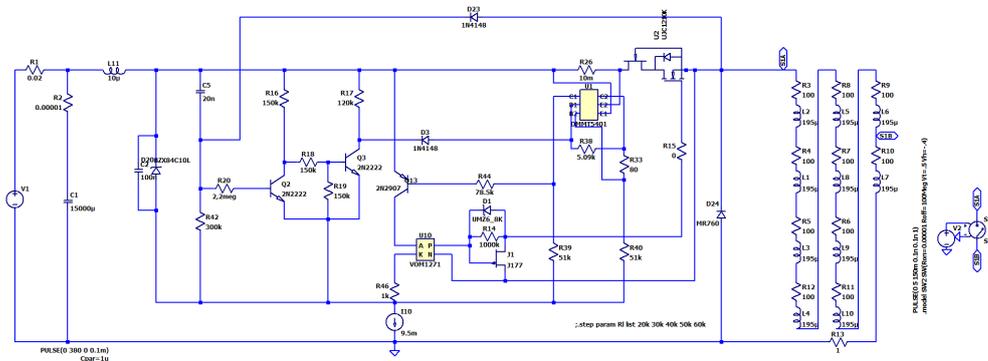


Figura 67. Esquema de simulación LTSpice para la validación del comportamiento de la protección [100].

La capacidad de ajuste de tiempo de limitación en función de la variación de la red de temporización RC (C5 – R42) se muestra en la [figura 68](#), donde se dispone de un límite de corriente de aproximadamente 2.2A. Un comportamiento similar se obtiene de la variación de la capacidad C5 ([figura 67](#)). Según [100], la constante de tiempo viene determinada por el producto de ambos valores.

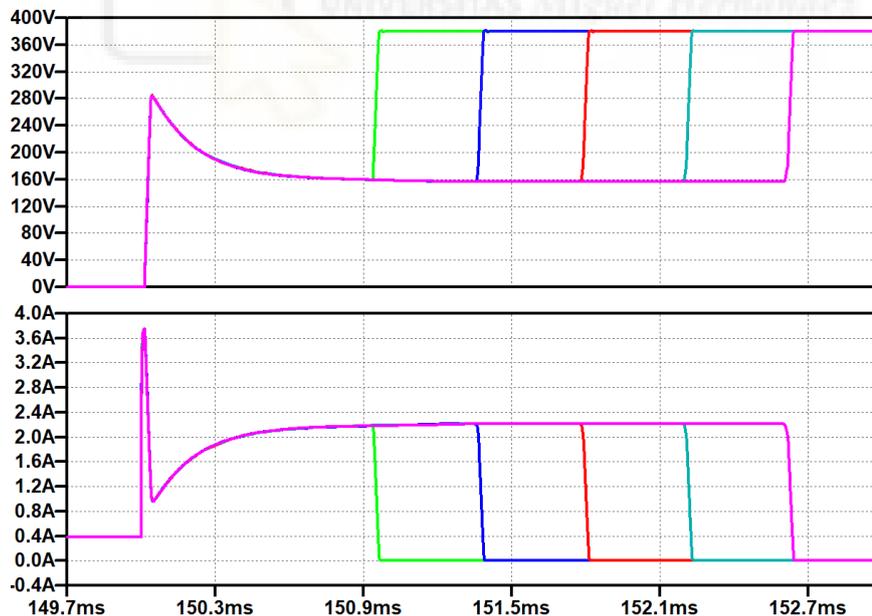


Figura 68. Capacidad de ajuste en simulación de las temporizaciones en la protección frente a un salto de carga de 1000Ω hasta 100Ω [100]. Figura superior V_{DS} [V]. Figura inferior I_S [A]. Se representa barrido de R42 [20, 30, 40, 50, 60]kΩ, en orden creciente: verde, azul, rojo, cian, rosa.

La variación de los valores de limitación de corriente se ha realizado por medio de la modificación de la resistencia R33 (figura 67). Como se observa en la figura 69, es posible conseguir un ajuste del valor de limitación mediante el ajuste de R33.

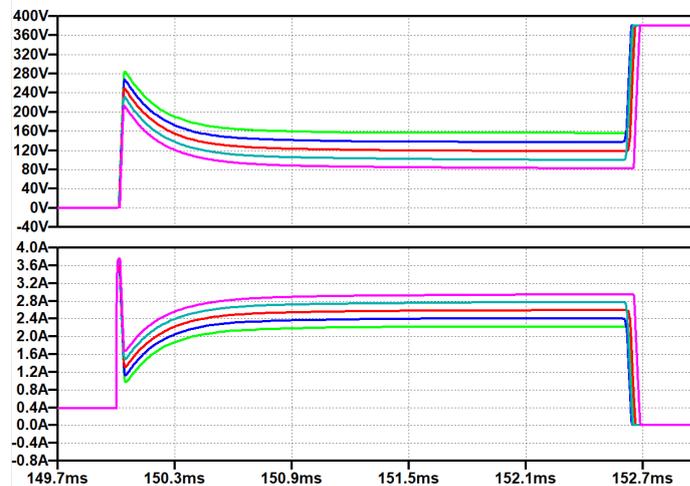


Figura 69. Capacidad de ajuste en simulación del valor de limitación de corriente frente a un salto de carga de 1000Ω hasta 100Ω [100]. Figura superior V_{DS} [V]. Figura inferior I_S [A]. Se representa barrido de valores de R33 [80, 90 100, 110, 120] Ω , en orden creciente: verde, azul, rojo, cian, rosa.

Por último, a pesar de no disponer del modelo de simulación del VOM1271, se ha verificado por medio de la modificación de la resistencia de puerta del transistor principal, R15 (figura 67) que es posible modificar el comportamiento del apagado y encendido obteniendo diferentes tiempos de respuesta. Véase figura 70.

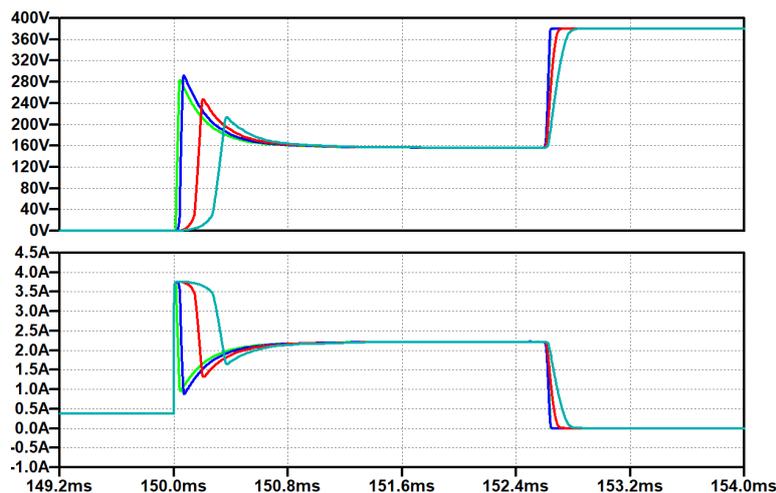


Figura 70. Capacidad de ajuste en simulación de la respuesta de la protección frente a un salto de carga de 1000Ω hasta 100Ω [100]. Figura superior V_{DS} [V]. Figura inferior I_S [A]. Se representa barrido de valores de R15 [1, 1000, 10000, 100000] Ω , en orden creciente: verde, azul, rojo, cian.

Por medio de estos parámetros ajustes, en [100] se presentan tres dispositivos preajustados y se validan frente a diferentes condiciones. Cabe destacar que previamente al prototipo presentado en [100], se implementó otro prototipo de mayores dimensiones para facilitar su manipulación en el entorno de laboratorio. Una imagen de este prototipo se muestra en la [figura 71](#).



Figura 71. Prototipo preliminar de los sistemas de protección desarrollados.

Para su validación experimental final, se realizó un prototipo de dimensiones reducidas. La [Figura 72](#) muestra varias vistas del prototipo. Los diseños de las tarjetas electrónicas junto con el esquemático en detalle se encuentra en el anexo I ([esquemas electrónicos de la protección de 380v](#))

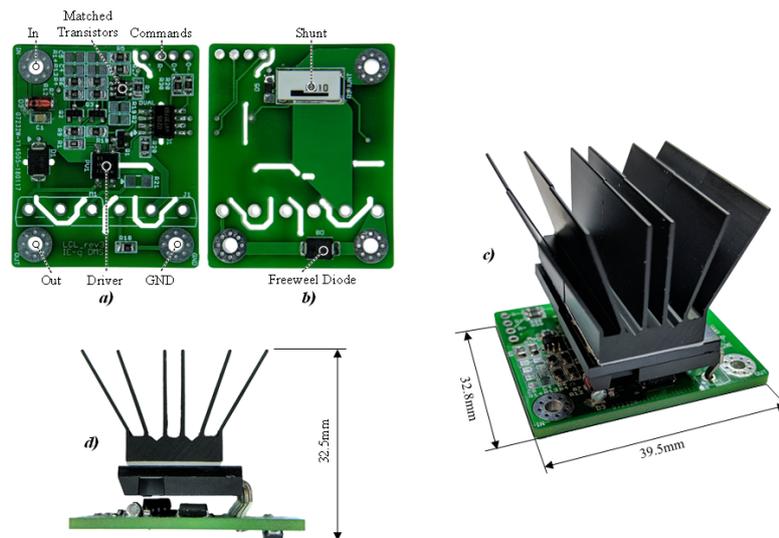


Figura 72. Vistas del prototipo implementado en [100]. a) Vista superior sin transistores soldados. b) Vista inferior sin transistores soldados c) Vista en perspectiva d) Vista lateral.

Adicionalmente, se ha realizado una envolvente plástica para poder ser instalada de forma segura. La envolvente –diseñada con Autodesk Inventor– se muestra en la [Figura 73](#). Finalmente, por medio de impresión 3D se realizó la envolvente en PVC. El resultado se muestra en la [Figura 74](#).

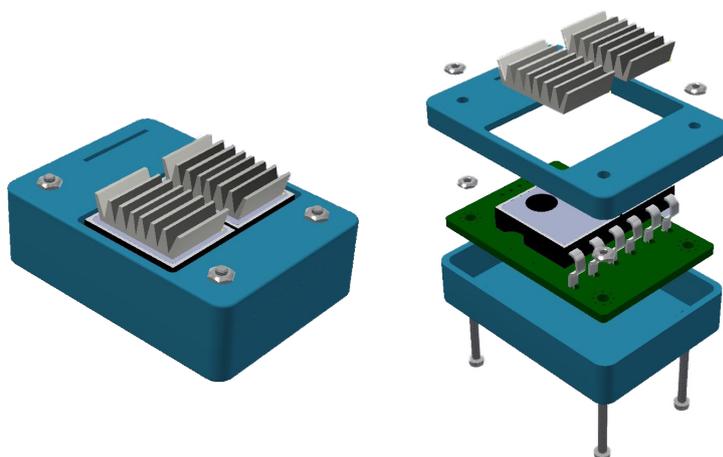


Figura 73. Vistas de la envolvente de la protección plástica desarrollada. Izquierda: Ensamblaje cerrado. Derecha: Explosión del ensamblaje



Figura 74. Explosión del prototipo implementado junto con la envolvente plástica –impresión 3D en PVC–

Según se describe en [100], el dispositivo de protección, en el caso de funcionamiento ante cortocircuito, proporciona los tiempos de respuesta más rápidos encontrados en la literatura –570ns–. Teniendo en cuenta que la protección se ha realizado por medio de un dispositivo VOM1271, que según su ficha técnica [103] proporciona tiempos de apagado de unos 24 μ s para unas condiciones como las mostradas en la [figura 75](#), se presentan a continuación diversas posibles razones de ello.

Este hecho puede ser explicado como una combinación de diversos factores. Cabe destacar, que este comportamiento así como las razones que dan lugar a él son totalmente análogas en el trabajo presentado en el siguiente capítulo.

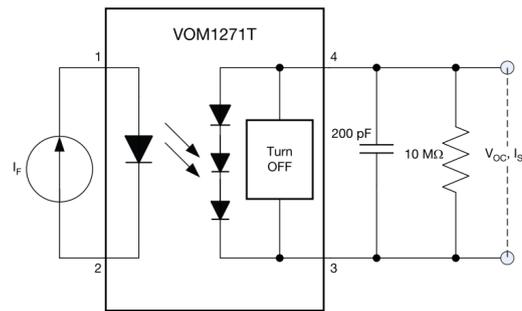


Figura 75. Configuración típica del VOM1271 [103].

De los resultados del trabajo [100] se pueden determinar dos tipos de respuesta diferentes de la protección. La primera de ellas, representada en la [figura 76](#), permite observar –en la zona ampliada– como los tiempos de respuesta de la protección se reducen de forma sutil, variando entre los $30\mu\text{s}$ y $25\mu\text{s}$, a medida que se incrementa la magnitud del salto de carga. Este fenómeno –que será analizado y detallado con mayor profundidad en el siguiente trabajo [104]– se explica debido al cambio de la tensión de *Plateau* (V_{gp}) como función de la corriente que circula por su canal. Este fenómeno está descrito en la literatura [105] y se describe según la expresión (5). Donde V_{th} representa la tensión umbral del transistor de potencia, I_s la corriente del surtidor y g_{fs} la transconductancia del transistor de potencia.

$$V_{gp} = V_{th} + \frac{I_s}{g_{fs}} \quad (5)$$

Este fenómeno supone una ventaja importante para esta aplicación concreta, ya que el aumento de V_{gp} supone un decremento del tiempo necesario para apagar el transistor y por lo tanto, menor tiempo de respuesta de la protección ante fallas que impliquen mayor corriente.

El segundo factor que supone un impacto a la reducción en los tiempos de apagado del VOM1271 se debe al efecto la inductancia del surtidor del transistor sobre el circuito de descarga rápida del VOM1271. Si bien no es conocido, en base a las propuestas del fabricante en [102], cabría esperar que el circuito de descarga rápida, fuera similar al mostrado en la [figura 77](#), donde se han incluido para una mejor comprensión un transistor (T) y su inductancia de surtidor (L_s).

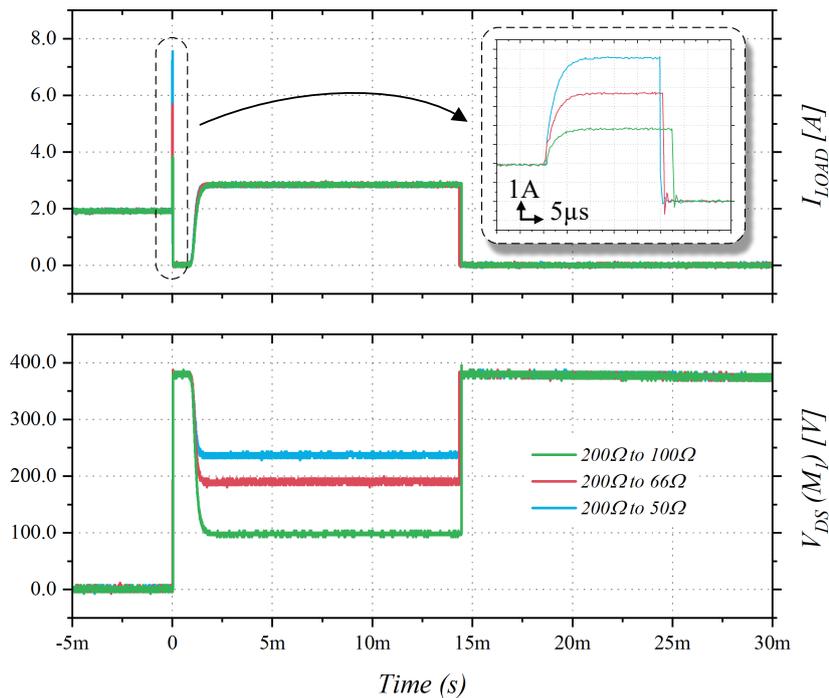


Figura 76. Test de diferentes saltos de carga desde 200Ω hasta $[100, 66, 50]\Omega$ a $380kV$ [100].

En base a este circuito, se puede realizar una simplificación del estado de apagado del VOM1271 y suponer que el tiempo de apagado del transistor viene determinada por la expresión (6), donde R_{eq} representa la resistencia equivalente en estado de apagado del VOM1271, y V_{drv} la tensión de encendido del VOM1271.

$$Tiempo\ de\ apagado = R_{eq} \cdot C_{ISS} \cdot \ln \frac{V_{drv}}{V_{gp}} \quad (6)$$

Por otro lado, el valor de R_{eq} está definido por el estado de encendido del FET tipo P integrado dentro del circuito de descarga, y por lo tanto, según la configuración propuesta en la [figura 77](#), una mayor tensión drenador-surtidor del mismo repercutiría en un mejor encendido del mismo. Teniendo en cuenta, además, la presencia del L_s , puede definirse la tensión drenador surtidor del FET-P del circuito de descarga rápida según.

La expresión (7) indica que una mayor di/dt una mayor $V_{DS}(FET-P)$ y según (6), un menor tiempo de apagado.

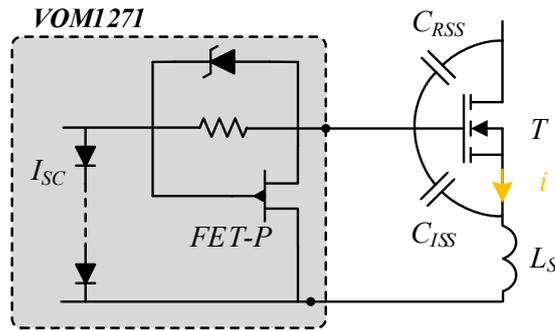


Figura 77. Esquema de descarga rápida esperado del VOM1271 junto con un transistor y su inductancia de surtidor.

$$V_{DS}(FET - P) = V_{GS}(T) + L_S \cdot di/dt \quad (7)$$

Para verificar esta hipótesis, en primer lugar, se ha realizado una simulación en la que de forma discreta, se ha implementado un circuito que modela con diodos la salida del VOM1271 y se ha incluido una inductancia de surtidor al transistor empleado. El esquema de simulación LTSpice se muestra en la [figura 78](#).

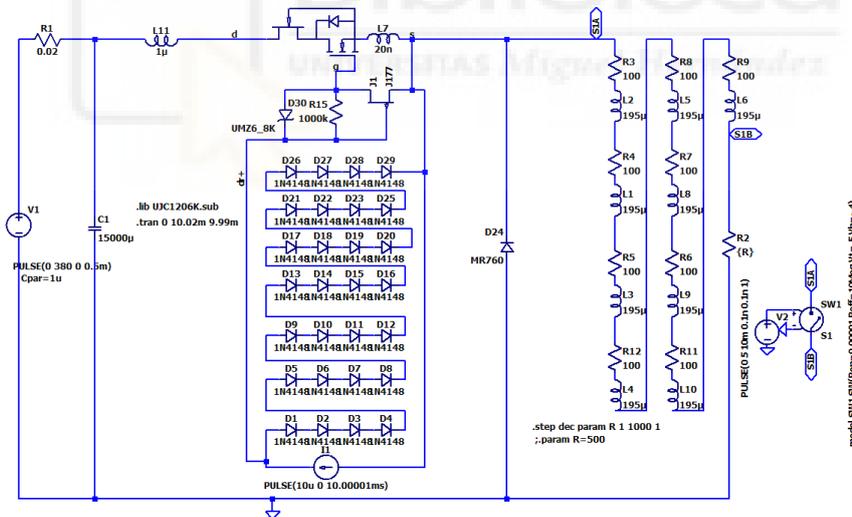


Figura 78. Esquema de simulación LTSpice implementado para validar la disminución del tiempo de apagado debido a los efectos de L_S en el VOM1271.

Los resultados de la simulación ante un barrido de sobrecargas, mostrados en la [figura 79](#), muestran como el efecto en la velocidad de apagado del circuito es muy relevante, obteniendo tiempos de respuesta comprendidos entre $11\mu s$ y $1.5\mu s$ –muy próximos a los tiempos experimentalmente obtenidos–. Se puede observar como en el caso de las sobrecargas próximas al cortocircuito se alcanzan tensiones en el FET-P del circuito de

descarga del VOM1271 cercanas a los 20V. El efecto de esta sobretensión se traduce en una descarga de la capacidad a corrientes mayores. La [figura 80](#) representa, de forma simplificada, en aras de mejorar la lectura, únicamente el mayor y menor nivel de falla de la [figura 79](#). Se puede apreciar como para una sobrecorriente debida a una falla próxima al cortocircuito – 1Ω – se alcanzan corrientes de descarga del condensador próximas a los 30mA, mientras que para el caso de una sobrecorriente moderada – $1k\Omega$ – las corrientes de descarga son próximas a los 3mA.

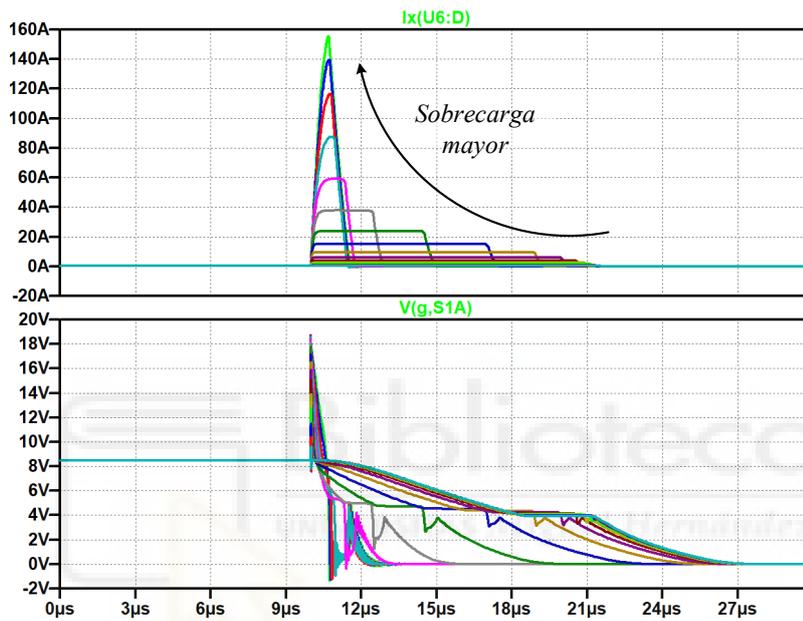


Figura 79. Efecto de la inductancia de surtidor en el circuito de descarga rápida del VOM1271. Barrido de sobrecarga [1000, ..., 1] Ω . Gráfica superior: Corriente de drenador del transistor. Gráfica inferior: V_{GS} del transistor contemplando L_S .

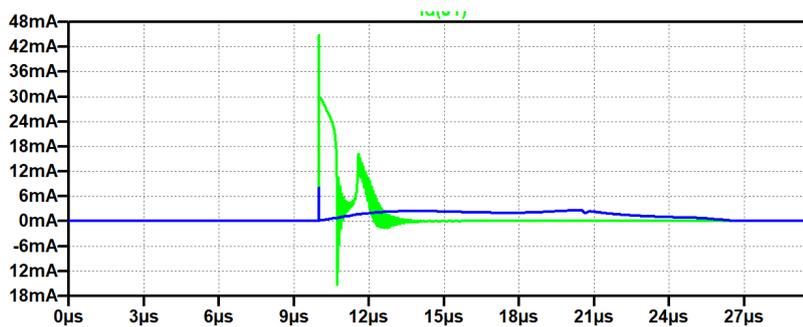


Figura 80. Efecto de la inductancia de surtidor en el circuito de descarga rápida del VOM1271. Dos niveles de sobrecarga en verde sobrecarga de 1000 Ω y en azul 1 Ω . Se muestra corriente por el circuito de descarga.

Adicionalmente, para verificar los fenómenos mencionados, se realizaron algunas pruebas. Un esquema del banco de test implementado se muestra en la [figura 81](#). Se alimenta

la carga resistiva R, y en un determinado momento, de forma simultánea, se elimina la corriente por primario del VOM1271 y se realiza una falla por medio de la *Rama de Falla*.

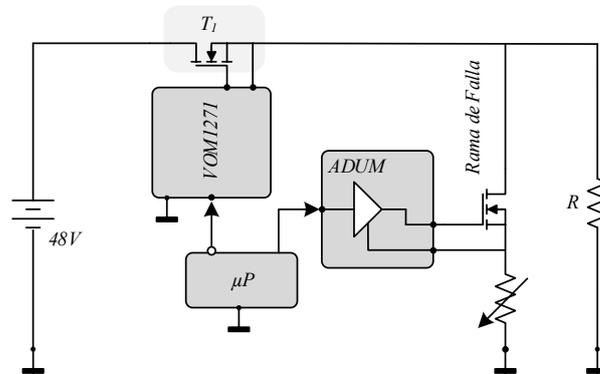


Figura 81. Esquema para la validación

Los resultados muestran que efectivamente, a una mayor corriente de falla, corresponden tiempos de reacción del VOM1271 menores. Se puede observar en [figura 82](#), [figura 83](#) y [figura 84](#). Donde se realizan saltos de carga desde 1A hasta [2, 5, 20]A respectivamente. Se puede comprobar como los tiempos de respuesta se reducen [18, 10.2, 4.8] μ s respectivamente.

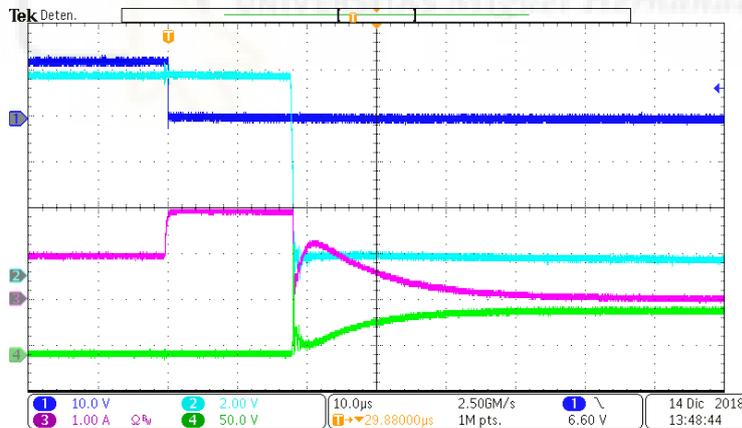


Figura 82. Test de respuesta del VOM1271 desde 1A hasta 2A. Ch1: Corriente primario VOM1271. Ch2: V_{GS} (T_1). Ch3: I_S (T_1) Ch4: V_{DS} (T_1)

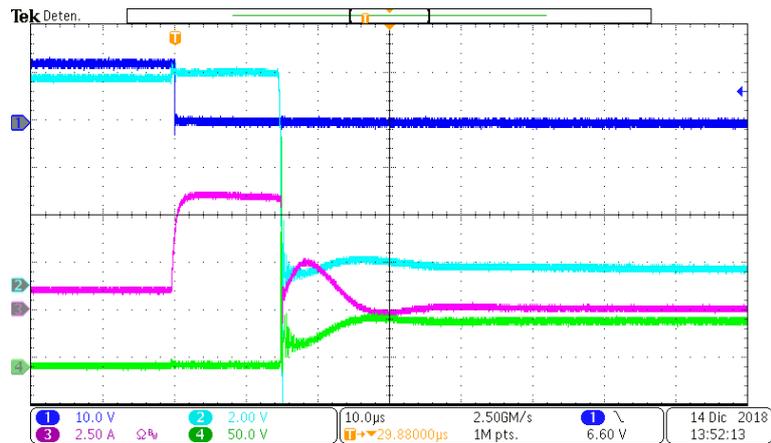


Figura 83. Test de respuesta del VOM1271 desde 1A hasta 5A. Ch1: Corriente primario VOM1271. Ch2: V_{GS} (T_1). Ch3: I_S (T_1) Ch4: V_{DS} (T_1)

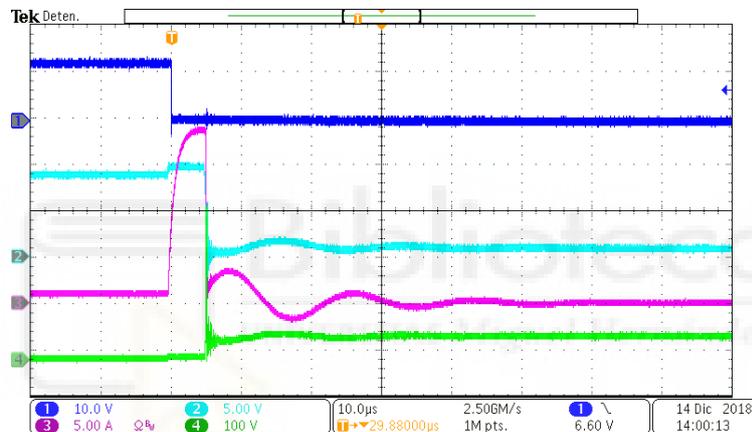


Figura 84. Test de respuesta del VOM1271 desde 1A hasta 20A. Ch1: Corriente primario VOM1271. Ch2: V_{GS} (T_1). Ch3: I_S (T_1) Ch4: V_{DS} (T_1)

Los efectos de L_S sobre el circuito de apagado rápido del VOM1271, junto con (5), puede dar lugar a una situación en la que se produzca el apagado del transistor con un tiempo de respuesta menor al especificado en la hoja de características del VOM1271 [103]. Este efecto se aprecia en la [figura 85](#), donde muestra que el circuito de descarga rápida del VOM1271 actúa antes de que se elimine la corriente que lo alimenta.

Los resultados permiten considerar ciertas las hipótesis que justifican que los tiempos de respuesta obtenidos sean inferiores a los especificados en las fichas técnicas del VOM1271.

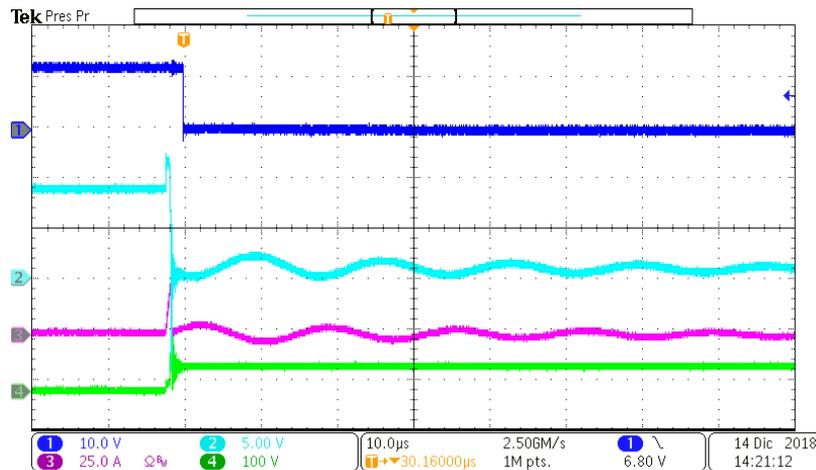


Figura 85. Test de respuesta del VOM1271 desde 1A hasta cortocircuito. Ch1: Corriente primaria VOM1271. Ch2: V_{GS} (T_1). Ch3: I_s (T_1) Ch4: V_{DS} (T_1)

Adicionalmente, se analiza la eficiencia en función de la potencia de salida. Existe un término de pérdidas constante representado por las pérdidas de la fuente de corriente que polariza el sistema (J1, R8 – [figura 66](#)) y un término proporcional a la corriente. Se consiguen eficiencias superiores al 99% cuando la potencia de salida supera los 275W. También se ha comprobado, por medio el uso de una cámara termográfica, que el rango de temperaturas de funcionamiento de la protección esté dentro de los parámetros del fabricante, superando ligeramente los 50°C en el JFET que forma la fuente de corriente (J1, R8 – [figura 66](#)), véase [figura 86](#).

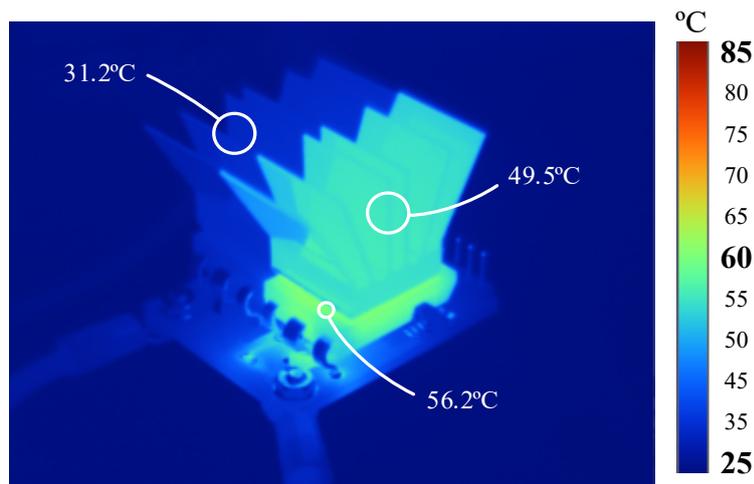


Figura 86. Captura termográfica de la protección con disipador alimentando una carga de $100\Omega @ 380V$.

Finalmente, para toda la validación experimental ha sido necesaria la implementación de un *setup* específico donde poder validar las protecciones de forma segura. El código para la realización de los ensayos se encuentra en [programas de las secuencias de control](#) y la información relacionada con este *setup* se encuentra más adelante en [descripción del *setup* experimental](#).



Capítulo 6

Artículo III: SSCB-LCL para aplicaciones de 1000V

Este capítulo expone y amplía los resultados que componen el tercer artículo de la presente tesis doctoral.

Artículo III - [104] Photovoltaic-driven SiC MOSFET circuit breaker with latching and current limiting capability, *Energies*, D. Marroquí, A. Garrigós, J. M. Blanes, and R. Gutiérrez.



6.1 Resumen

El siguiente trabajo nace como una evolución natural del trabajo previo ([capítulo 5](#)) y de la necesidad de los sistemas a incrementar su tensión a medida que se incrementan las demandas de potencia. El trabajo propone un sistema de protección también *Solid State Circuit Breakers* (SSCB) con capacidad de limitación de corriente capaz de funcionar hasta 1000V en corriente continua. En este caso, la aplicación objetivo se centra en redes DC, en las que, como se ha descrito previamente ([sección 2.1](#)), el incremento de la potencia implica un aumento de tensión. En este escenario, se presentan los mismos problemas que en el trabajo anterior con los siguientes agravantes, mayor variabilidad de carga, aparición de sobrecorrientes en conexiones “en caliente”, baja vida útil de los dispositivos electromecánicos y elevados tiempos de respuesta de los mismos.

En estas condiciones los dispositivos MOSFET SiC son excelentes candidatos para esta aplicación. A diferencia del trabajo previo ([capítulo 5](#)), se requiere el uso de una alimentación auxiliar para la alimentación y polarización del dispositivo. La razón de su uso ha sido incrementar su rendimiento, ya que para alimentar el controlador del MOSFET, se requieren unos pocos mA, que considerando una tensión de drenaje próxima a los 1000V suponen un fuerte impacto la eficiencia y disipación térmica.

Así pues, el trabajo se estructura en siete puntos. En el primer apartado se presenta el marco del trabajo, se expone la problemática del uso de los sistemas tradicionales de protección en las redes DC y se describen las ventajas del uso de los controladores fotovoltaicos para transistores en este tipo de aplicaciones. El segundo bloque analiza en mayor profundidad la protección, que igual que en el caso anterior es completamente analógica y también implementa funciones de control remotas *–OFF y RESET–* que posibilitan el control de la misma de forma aislada. Como se ha mencionado, la naturaleza de las cargas posibles en las redes DC y más concretamente en las *microgrids*, es muy amplia, lo que puede requerir configuraciones *ad hoc*. Estas configuraciones pueden ir desde el funcionamiento en modalidad *circuit breaker*, es decir sin limitación de corriente hasta el funcionamiento con tiempos de respuesta lentos y tiempos de limitación elevados. Por ello, con el objetivo de disponer de las expresiones de diseño de cada uno de los tiempos y fases, se realiza un análisis pormenorizado de los distintos intervalos y se detallan sus ecuaciones de diseño.

Fruto de las expresiones de diseño obtenidas, y dada una implementación concreta es posible realizar diferentes configuraciones de la protección por medio del ajuste de tres únicos elementos. En el tercer bloque se presentan tres de las configuraciones más interesantes: *Slow Turn Off with current limitation*, *Fast Turn Off with current limitation*, y *Circuit Breaker*.

En la validación experimental, en el bloque cuarto, se describe el banco de trabajo donde se han realizado las pruebas y el instrumental de medida. En este bloque se hace referencia al MOSFET SiC utilizado, el C2M0080120D de Wolfspeed (CREE). Dada la elevada cantidad de energía que el dispositivo maneja durante el proceso de protección, en este bloque se presenta un análisis de la fiabilidad del dispositivo en las condiciones de funcionamiento más críticas permanencia en fase de limitación de corriente y protección frente a cortocircuito. Para la primera condición, se debe atender a las especificaciones del fabricante del dispositivo y ajustar la capacidad máxima de limitación a los tiempos marcados por la *Safe Operative Area* (SOA). Por su parte, para conocer la capacidad del C2M0080120D de soportar cortocircuitos a 1000V, se han realizado ensayos de cortocircuito repetitivo en las instalaciones del *Center of Reliable Power Electronics* (CORPE) de la universidad de *Aalborg*. Los resultados revelan que el MOSFET no sufre degradaciones importantes tras un test de doscientos cortocircuitos de 1.5 μ s de duración a 1000V, por ello, asumiendo que los tiempos de respuesta de la protección son inferiores a los 1.5 μ s y que gracias al uso de un diodo de libre circulación se minimizan los efectos de sobretensión en el transistor principal, se concluye que el uso del dispositivo es adecuado.

El siguiente bloque describe la protección implementada, destacando las dimensiones muy contenidas del prototipo gracias al diseño completamente analógico con pocos componentes. Se han llevado a cabo ocho pruebas diferentes para su validación.

Para finalizar, el trabajo cierra con el séptimo bloque exponiendo las conclusiones de los resultados obtenidos y referencias.

6.2 Artículo



Article

Photovoltaic-Driven SiC MOSFET Circuit Breaker with Latching and Current Limiting Capability

David Marroqui ^{*}, Ausias Garrigos, Jose M. Blanes and Roberto Gutierrez

Industrial Electronic Group, Miguel Hernandez University of Elche, 03202 Elche, Spain; augarsir@umh.es (A.G.); jmblanes@umh.es (J.M.B.); roberto.gutierrez@umh.es (R.G.)

* Correspondence: dmarroqui@umh.es

Received: 30 October 2019; Accepted: 29 November 2019; Published: 2 December 2019



Abstract: This paper introduces a Solid State Circuit Breaker with Latching and Current Limiting capabilities for DC distribution systems. The proposed circuit uses very few electronic parts and it is fully analog. A SiC N-MOSFET driven by a photovoltaic driver and a maximum current detector circuit are the core elements of the system. This work details circuit operation under different conditions and includes experimental validation at 1 kVdc. Wide versatility, highly configurable, and very fast response, less than 1 μs in the case of short-circuit, are the most remarkable outcomes.

Keywords: Solid State Circuit Breaker (SSCB); fault current limiter; DC power distribution; WBG semiconductors; SiC MOSFET

1. Introduction

The ever-increasing number of DC loads in the domestic, public, and industrial sectors, together with the need to use renewable energies efficiently, is leading to the emergence of DC microgrids and end user distribution systems at higher voltages [1–6]. One of the key aspects, and one of the most challenging issues in DC microgrids and distribution relates to the protection system design [7]. The differences with AC distribution systems, such as arcing at disconnection [8], large capacitive loads that require high inrush currents and also produce very fast and large discharge electrical currents during low impedance faults [9], limit the use of traditional AC protection methods [10]. Commercial protection devices for DC distribution are typically fuses, Molded Case Circuit Breakers (MCCBs) and Solid State Circuit Breakers (SSCBs), the last group being those that use power semiconductor devices to decrease the tripping time and to increase the current interruption capability [11,12]. Silicon Metal-Oxide-Semiconductor Field-Effect Transistor (MOSFET) devices, with low switching times and low on-resistance, are only adequate in low voltage DC distribution systems [13], i.e., below few hundreds of volts, while appropriate high-voltage, high-current power semiconductors, e.g., thyristors, Insulated-Gate Bipolar Transistor (IGBT), Integrated Gate-Commutated Thyristor (IGCT), are required in larger systems [14]. However, Wide BandGap (WBG) FET power transistors, with enhanced maximum voltage blocking capabilities, short switching times, and low on-resistance, have found new opportunities for SSCB development at higher voltages where silicon counterparts were not suitable [15].

In [16], the authors describe and experimentally validate a Silicon Carbide (SiC) Junction Field-Effect Transistor (JFET) based circuit breaker. This circuit, that uses a normally-on device, lacks current limitation capabilities and it could require additional protection methods to limit input surge currents. The gate drive circuit uses a small isolated PWM DC/DC converter that it is activated when a large fault current is detected by sensing the voltage across the JFET. Another related activity has been reported in [17], it deals with a circuit breaker based on SiC Static Induction Transistors (SIT) that uses an advanced control method for the gate voltage to reduce the voltage overshoot during turn-off. It requires a digital processor, a high-speed digital-to-analog converter, an auxiliary supply,

and a current sensor. The concept has been evaluated with a 400 V and 12 A prototype for data center applications, proving to be effective reducing overvoltage and transient oscillation during the interruption process.

Gate drive circuits for SSCBs are also an important topic since their requirements are different to ones needed in other typical power electronic applications. In particular, in [18] the authors describe a gate driver circuit for series connected SiC MOSFETs used as solid state circuit breakers. In this context, a renewed interest in photonic power electronic devices has appeared [19]. In [20], the authors describe a bidirectional normally-on 1200 V SiC JFET circuit breaker that uses an optical signal to command the gate driver to turn off the power transistors; and more recently, in [21], an optically-isolated gate drive for SiC MOSFETs is investigated and compared with magnetically-coupled gate drivers.

Optically isolated photovoltaic drivers provide some advantages over other isolated driver circuits for SSCBs. Circuit breakers require isolation of DC signal, due to the long on or off periods. Unlike capacitive or transformer isolating circuits that require more complex signal refreshing circuits for DC signal isolation, photovoltaic circuits are well suited for this particular issue. They also have the capability to generate a variable analog signal which is required to operate the MOSFET in the linear region for current limiting applications. An additional benefit, that often is a drawback in other MOSFET driving applications, is the low photocell current that enables slow turn-on and enhances inrush current control and circuit stability. On the other hand, fast turn-off is desired to protect the system after load failure or off command. Thus, additional turn-off circuits are often employed, which in some cases are integrated on the photovoltaic driver. Authors introduced in [22] a new concept of DC protection which has been extended in this work.

To end this introductory section, the paper is organized as follows. Section 2 introduces the photovoltaic-driven Solid State Circuit Breaker with Latching and Current Limiting capabilities (SSCB-LCL). Section 3 details the different SSCB-LCL circuit configurations. Section 4 presents the setup and a main transistor robustness study. Section 5 illustrates the prototype design and explains the proposed test plan. Section 6 covers the experimental results and the subsequent discussion. The paper concludes with Section 6.

2. SSCB-LCL Description and Operating Principle

The proposed SSCB-LCL, represented in Figure 1, was developed using only discrete parts and in a simplified way operates as follows. If I_{Load} is lower than I_{Limit} , the SSCB-LCL will work in nominal operation, as a closed switch with very low conduction losses. In case I_{Load} exceeds I_{Limit} , the SSCB-LCL will limit the load current to I_{Limit} during a preconfigured time. If the fault persists, after the preconfigured time has elapsed, the load will be disconnected from the input. External commands were also included for controlled load disconnection or restarting the SSCB-LCL.

M_1 is an N-channel SiC MOSFET that is driven by PV_1 and Q_2 as the main current regulating element for I_{LED} . R_8 sets the maximum I_{LED} and V_1 and R_2 provide isolated supply to PV_1 .

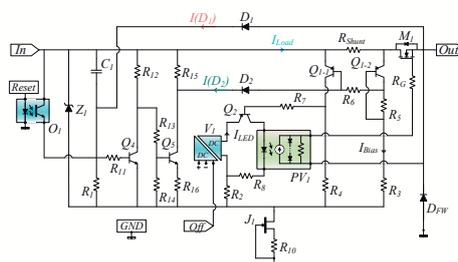


Figure 1. Electrical schematic of the proposed Solid State Circuit Breaker with Latching and Current Limiting capabilities (SSCB-LCL).

The current limiting loop comprises the dual matched NPN transistors, Q_{1-1} and Q_{1-2} , R_{Shunt} , and biasing and gain resistors R_3 , R_4 , and R_5 . During an overcurrent, this arrangement creates a current feedback loop that forces M_1 to operate in linear mode by changing V_{GS} . This circuit contains very few components, does not require external supply, and provides large bandwidth control signal for Q_2 . In essence, Q_{1-1} controls I_{LED} through Q_2 to close the current limiting feedback loop when the voltage across R_5 equals the voltage in R_{Shunt} . Under these circumstances, and assuming $V_{EB}(Q_{1-1}) = V_{EB}(Q_{1-2})$ and $I_B(Q_{1-1}) = I_B(Q_{1-2}) = 0$, the current is regulated to I_{Limit} (Equation (1)). Assuming $V(Z_1) \gg (I_{Load}R_{Shunt} + V_{EB}(Q_{1-2}))$, I_{Bias} is given by Equation (2).

$$I_{Limit} = \frac{I_{Bias}R_5}{R_{Shunt}}, \quad (1)$$

$$I_{Bias} = \frac{V(Z_1)}{R_3}. \quad (2)$$

$t_{Latching}$ is defined as the time elapsed from the instant when I_{Load} exceeds I_{limit} until the moment when the latching circuit finally opens M_1 . The timing function is performed with R_1 and C_1 depending on the status of D_1 . Selecting $R_{11} \gg R_1$, $V(Z_1) \gg V(D_1)$ and assuming $V_{BE}(Q_4) + V(R_{11}) \cong 1V$, $t_{Latching}$ is approximated by Equation (3) and it can be easily adjusted by R_1 and C_1 . The other parts, R_{11} , R_{12} , R_{13} , R_{14} , R_{15} , R_{16} , Q_4 , Q_5 , and D_2 , form an accurate latching circuit to maintain M_1 in *Off-state* after $t_{Latching}$ has expired.

$$t_{Latching} = R_1C_1 \ln[V(Z_1)]. \quad (3)$$

Z_1 trims a proper voltage reference. The current source, J_1 - R_{10} , was used to provide the bias current for Z_1 and the rest of SSCB-LCL. This current must be carefully adjusted to avoid excessive losses in J_1 . For this reason, and due to the I_{LED} current requirements, V_1 is used for supplying I_{LED} . The enable input of V_1 provides the shutdown command (*Off*). In case of V_1 failure, the SSCB-LCL will be automatically disconnected. An opto-isolated *Reset* (O_1) input has been included for restarting the SSCB-LCL and a freewheeling diode (D_{FW}) is used to handle inductive load currents.

Focusing on MOSFET driver, the schematic diagram of PV_1 is shown in Figure 2a and the typical photocell current-to-voltage characteristics are shown in Figure 2b. Here, I_{LED} is controlled linearly by $I_B(Q_2)$ as given in Equation (4) (please refer to Figures 1 and 2b). I_{LEDmax} takes place when Q_2 is saturated (Equation (5)). Typically, I_{SC} is highly linear with I_{LED} (Equation (6)). The current-to-voltage dependence of a photocell can be represented by the single-diode cell model (Equation (7)) and the maximum voltage of PV_1 is then given by (Equation (8)).

$$I_{LED} = \beta I_B(Q_2), \quad (4)$$

$$I_{LEDmax} = \frac{V_1 - V_{EC}(Q_{2sat}) - V_{LED}}{R_8}, \quad (5)$$

$$I_{SC} = \alpha I_{LED}, \quad (6)$$

$$I_{PhCell} = I_{SC} - I_R \left(e^{\left(\frac{V_{PhCell}}{kT} \right)} - 1 \right), \quad (7)$$

$$V_{OC} = \frac{kT}{q} \ln \frac{I_{SC}}{I_R}. \quad (8)$$

Detailed MOSFET *Turn-On* and *Turn-Off* processes can be explained with the help of Figure 3a,b (*Turn-On*) and Figure 3c,d (*Turn-Off*). MOSFET *Turn-On* using a photocell can be simplified as the C_{iss} charging with a constant current, I_{SC} . Two terms are clearly identified, t_{dOn} and $t_{turn-On}$. t_{dOn} depends on $Q_C(V_{th})$ (please refer to Figure 2c), and it is approximated by Equation (9). It could be adjusted with R_8 by modifying I_{LEDmax} . On the other hand, $t_{turn-On}$, could be approximated by Equation (10) and

it can be also varied with R_g . The linear operation of M_1 can be achieved by keeping V_{GS} between the V_{th} and V_{OC} .

$$t_{dOn} \cong \frac{Q_G(V_{th})}{I_{SC}} \tag{9}$$

$$t_{turn-On} \cong \frac{Q_G(V_{OC}) - Q_G(V_{th})}{I_{SC}} \tag{10}$$

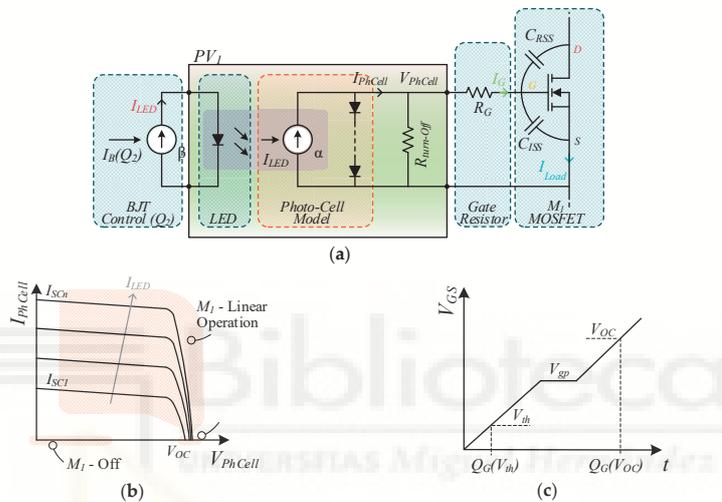


Figure 2. (a) Photovoltaic driving circuit block diagram. (b) Ideal current-to-voltage PV_1 characteristic. (c) Gate charge characteristic.

By contrast, MOSFET Turn-off can be seen as the C_{iss} discharging through the equivalent resistance $R_{turn-Off(off)}$. The process can be idealized using two time intervals, t_{dOff} and $t_{turn-Off}$. t_{dOff} is the time required to discharge C_{ISS} from V_{OC} to V_{gp} . It strongly depends on R_G and $R_{Turn-Off(off)}$ (please refer to Figure 3c,d), and it could be estimated by Equation (11). In addition, V_{gp} can be expressed in terms of V_{th} , g_{fs} , and I_{M_1} as in Equation (12).

$$t_{dOff} = (R_G + R_{turn-Off(off)})C_{ISS} \ln \frac{V_{OC}}{V_{gp}} \tag{11}$$

$$V_{gp} = V_{th} + \frac{I_{M_1}}{g_{fs}} \tag{12}$$

Further, assuming inductive clamping behavior, $t_{turn-Off}$ can be split into two additional terms, t_{rv} and t_{fi} , which can be expressed as Equation (13) (please refer to Figure 3d).

$$t_{turn-Off} = t_{rv} + t_{fi} = (R_G + R_{turn-Off(off)}) \left(C_{RSS} \frac{V_{in}}{V_{gp}} + C_{ISS} \ln \frac{V_{gp}}{V_{th}} \right) \tag{13}$$

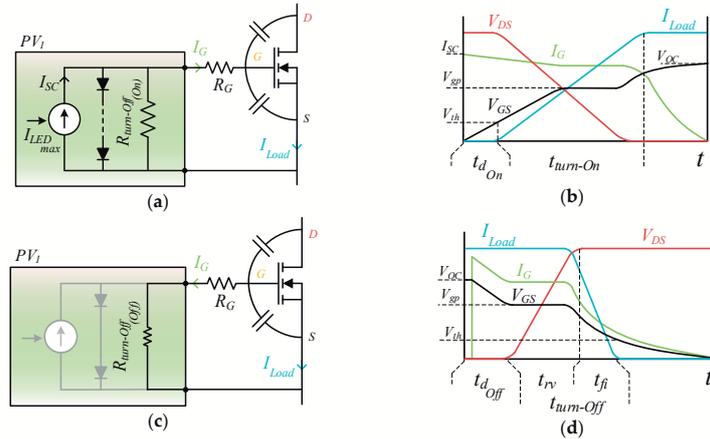


Figure 3. (a) Simplified Turn-On circuit; (b) Turn-On transient sketch; (c) simplified Turn-Off circuit; (d) Turn-Off transient sketch.

In response to an overcurrent fault, the SSCB-LCL operates in four different states, which are identified as *On-state*, *Delay State*, *Current Limiting State*, and *Off-State*. Please refer to Figure 4 for the equivalent schematic of each state.

During *On-State*, M_1 is fully on and I_{Load} shall remain below I_{Limit} . Under these conditions, Q_{1-1} is off, Q_2 , which is in saturation mode, provides I_{LEDmax} and $V_{GS} = V_{OC}$. Further, D_1 forces C_1 to keep discharged and Q_4 remains off. Please refer to Figure 4a.

Just after I_{Load} exceeds I_{Limit} , the SSCB-LCL enters in *Delay State*, I_{fault} flows through M_1 even though I_{LED} has been removed. The interval in *Delay State* is defined by t_{dOff} . Further, D_1 turns off and C_1 starts charging. Please refer to Figure 4b.

After *Delay State* the SSCB-LCL automatically enters in *Current Limiting State*. In this state, $I_B(Q_2)$ is adjusted to keep I_{Limit} flowing through M_1 by operating it in linear region (Equation (1)). *Current Limiting State* automatically expires after $t_{Latching}$ (Equation (3)). At this point, $V(R_1)$ turns on Q_5 and D_2 , then the SSCB-LCL latches in *Off-State* (refer to Figure 4d). *Current Limiting State* can be used, among other things, to limit inrush current with capacitive loads.

An external *Reset* is required to discharge C_1 to turn on the SSCB-LCL again. Please refer to Figure 1.

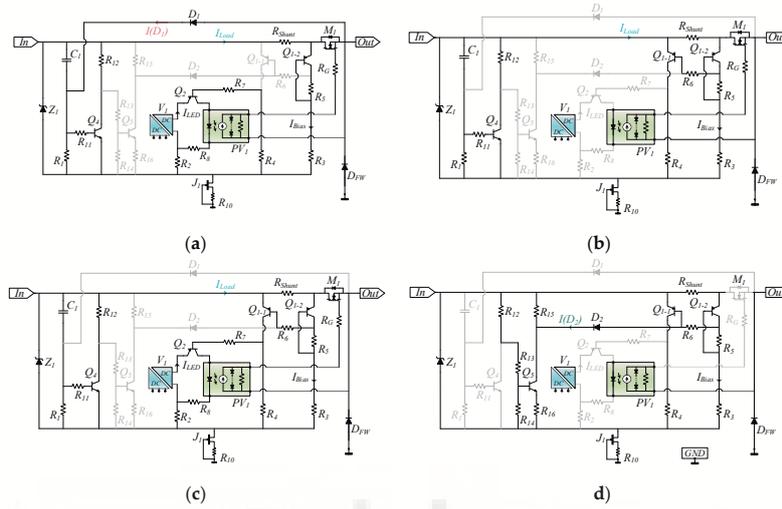


Figure 4. Equivalent circuits of each SSCB-LCL state; (a) On-State; (b) Delay state; (c) Current Limiting State; (d) Off-State.

3. SSCB-LCL Circuit Configuration

The SSCB-LCL allows different configurations by selecting R_G , R_1 , and C_1 . The three main configurations were named *STO with Current Limitation*; *FTO with Current Limitation*; *FTO without Current Limitation (circuit breaker)*. The transient response is different for each configuration (please refer to Figure 5). These are described next:

3.1. STO with Current Limitation

This configuration is devised to provide smooth transition from *Delay State* to *Current Limiting State* (refer to Figure 5a). For this purpose, a large R_G value is used, typically above few k Ω . The larger R_G , the smoother the transition is to *Current Limiting State* and less overshoot occurs; however, $t_{d_{offSTO}}$ increases proportionally and its value must be carefully selected to avoid excessive delay. Under these conditions, $R_{Turn-Off(off)} \ll R_G$ applies and $t_{d_{offSTO}}$ is eventually approximated by Equation (14).

$$t_{d_{offSTO}} = R_G \cdot C_{ISS} \cdot \ln \frac{V_{OC}}{V_{gp}}. \quad (14)$$

3.2. FTO with Current Limitation

This circuit configuration, which main waveforms are represented in Figure 5b, is intended to minimise $t_{d_{offFTO}}$ by eliminating R_G . In this case, $t_{d_{offFTO}}$ could be approximated by Equation (15). It is also worth indicating that M_1 turns off completely before entering in *Current Limiting State*, so, $t_{d_{on}}$ (Equation (9)) and $t_{Turn-On}$ (Equation (10)) apply after the current fault.

$$t_{d_{offFTO}} = R_{Turn-Off(off)} \cdot C_{ISS} \cdot \ln \frac{V_{OC}}{V_{gp}}. \quad (15)$$

In both configurations, *STO with current limitation* and *FTO with current limitation*, $t_{d_{int}}$ and t_{int} can be approximated in terms of M_1 gate charge and I_{SC} as indicated by Equations (16) and (17), respectively.

$$t_{d_{limt}} = \frac{Q_G(V_{OC})}{I_{SC}}, \quad (16)$$

$$t_{limt} = R_1 C_1 \ln[V(Z_1)] - \frac{Q_G(V_{OC})}{I_{SC}}. \quad (17)$$

3.3. FTO without Current Limitation (Circuit Breaker)

The SSCB-LCL can also be configured as a circuit breaker selecting the $t_{Latching}$ shorter than $t_{d_{On}}$. This feature, combined with *Fast Turn-Off*, is interesting to provide high-speed protection (please refer to Figure 5c for the main waveforms). This particular configuration must be adopted in applications where the appearance of a low inductance short-circuit is feasible.

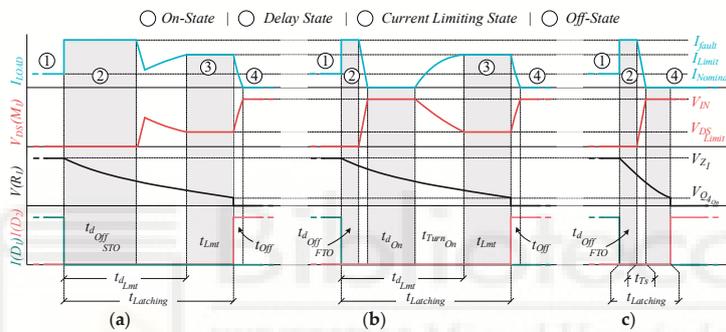


Figure 5. Idealized waveforms of each circuit configuration. (a) STO with Current Limitation; (b) FTO with Current Limitation; (c) FTO without Current Limitation (circuit breaker).

4. Materials and Methods

4.1. Setup and Main Transistor Robustness

Regarding the experimental setup, a Keysight N8937A power supply unit was used. A bank of six 590 uF capacitors (947D591K132JRSN—Cornell Dubilier) is connected in parallel with the power supply. The load consists in a bank of 10 Multicomp MC14683 power resistors. It performs 1 kW nominal power capability at 1 kV with 1.95 mH parasitic series inductance, and an isolated FPGA controlled driver allows configurable resistor shunting to produce different step load (SL) conditions. The oscilloscope used is a 1 GHz analog bandwidth mixed domain oscilloscope (Tektronix MDO3104) with high-voltage differential probes (THDP0200 and THDP0100) and current probes (TCP0030A and TCP303). Please refer to Figure 6 for a simplified setup schematic.

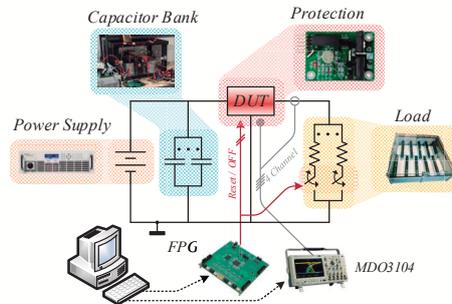


Figure 6. Sketch of the setup for the SSCB-LCL (DUT) validation.

The Wolfspeed C2M0080120D was chosen for M_1 . Its robustness under high power dissipation conditions [23,24] makes it an excellent choice in the required power ratio.

Two critical conditions must be taken into account to guarantee M_1 robustness, operation in linear mode and short-circuit repetition capability.

For the first condition and to prevent M_1 damage by excessive energy dissipation, all time and current limits were set in compliance with the manufacturer's SOA, which means that selected limitation currents in the following tests are well below the specified current for switching applications shown in datasheets.

For the second condition, a C2M0080120D short circuit study was carried out. The study covers C2M0080120D ageing after 200 short-circuits at a $V_{DS} = 1000$ V with a $V_{GS} = 8.4$ V and a short-circuit time of $1.5 \mu\text{s}$, longer than real response time in FTO *without Current Limitation* mode. Tests were realized at the Center of Reliable Power Electronics at the Aalborg University. Figure 7 shows the waveform evolution from the first and last (200) short circuit performed in these tests.

The data concludes that C2M0080120D is capable of withstanding at least 200 short-circuits at $V_{DS} = 1000$ V without appreciable degradation, resulting a longer useful life than the mechanical devices. In addition, the $V_{GS} = 8.4$ V condition means a reduction in the peak short-circuit current and shorter transition times according to Equations (11), (14) and (15). This condition furthermore allows low on-losses in low power range. D_{FW} partly alleviates the overvoltage when inductive loads are switched off. In [25] a new "soft turn-off" technique is proposed in order to reduce the voltage overshoot and short circuit peak current. In this work, the use of Digital Signal Processor to control the operation of the SSCB also allows other enhanced protection functions. A more detailed analysis of the robustness of C2M0080120D at 1000 V is presented in [26] where based on the aging parameters ($V_{GS(TH)}$, I_{DSS} , and R_{on}) analysis concluded that the C2M0080120D is capable to support, at least, 200 short circuits at 1000 V with $1.5 \mu\text{s}$ duration.

4.2. SSCB-LCL Design and Test Plan

An experimental prototype of the proposed SSCB-LCL was designed and implemented (please refer to Figure 8). Main part references are the following: M_1 is Wolfspeed C2M0080120D; Vishay VOM1271 as PV_1 ; 1N758 as Z_1 ; USCi UJN1205K as J_1 ; Traco Power TMR1-1211 as V_1 was used because it provides an on/off control input; Analog Devices MAT03 as Q_{1-1} and Q_{1-2} ; and Bourns PWR4412-2SCR0500F as R_{shunt} .

Z_1 was biased with 1 mA while the whole biasing current flowing through J_1 - R_{10} was 1.2 mA, so at 1 kV input voltage, J_1 dissipates around 1.2 W. On the other hand, I_{Bias} was adjusted to 145 μA . The values of R_5 , R_1 , C_1 , and R_C were chosen depending on the performed test. Table 1 gathers all the relevant information of those values in each particular test.

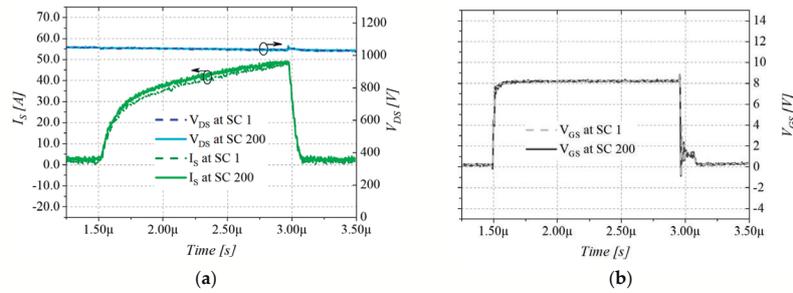


Figure 7. Short-circuit C2M0080120D test waveforms. (a) In dark blue dashed line V_{DS} in short circuit 1 (200 V/div); in cyan blue solid line V_{DS} in short circuit 200 (200 V/div); in dark green dashed line I_S in the short circuit 1 (10 A/div); in light green solid line I_S in the short circuit 200 (10 A/div). Time Scale: 0.5 μ s/div. (b) In light grey dashed line V_{GS} in the short circuit 1 (10 A/div); In dark grey solid line V_{GS} in the short circuit 200 (2 V/div). Time scale: 0.5 μ s/div.

The power loss of the device at nominal current, 1 A, is dominated by three factors. First, MOSFET conduction losses that are less than 0.1 W. The C2M0080120D equivalent on resistance, in conditions of $V_{GS} = 8.5$ V and a current of 1 A, is below 100 m Ω according to the manufacturer’s data. Second, the current sink J_1 - R_{10} dissipates around 1.2 W. Finally, the ancillary power supply specified 0.23 W of typical power losses. This eventually results in 1.5 W estimated power losses of the whole circuit.

Taking into account these considerations, the test plan was divided into three main groups: *STO with Current Limitation* under different soft-overload faults and parameter sweeps (from Test I to Test V); *FTO with Current Limitation* under soft-overload fault (Test VI); *FTO without Current Limitation (circuit breaker)* under short-circuit fault (Test VII) and telecommand test under soft-overload fault (Test VIII). All tests were carried out at 1 kV and the complete test description can be found in Table 1.

Table 1. Test description.

Description	Constant Parameters	Variable Parameter	
STO with Current Limiter	Test I Basic Operation $SL = 1$ to 1.66 A $t_{Latching} = 4.5$ ms $I_{Limit} = 1.5$ A	Load = 1000 to 600 Ω $R_1 = 180$ k Ω , $C_1 = 10$ nF $R_5 = 527$ Ω , $R_{Shunt} = 50$ m Ω $R_G = 180$ k Ω	
	Test II R_G Sweep $SL = 1$ to 2 A $t_{Latching} = 4.5$ ms $I_{Limit} = 1.5$ A	Load = 1000 to 500 Ω $R_1 = 180$ k, $C_1 = 10$ nF $R_5 = 527$ Ω , $R_{Shunt} = 50$ m Ω $R_G = 180$ k Ω	$R_G = [50, 100, 180]$ k Ω
	Test III Overload Sweep $t_{Latching} = 4.5$ ms $I_{Limit} = 1.5$ A	$R_1 = 180$ k Ω , $C_1 = 10$ nF $R_5 = 527$ Ω , $R_{Shunt} = 50$ m Ω $R_G = 180$ k Ω	$LS = 1$ A to [1.6, 2, 2.5, 3.3] A Load = 1000 Ω to [600, 500, 400, 300] Ω
	Test IV $t_{Latching}$ Sweep $SL = 1$ to 2 A $I_{Limit} = 1.5$ A	Load = 1000 to 500 Ω $R_5 = 527$ Ω , $R_{Shunt} = 50$ m Ω $R_1 = 180$ k Ω , $R_G = 180$ k Ω	$t_{Latching} = [1.9, 4.1, 9.1]$ ms $C_1 = [4.7, 10, 22]$ nF
	Test V I_{Limit} Sweep $SL = 1$ to 2 A $t_{Latching} = 4.5$ ms	Load = 1000 to 500 Ω $R_1 = 180$ k, $C_1 = 10$ nF $R_G = 180$ k Ω , $R_{Shunt} = 50$ m Ω	$I_{Limit} = [1.25, 1.53, 1.80]$ A $R_5 = [430, 527, 620]$ Ω

Table 1. Cont.

Description	Constant Parameters		Variable Parameter
Test VI FTO with Current Limitation	SL = 1 to 2 A	Load = 1000 to 500 Ω $R_1 = 180 \text{ k}$, $C_1 = 10 \text{ nF}$	
	$t_{Latching} = 4.5 \text{ ms}$ $I_{Limit} = 1.5 \text{ A}$	$R_S = 527 \Omega$, $R_{Shunt} = 50 \text{ m}\Omega$ $R_G = 0 \Omega$	
Circuit Breaker Test VII Short-circuit	SL = 1 A to SC $I_{Limit} = 1.5 \text{ A}$	Load = 1000 Ω to SC $R_S = 527 \Omega$, $R_{Shunt} = 50 \text{ m}\Omega$ $R_1 = 510 \Omega$, $C_1 = 1 \text{ nF}$ $R_G = 0 \Omega$	
	Test VIII Tele Command	SL = 1 to 2 A $I_{Limit} = 1.5 \text{ A}$	Load = 1000 to 500 Ω $R_S = 527 \Omega$, $R_{Shunt} = 50 \text{ m}\Omega$ $R_1 = 510 \Omega$, $C_1 = 1 \text{ nF}$ $R_G = 0 \Omega$

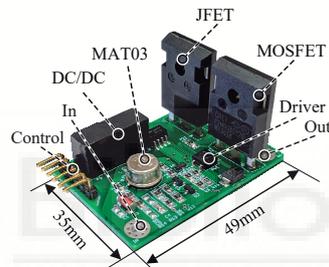


Figure 8. Implemented SSCB-LCL prototype.

5. Experimental Results and Discussion

To guarantee the long-term reliability, I_{Limit} and $t_{Latching}$ (from Test I to Test VI) were configured taking into account the Safe Operating Area (SOA) of M_1 plus some security margin (please refer to Figure 9).

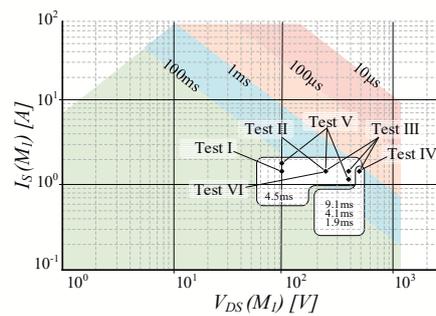


Figure 9. C2M0080120D datasheet Safe Operation Area and theoretical performed test location.

5.1. Basic Operation

The aim of this test was to corroborate the predicted circuit operation, especially the relation between I_{LED} and the SSCB-LCL response. As can be observed in Figure 10a, I_{LED} is I_{LEDmax} during

On-State and it is quickly removed when the fault is detected and it remains zero during t_{dOff} . Then, it increases as the circuit enters into Current Limiting State, keeping M_1 in linear operation. Finally, I_{LED} goes to zero again when $t_{latching}$ elapses.

5.2. R_G Sweep

The objective was to observe the circuit response with different R_G values but keeping the same I_{limit} , $t_{latching}$, and step load. As can be observed in Figure 10b, $t_{dOffSTO}$ increases with R_G but t_{dInt} remains similar in all cases, as predicted by Equations (14) and (16). Since t_{Int} is the same in all cases, M_1 experiences similar power stress during the current limiting state. Calculated and measured values for $t_{dOffSTO}$ and t_{dInt} are collected in Table 2. The following manufacturer’s values were used for theoretical calculations: $V_{OC} = 8.4$ V; $I_{SC} = 15$ μ A; $C_{ISS} = 2$ nF; $V_{th} = 2.4$ V; $g_{fs} = 8$ A/V. $Q_G(V_{OC}) = 20$ nC; $Q_G(V_{th}) = 8.5$ nC.

5.3. Overload Sweep

It was planned to observe the sensitivity of the SSCB-LCL to detect currents above I_{limit} , which were set to 1.5A. As can be seen in Figure 10c, only a small variation of $t_{dOffSTO}$ is expected due to the change in V_{gp} (Equation (12)) produced by the different I_{fault} . Obviously, M_1 power dissipation increases as the load value in fault conditions decreases.

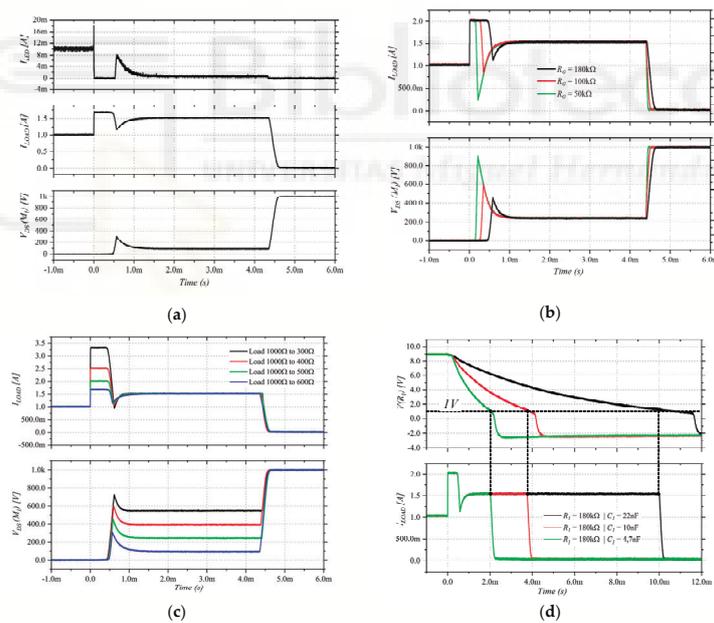


Figure 10. (a) Test I—Basic Operation. Top figure: I_{LED} (4 mA/div). Middle figure: I_{Load} (0.5 A/div). Lower figure $V_{DS}(M_1)$ (200 V/div). Time scale: 1 ms/div. (b) Test II— R_G sweep. Top figure: I_{Load} (500 mA/div). Lower figure: $V_{DS}(M_1)$ (200 V/div). Time scale: 1 ms/div. (c) Test III—Overload sweep. Top figure: I_{Load} (500 mA/div). Lower figure: $V_{DS}(M_1)$ (200 V/div). Time scale: 1 ms/div. (d) Test IV— $t_{latching}$ sweep Top figure: $V(R_1)$ (1 V/div). Lower figure: I_{Load} (500 mA/div). Time scale: 1 ms/div.

5.4. $t_{Latching}$ Sweep

This test was performed to assess different $t_{Latching}$ in the STO with Current Limitation configuration. As reported in Table 2, calculated values (Equation (3)) are in good agreement with measured $t_{Latching}$. Figure 11d shows I_{Load} and R_1 voltage, which is a representative variable of the latching circuit.

5.5. I_{Limit} Sweep

In this test, several I_{Limit} (Equation (1)) were adjusted by modifying R_5 while keeping $I_{Bias} = 145 \mu A$. As can be observed in Table 2, good agreement is found between calculated and measured I_{Limit} , which also can be seen in Figure 11a.

5.6. FTO with Current Limitation

Test VI was carried out to evaluate the FTO with Current Limitation under soft-overload fault. For this test, R_G was set to 0Ω . Table 2 and Figure 11b show the main results. It is worth to note the effect of M_1 source inductance, L_s , that creates a V_{DS} overvoltage during the turn-off.

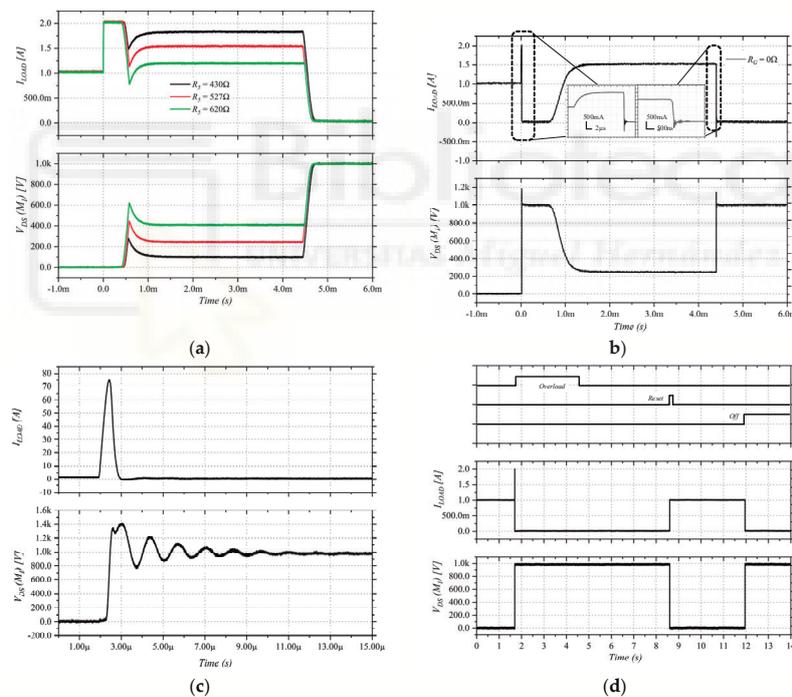


Figure 11. (a) Test V— I_{Limit} sweep. Top figure: I_{Load} (500 mA/div). Lower figure: $V_{DS}(M_1)$ (200 V/div). Time Scale: 1 ms/div. (b) Test VI—FTO with current limitation. Top figure: I_{Load} (500 mA/div). Lower figure: $V_{DS}(M_1)$ (200 V/division). Time scale: 1 ms/div. (c) Test VII—Short circuit. Top figure: I_{Load} (10 A/div). Lower figure: $V_{DS}(M_1)$ (200 V/div). Time scale: 1 μ s/div. (d) Test VIII—Tele Command Test. Top figure: Digital External Commands. Middle figure: I_{Load} (500 mA/div). Lower figure: $V_{DS}(M_1)$ (200 V/div). Time scale: 1 s/div.

Table 2. Theoretical and test measured results.

Description	Parameter	Variable	Theoretical	Measured		
STO with Current Limiter	Test II R_G Sweep	$t_{doffSTO}$	R_G	50 k Ω	127 μ s	146 μ s
				100 k Ω	242 μ s	264 μ s
				180 k Ω	427 μ s	462 μ s
		t_{dlim}	ALL	1.3 ms	900 μ s	
	Test IV $t_{Latching}$ Sweep	$t_{Latching}$	C_1	4.7 nF	1.9 ms	2.2 ms
				10 nF	4.1 ms	4.0 ms
			22 nF	9.1 ms	10.2 ms	
Test V I_{Limit} Sweep	I_{Limit}	R_5	430 Ω	1.25 A	1.19 A	
			527 Ω	1.53 A	1.54 A	
			620 Ω	1.80 A	1.83 A	
Test VI Fast Turn-Off with Current Limitation	$t_{doffSTO}$		N/A	N/A	16 μ s	
		t_{don}	N/A	570 μ s	700 μ s	
		$t_{Turn-On}$	N/A	770 μ s	700 μ s	

5.7. Short-Circuit

This test was proposed to evaluate the circuit response against a short-circuit event. In order to prevent linear operation of the MOSFET at such extreme conditions, FTO without Current Limitation configuration was chosen. As shown in Figure 11c, $t_{doffFTO}$ is less than 1 μ s, because V_{gp} (Equation (12)) goes closely to V_{OC} and gate discharge current tends to increase because of the source inductance effect.

5.8. Tele Command Test

Finally, Test VIII was performed to check the proper operation of *Tele-commands*. As represented in Figure 11d, a soft-overload ($t = 1.7$ s) produces the load disconnection. Then, fault condition extinguishes ($t = 4.5$ s) and the *Reset* command turns on ($t = 8.6$ s) the SSCB-LCL again. The *Off* signal ($t = 12$ s) finally switches off the SSCB-LCL.

6. Conclusions

This work deals with a Solid State Circuit Breaker with latching and current limiting capabilities. The most remarkable features of the circuit proposed are different configurations by changing simple component values, low power consumption, few discrete parts used, and easy parameter adjustment, i.e., current limit threshold and latching time. Theoretical assumptions and models were demonstrated with an experimental setup, and a large number of different tests were included, including the fast turn-off response under short-circuit events, less than 1 μ s, and remote control at 1 kVdc. In order to explore the robustness of a particular device (i.e., C2M0080120D), the circuit test was performed close its maximum voltage limit, but voltage and current should be derated according to the final application. This circuit allows easy voltage and current scalability using an appropriate power MOSFET selection and gate driver design.

Author Contributions: D.M., A.G. and J.M.B. conceived the idea, designed the experiment, guided the experiment, and wrote the manuscript; D.M. and R.G. conducted most of the validation test. All authors read and approved the manuscript.

Funding: This research was partially funded by Spanish Ministry of Economy and Competitiveness through the research project ESP2015-68117-C2-2-R.

Acknowledgments: The authors would like to thank the help provided by the Center of Reliable Power Electronics (CORPE), especially to Francesco Iannuzzo, to conduct SIC MOSFET endurance tests under repetitive short-circuit conditions during D. Marroqui’s doctoral research stay at Aalborg University.

Conflicts of Interest: The authors declare no conflict of interest.

Abbreviations

C_{ISS}	M_1 input capacitance.
C_{RSS}	M_1 reverse transfer capacitance.
g_{fs}	M_1 transconductance.
I_{Load}	Load current.
I_{Limit}	Programmed current limit.
I_{fault}	Fault current.
I_{Bias}	Bias current of current limiting circuit.
I_{LED}	PV_1 light emitting diode current.
$I_{LED,max}$	Maximum PV_1 light emitting diode current.
I_{SC}	PV_1 photocell short-circuit current.
I_R	PV_1 photocell diode saturation current.
M_1	Main power transistor.
PV_1	Photovoltaic driver.
$Q_G(V_{th})$	M_1 gate charge at its threshold voltage.
$Q_G(V_{oc})$	M_1 gate charge at the open circuit voltage of the PV_1 photocell.
R_{shunt}	Shunt resistor.
R_G	M_1 gate resistor.
$R_{Turn-Off(off)}$	Equivalent resistance of PV_1 turn-off circuit during off state.
$R_{Turn-Off(on)}$	Equivalent resistance of PV_1 turn-off circuit during on state.
$t_{Latching}$	Latching time.
t_{dOn}	Turn-on delay.
t_{dOff}	Turn-off delay.
$t_{dOffSTO}$	Turn-off delay in STO configuration.
$t_{dOffFTO}$	Turn-off delay in FTO configuration.
t_{dlim}	Current limitation response time.
t_{lim}	Limitation time.
$t_{turn-On}$	Turn-on time.
$t_{turn-Off}$	Turn-off time.
t_{rv}	Voltage rise time.
t_{fi}	Current fall time.
V_{GS}	M_1 gate-source voltage.
V_{sp}	M_1 gate-source plateau voltage.
$V(Z_1)$	Reference voltage.
V_{LED}	PV_1 light emitting diode forward voltage
V_1	Auxiliary power supply.
V_{OC}	PV_1 photocell open circuit voltage.
V_{th}	M_1 threshold voltage.
V_{in}	SSCB-LCL input voltage.
α	PV_1 light emitting diode current to photocell current.
β	Bipolar junction transistor current gain.
k	Boltzmann's constant.
q	Electron charge.
FTO	Fast Turn Off.
STO	Slow Turn Off.

References

1. Hatzigiorgiou, N.D. Microgrids: An Overview of Ongoing Research, Development, and Demonstration Projects Environmental Energy Technologies Division. *IEEE Power Energy Mag.* **2007**, *5*, 78–94. [[CrossRef](#)]
2. Kakigano, H.; Miura, Y.; Ise, T. Low-voltage bipolar-type dc microgrid for super high quality distribution. *IEEE Trans. Power Electron.* **2010**, *25*, 3066–3075. [[CrossRef](#)]

3. Elvira, D.G.; Blavi, H.V.; Pastor, À.C.; Salamero, L.M. Efficiency optimization of a variable bus voltage DC microgrid. *Energies* **2018**, *11*, 3090. [[CrossRef](#)]
4. Madduri, P.A.; Poon, J.; Rosa, J.; Podolsky, M.; Brewer, E.A.; Sanders, S.R. Scalable DC Microgrids for Rural Electrification in Emerging Regions. *IEEE J. Emerg. Sel. Top. Power Electron.* **2016**, *4*, 1195–1205. [[CrossRef](#)]
5. Rodriguez-Diaz, E.; Chen, F.; Vasquez, J.C.; Guerrero, J.M.; Burgos, R.; Boroyevich, D. Voltage-Level Selection of Future Two-Level LVdc Distribution Grids: A Compromise between Grid Compatibility, Safety, and Efficiency. *IEEE Electr. Mag.* **2016**, *4*, 20–28. [[CrossRef](#)]
6. Ryu, M.-H.; Kim, H.-S.; Baek, J.-W.; Kim, H.-G.; Jung, J.-H. Effective Test Bed of 380-V DC Distribution System Using Isolated Power Converters. *IEEE Trans. Ind. Electron.* **2015**, *62*, 4525–4536. [[CrossRef](#)]
7. Salomonsson, D.; Söder, L.; Sannino, A. Protection of low-voltage DC microgrids. *IEEE Trans. Power Deliv.* **2009**, *24*, 1045–1053. [[CrossRef](#)]
8. Chae, S.; Park, J.; Oh, S. Series DC Arc Fault Detection Algorithm for DC Microgrids Using Relative Magnitude Comparison. *IEEE J. Emerg. Sel. Top. Power Electron.* **2016**, *4*, 1270–1278. [[CrossRef](#)]
9. Zhang, L.; Tai, N.; Huang, W.; Liu, J.; Wang, Y. A review on protection of DC microgrids. *J. Mod. Power Syst. Clean Energy* **2018**, *6*, 1113–1127. [[CrossRef](#)]
10. Bui, D.M.; Chen, S.-L.; Lien, K.-Y.; Jiang, J.-L. Fault protection solutions appropriately used for ungrounded low-voltage AC microgrids. In Proceedings of the 2015 IEEE Innovative Smart Grid Technologies-Asia (ISGT ASIA), Bangkok, Thailand, 3–6 November 2015; pp. 1–6.
11. Shukla, A.; Demetriades, G.D. A Survey on Hybrid Circuit-Breaker Topologies. *IEEE Trans. Power Deliv.* **2015**, *30*, 627–641. [[CrossRef](#)]
12. Javed, W.; Chen, D.; Farrag, M.E.; Xu, Y. System configuration, fault detection, location, isolation and restoration: A review on LVDC microgrid protections. *Energies* **2019**, *12*, 1001. [[CrossRef](#)]
13. Izquierdo, D.; Barrado, A.; Raga, C.; Sanz, M.; Lázaro, A. Protection devices for aircraft electrical power distribution systems: State of the art. *IEEE Trans. Aerosp. Electron. Syst.* **2011**, *47*, 1538–1550. [[CrossRef](#)]
14. Chen, Z.; Yu, Z.; Zhang, X.; Wei, T.; Lyu, G.; Qu, L.; Huang, Y.; Zeng, R. Analysis and Experiments for IGBT, IEGT, and IGCT in Hybrid DC Circuit Breaker. *IEEE Trans. Ind. Electron.* **2018**, *65*, 2883–2892. [[CrossRef](#)]
15. Shen, Z.J.; Sabui, G.; Miao, Z.; Shuai, Z. Wide-bandgap solid-state circuit breakers for DC power systems: Device and circuit considerations. *IEEE Trans. Electron Devices* **2015**, *62*, 294–300. [[CrossRef](#)]
16. Miao, Z.; Sabui, G.; Roshandeh, A.M.; Shen, Z.J. Design and Analysis of DC Solid-State Circuit Breakers Using SiC JFETs. *IEEE J. Emerg. Sel. Top. Power Electron.* **2016**, *4*, 863–873. [[CrossRef](#)]
17. Sato, Y.; Tanaka, Y.; Fukui, A.; Yamasaki, M.; Ohashi, H. SiC-SIT circuit breakers with controllable interruption voltage for 400-V DC distribution systems. *IEEE Trans. Power Electron.* **2014**, *29*, 2597–2605. [[CrossRef](#)]
18. Ren, Y.; Yang, X.; Zhang, F.; Wang, K.; Chen, W.; Wang, L.; Pei, Y. A Compact Gate Control and Voltage-Balancing Circuit for Series-Connected SiC MOSFETs and Its Application in a DC Breaker. *IEEE Trans. Ind. Electron.* **2017**, *64*, 8299–8309. [[CrossRef](#)]
19. Mazumder, S.K. An Overview of Photonic Power Electronic Devices. *IEEE Trans. Power Electron.* **2016**, *31*, 6562–6574. [[CrossRef](#)]
20. Veliadis, V.; Steiner, B.; Lawson, K.; Bayne, S.B.; Urciuoli, D.; Ha, H.C. Suitability of N-ON Recessed Implanted Gate Vertical-Channel SiC JFETs for Optically Triggered 1200 v Solid-State Circuit Breakers. *IEEE J. Emerg. Sel. Top. Power Electron.* **2016**, *4*, 874–879. [[CrossRef](#)]
21. Wilkins, M.M.; Ishigaki, M.; Provost, P.O.; Masson, D.; Fafard, S.; Valdivia, C.E.; Dede, E.M.; Hinzer, K. Ripple-free boost-mode power supply using photonic power conversion. *IEEE Trans. Power Electron.* **2019**, *34*, 1054–1064. [[CrossRef](#)]
22. Marroquí, D.; Garrigós, A.; Blanes, J.M.; Gutiérrez, R.; Maset, E.; Ramírez, D. SiC based solid state protections switches for space applications. In Proceedings of the 2017 19th European Conference Power Electronics Applications EPE 2017 ECCE Europe, Warsaw, Poland, 11–14 September 2017; pp. 1–8.
23. Li, H.; Yu, R.; Zhong, Y.; Yao, R.; Liao, X.; Chen, X. Design of 400 V Miniature DC Solid State Circuit Breaker with SiC MOSFET. *Micromachines* **2019**, *10*, 314. [[CrossRef](#)] [[PubMed](#)]
24. Wang, J.; Jiang, X.; Li, Z.; Shen, Z.J. Short-Circuit Ruggedness and Failure Mechanisms of Si/SiC Hybrid Switch. *IEEE Trans. Power Electron.* **2019**, *34*, 2771–2780. [[CrossRef](#)]

Energies 2019, 12, 4585

16 of 16

25. Qin, H.; Mo, Y.; Xun, Q.; Zhang, Y.; Dong, Y. A Digital-Controlled SiC-Based Solid State Circuit Breaker with Soft Switch-Off Method for DC Power System. *Electronics* **2019**, *8*, 837. [[CrossRef](#)]
26. Marroqui, D.; Garrigos, A.; Blanes, J.M.; Gutierrez, R.; Maset, E.; Iannuzzo, F. SiC MOSFET vs SiC/Si Cascode short circuit robustness benchmark. *Microelectron. Reliab.* **2019**, *100*, 113429. [[CrossRef](#)]



© 2019 by the authors. Licensee MDPI, Basel, Switzerland. This article is an open access article distributed under the terms and conditions of the Creative Commons Attribution (CC BY) license (<http://creativecommons.org/licenses/by/4.0/>).



6.3 Análisis del trabajo

En este punto se realiza un análisis a posteriori del tercer trabajo que compone la presente tesis doctoral [104].

6.3.1 Motivación

Tal como se ha descrito previamente, el trabajo presentado en [104] supone una evolución natural del trabajo previo [100]. Las mismas razones que propician el uso de energía en DC en centros de procesamiento de datos son igualmente interesantes desde el punto de vista de las redes de distribución DC.

En este escenario, debido a su naturaleza más variable, el rango de tensiones que pueden emplearse es más amplio ([sección 2.1](#)) y los retos que deben ser abordados, desde el punto de vista de los sistemas de protección son los mismos que los descritos en el trabajo previo y en ([sección 2.1.6](#)). En esencia, se requieren sistemas de protección y maniobra que:

1. **Basen su funcionamiento en el uso de transistores –estado sólido–** con el objetivo de minimizar los efectos de la presencia del arco eléctrico y disponer de una vida útil superior a la de los sistemas mecánicos.
2. **Exhiban tiempos de respuestas reducidos** con el objetivo de minimizar daños ocasionados durante potenciales fallas aguas debajo de la misma.
3. **Permitan la conexión de cargas capacitivas en caliente** –capacidad de limitación de corriente–
4. **Dispongan de funciones de control remoto**, especialmente funciones de *ON* y *OFF* –*RESET* y *OFF*– para conectar y desconectar cargas según las necesidades de la red.
5. **Puedan** ser ajustados para **proporcionar diversas dinámicas de funcionamiento** en base a los requisitos de la red.

Una de las motivaciones del trabajo [104] es la caracterización y detalle pormenorizado del funcionamiento de la protección, concretamente de la fase de encendido y apagado del

transistor principal. El objetivo del análisis es el de obtener unas ecuaciones de diseño que permita predefinir el funcionamiento de la protección pudiendo adaptarse a las necesidades de la aplicación concreta.

6.3.2 Análisis y extensión de resultados

Uno de los primeros retos a abordar para la implementación del sistema de protección presentado en [104], teniendo en cuenta que para su implementación se partió del diseño [100], es la adaptación del circuito para minimizar las pérdidas en la fuente de corriente que permite la polarización del conjunto (J1, R8 – [figura 66](#)). Esta fuente de corriente bloquea aproximadamente la tensión de entrada (V_m) menos la tensión del zener de polarización (V_{Z1} – [figura 66](#)) y además, debe drenar la corriente de polarización –cerca de 1 mA– y la corriente de primario del VOM1271 –aproximadamente 10mA–. En el caso de funcionar a una tensión de entrada de 1000V, las pérdidas, según la expresión (8), tendrían un valor aproximado de 10W.

$$W_{J_1} = V_{J_1} \cdot I_{J_1} \approx (V_m - V_{Z_1}) \cdot I_{J_1} \quad (8)$$

Con el objetivo de minimizar estas pérdidas se optó por utilizar una fuente de alimentación auxiliar referenciada al zener para alimentar de forma paralela el VOM1271. El esquema equivalente de la protección con estos cambios se muestra en la [figura 87](#). La fuente de auxiliar no presenta requisitos más allá del aislamiento. Además, en ciertas aplicaciones, como cuadros de distribución eléctricos, se dispone por lo general, de buses de alimentación auxiliares que podrían ser utilizados para tal efecto.

En el caso concreto de la [figura 87](#), se ha utilizado la entrada de inhabilitación de la fuente V_1 para forzar el apagado (*OFF*) de la protección. También puede considerarse el apagado tal y como se describe en [100].

Se han verificado los distintos ajustes de corriente de limitación y temporización. Los resultados de la modificación de la red de temporización, concretamente de la resistencia R, mientras C1 permanece a un valor de 20nF, se muestran en la [figura 89](#).

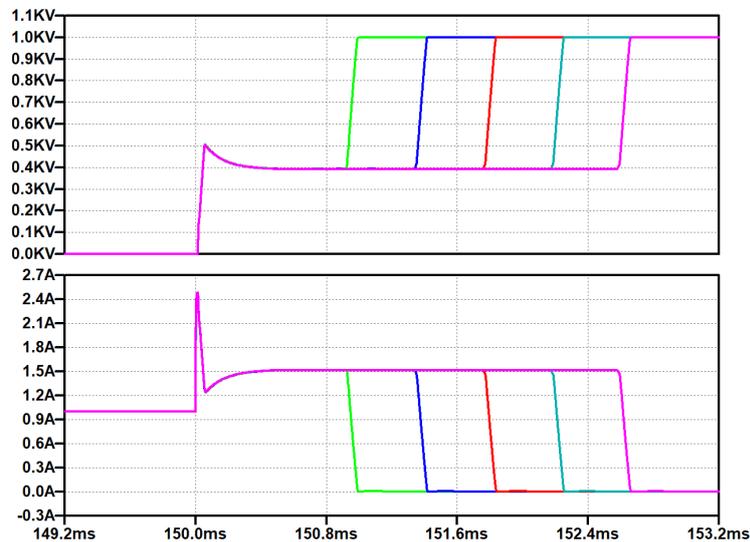


Figura 89. Capacidad de ajuste de las temporizaciones en la protección frente a un salto de carga de 1000Ω hasta 400Ω [104]. Figura superior V_{DS} [V]. Figura inferior I_S [A]. Se representa barrido de R42 [20, 30, 40, 50, 60]k Ω , en orden creciente: verde, azul, rojo, cian, rosa.

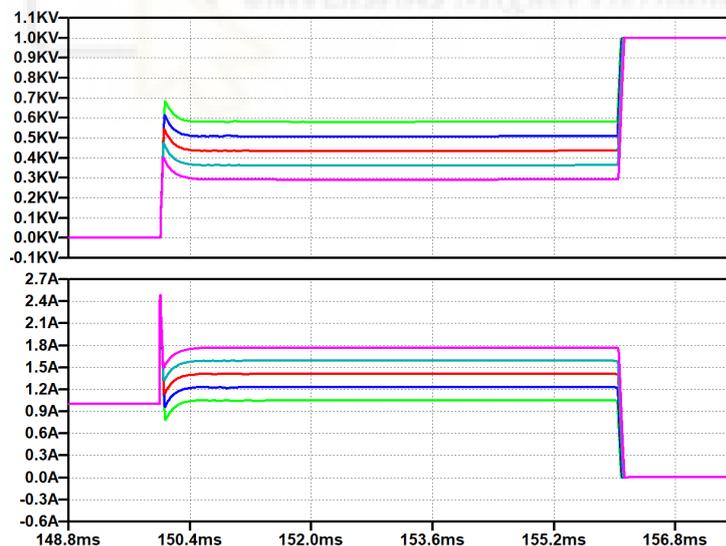


Figura 90. Capacidad de ajuste en simulación del valor de limitación de corriente en frente a un salto de carga de 1000Ω hasta 400Ω [104]. Figura superior V_{DS} [V]. Figura inferior I_S [A]. Se representa barrido de valores de R33 [400, 450, 500, 550, 600] Ω , en orden creciente: verde, azul, rojo, cian, rosa.

Con el objetivo de analizar la capacidad de la topología para modificar los valores de limitación de corriente, se realizó un barrido de valores para la resistencia R33 (figura 88). Los resultados se muestran en la figura 90.

Se proponen tres modalidades de funcionamiento mostradas en la figura 91. La primera modalidad, definida como *Slow Turn Off with Current Limitation*, emplea una resistencia de puerta de valor elevado (R15 – figura 88) obteniendo una respuesta dinámica lenta en el encendido y apagado. El segundo modo de funcionamiento, denominado *Fast Turn Off with Current Limitation*, se consigue con una resistencia de puerta de valor reducido que permite realizar transiciones rápidas entre estados, eliminando la corriente por completo antes de entrar en fase de limitación tras una falla. El último modo de funcionamiento, *Circuit Breaker*, proporciona la respuesta propia de su nombre y no implementa la función de limitación (véase sección 2.2.4.2).

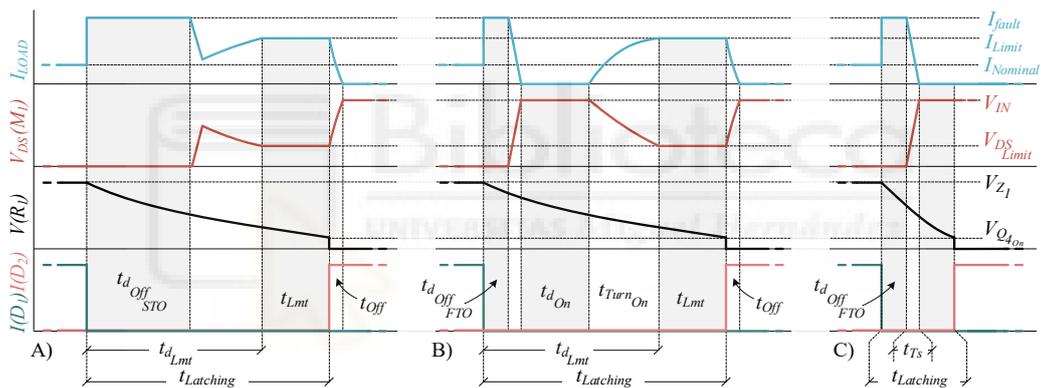


Figura 91. Diferentes modalidades de funcionamiento para el sistema de protección de [104]. A) *Slow Turn Off with Current Limitation* B) *Fast Turn Off with Current Limitation* C) *Circuit Breaker*

En la primera opción no prima la velocidad del sistema y es por ello interesante en aquellas aplicaciones en las que, entre la protección, la fuente y la carga hay inductancias elevadas que limiten la sobrecorriente. La segunda y tercera configuración pueden considerarse en aquellas aplicaciones en las que sean necesarios tiempos de respuesta muy reducidos. En concreto, la tercera modalidad de funcionamiento deberá ser considerada en aquellas aplicaciones en las que sea plausible la aparición de cortocircuitos francos. A nivel de simulación los resultados sin embargo verifican el comportamiento esperado, y para resistencias de puerta menores proporcionan dinámicas más rápidas, véase la figura 92.

Toda la información relativa al prototipo de las pruebas se encuentra en el Anexo II ([esquemas electrónicos de la protección de 1000v](#)). Cabe destacar que para la realización de las primeras pruebas se ha utilizado el prototipo de la [figura 71](#), previa adaptación. El código para la realización de los ensayos se encuentra en [programas de las secuencias de control](#) y la información relacionada con este *setup* se encuentra en [descripción del *setup* experimental](#).

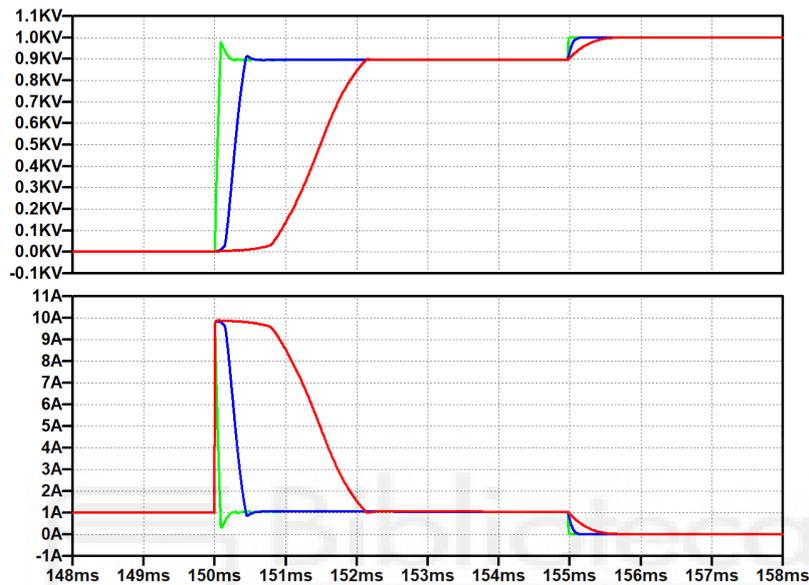


Figura 92. Capacidad de ajuste en simulación de la respuesta de la protección frente a un salto de carga de 1000Ω hasta 100Ω [100]. Figura superior V_{DS} [V]. Figura inferior I_S [A]. Se representa barrido de valores de red R_{15} [1, 1000, 10000] Ω , en orden creciente: verde, azul, rojo.

Capítulo 7

Artículo IV: Estudio de robustez en dispositivos SiC

Este capítulo expone y amplía los resultados que componen el cuarto artículo de la presente tesis doctoral.

Artículo IV - [106]: SiC MOSFET vs SiC/Si Cascode short circuit robustness benchmark, *Microelectronics Reliability*, D. Marroquí, A. Garrigós, J. M. Blanes, R. Gutiérrez, E. Maset, F. Iannuzzo.



7.1 Resumen

El siguiente trabajo posee un carácter distinto al del resto de trabajos presentados previamente en la presente tesis. En este caso se presenta un estudio de robustez de dos dispositivos semiconductores SiC. Concretamente, el trabajo propone el estudio de la degradación de dos dispositivos diferentes utilizados previamente en (los capítulos [4](#), [5](#) y [6](#)) el MOSFET C2M0080120D de Wolfspeed (CREE) y el cascode SiC/Si UJC1206K de USCi. Ambos dispositivos presentan unas características similares, ambos tienen una tensión máxima drenador-surtidor de funcionamiento de 1.2kV y unas corrientes máximas de 36A y 38A respectivamente. Dado que estos dispositivos han sido los seleccionados por sus características para su uso durante la presente tesis y para el desarrollo de las protecciones aquí presentadas, de forma paralela se ha realizado el presente estudio durante una estancia de investigación en el *Center of Reliable Power Electronics (CORPE)* de la *Aalborg University* en Dinamarca. El objetivo principal del trabajo es poder estimar, a través de la caracterización de los dispositivos, tras diferentes campañas de test de cortocircuito repetitivo, la degradación de los mismos. Con el objetivo de tener una muestra significativa, cada test se ha realizado con cinco dispositivos. Como novedad, las pruebas se han realizado al 85% de la tensión máxima admisible por los dispositivos con el objetivo de tener resultados experimentales de la fiabilidad de los dispositivos para trabajos como el presentado en el [capítulo 6](#). En segundo lugar, se presentan resultados en dos condiciones de tensión puerta-surtidor diferentes, la primera condición es la recomendada por los fabricantes, 20V y 12V respectivamente, y finalmente se presentan resultados con tensiones puerta-surtidor de 8.4V, que es la tensión de encendido que proporcionan dispositivos de control como el VOM1271 utilizado en las protecciones desarrolladas ([5](#) y [6](#)).

Previamente a la realización de los test, para verificar la capacidad de ambos dispositivos a funcionar de forma repetitiva en condiciones de cortocircuito, se ha realizado un análisis experimental de búsqueda del límite de tiempo máximo para ambos dispositivos y así fijar los valores de tiempo de cortocircuito. Los resultados mostraron que el C2M0080120D presenta un límite de aproximadamente 1.5 μ s de cortocircuito máximo, tiempo sobre el cual el dispositivo se dañaba de forma irreparable. Por ello, tras comprobar que el UJC1206K era capaz de soportar este tiempo, se pasó a la realización de los test repetitivos.

De forma simplificada el trabajo se ha estructurado en cuatro puntos. En el primer punto se presentan las motivaciones del trabajo, así como los objetivos del mismo y las hipótesis de partida.

En el segundo punto del trabajo se presentan los dispositivos a utilizar, y se describe en detalle el *setup* empleado para la realización de los test. Destacar que las pruebas se realizaron en el *Non Destructive Testing* del laboratorio de *Reliability* del CORPE, que comprende una fuente de alta tensión TS 6U – Magna Power Electronics, un banco de condensadores de hasta 2400V y 500 μ F de capacidad conectados a través de cuatro módulos IGBT DYNEX DIM1500ESM33 que permiten la realización de los test de forma segura. Todo el diseño del embarrado de interconexión dispone de un *layout* optimizado que, en conjunto, proporciona una inductancia parásita menor de 50 μ H. De especial interés es también el hecho de que, con el objetivo de no interferir en el proceso de envejecimiento por cortocircuito repetitivo, se han realizado únicamente dos caracterizaciones de los dispositivos, una previa y una posterior, por medio de un trazador de curvas B1505a de Keysight del Laboratorio de Electrónica Industrial e Instrumentación (LEII) de la *Universitat de València*.

El tercer punto del trabajo describe el plan de trabajo. Todos los test han sido realizados en condiciones de tensión drenador-surtidor de 1000V y mismos tiempos de cortocircuito (1.5 μ s). Para cada modelo de transistor y con las condiciones de encendido recomendadas por los respectivos fabricantes, se han realizado tres escalones de envejecimiento 200, 140 y 100 cortocircuitos, mientras que para la condición de encendido de 8.4V se han realizado únicamente 200 cortocircuitos. Se han obtenido corrientes próximas a los 250A en el caso del MOSFET e inferiores a los 200A para el cascodeo con la tensión puerta-surtidor recomendada por los fabricantes. Sin embargo, si se activan los dispositivos con 8.4V de tensión puerta-surtidor, se obtienen valores de corriente máxima muy inferiores, aproximadamente 45A en el MOSFET y 100A en el caso del cascodeo, debido a su menor tensión de encendido natural, 20V y 12V respectivamente.

Para finalizar el análisis, se presentan en varios mosaicos de gráficas los resultados de las caracterizaciones de los dispositivos con el B1505a ante diferentes configuraciones. En concreto se han realizados las siguientes curvas de caracterización: I_D vs V_{GS} , I_D vs V_{DS} , R_{on} vs I_D .

Los resultados se discuten en el último punto y en general se aprecian mejores prestaciones en el caso del cascodo, que incluso disminuye las corrientes de fugas en apagado, fenómeno que deberá ser estudiado más en detalle en estudios posteriores.



7.2 Artículo

SiC MOSFET vs SiC/Si Cascode short circuit robustness benchmark

D. Marroqui^{a,*}, A. Garrigos^a, J.M. Blanes^a, R. Gutierrez^a, E. Maset^b, F. Iannuzzo^c

^a Industrial Electronics Group (IE-g) Miguel Hernandez University of Elche, Spain

^b Instrumentation and Industrial Electronics Laboratory (I.E.I.L.) University of Valencia, Spain

^c Center of Reliable Power Electronics (CORPE) Aalborg University, Denmark

ABSTRACT

Nowadays, MOSFET SiC semiconductors short circuit capability is a key issue. SiC/Si Cascodes are compound semiconductors that, in some aspects, show a similar MOSFET behaviour. No interlayer dielectric insulation suggests, in theory, Cascode JFETs as more robust devices. The purpose of this paper is to compare the drift and degradation of two commercial devices static parameters by exposing them to different levels of repetitive 1.5 μ s short-circuit campaigns at 85% of its breakdown voltage. Short-circuit time has been set experimentally, and longer times result in catastrophic failure of MOSFET devices due to over self-heating. For this purpose, pre- and post-test short circuit characterizations are presented.

1. Introduction

Design of solid state high voltage DC (HVDC) protections requires high voltage devices with fast switch-off times and, in case of current limiting capabilities, high temperature working conditions capability. The electrical properties of SiC devices make these power transistors interesting for this application. Due to the criticality of the application, it is essential to study such devices from the reliability point of view.

Normally-off are the most common devices in solid state protections. In SiC technology, normally-off MOSFET and normally-off SiC/Si Cascode are the most used devices. MOSFETs are much more employed than Cascodes, although they have a similar DC and switching performance.

From the electronic reliability point of view, it is well known that SiC MOSFET degradation differs from its Si counterpart [1]. Some reliability key points under study are the gate oxide degradation [2] and the threshold voltage instabilities and drifts [3–5]. These effects have been already studied for SiC MOSFET devices, however, there is lack of reliability data reported on commercial SiC/Si Cascode devices.

Standard normally-off SiC/Si Cascode structure consists on a normally-on SiC JFET, and a low voltage Si MOSFET. In Fig. 1 it is shown the Cascode symbol and its simplified internal structure. The SiC JFET blocks the high voltage, while Si MOSFET provides turn-on and turn-off control. The absence of gate oxide in JFET transistors seems, a priori, an advantage in terms of device reliability, however, any potential degradation effect in the JFET transistor must be measured indirectly [6].

The aim of this paper is to compare the aging of SiC MOSFET and SiC/Si Cascode devices under high voltage stress short circuit (SC) conditions, similar to what can be expected in fast-response solid-state

HVDC protection systems [7].

For this purpose, pre- and post-test characterization has been performed using a Keysight B1505A Power Device Analyser.

Three different number of short-circuit repetitions have been established (100SC, 140SC and 200SC). During the short circuit, the power device stands at 85% of its maximum blocking voltage capability. V_{GS} has been set accordingly to manufacturer's recommendations; however, a lower V_{GS} condition (8.5 V) has been also tested, since it is typical value for some MOSFET photovoltaic drivers used in DC protections [7]. The total population of SiC MOSFET and SiC/Si Cascode tested are 20 for each device.

To end this section, the work is structured as follows: Section 2 details the experimental setup. Test results and discussion are presented in Section 3. The work ends with the conclusions in Section 4.

2. Experimental setup

2.1. Device under test (DUT)

For this study, MOSFET C2M0080120D from CREE [8] and SiC/Si Cascode UJCI206K from United Silicon Carbide Inc. [9], have been chosen. As shown in Table 1, they have similar electrical characteristics and both are TO-247-3L packaged.

2.2. Short circuit setup

Short circuit tests were performed at the Aalborg University in Center of Reliable Power Electronics (CORPE) using the Non Destructive Testing (NDT) Setup. The NDT setup allows repetitive and

* Corresponding author.

E-mail address: dmarroqui@umh.es (D. Marroqui).

D. Marroqui, et al.

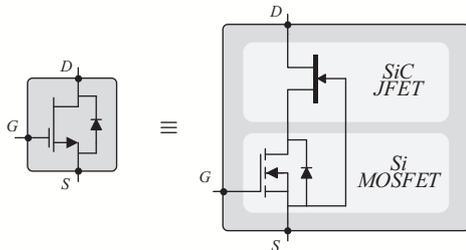


Fig. 1. Symbol and SiC/Si Internal Cascode structure.

Table 1
C2M0080120D & UJC1206K characteristics.

Device	$V_{DS\ max}$ [V]	$I_D\ max$ [A]	R_{on} [mΩ]
C2M0080120D	1200	36	80
UJC1206K	1200	38	60

controlled short circuits tests. It consists of a bank of ten high voltage (2400 V) and high capacity (500 μF) capacitors (ES50.S34-504NTO – Electronicon) supplied by a high voltage power source (TS 6U – Magna Power Electronics). The capacitors are connected to the DUT through a SERIES protection consisting of 4 IGBT modules (DIM1500ESM33 – DYNEX), in order to prevent the capacitors discharge in case of DUT short circuit failure. A PCB with the DUT and a driver is connected to the SERIES protection. CPWR-AN10 from CREE was used as the DUT driver. This driver allows V_{GS} adjustment in a simple way. The setup is controlled by a personal computer connected to a FPGA (DE2-115 – Altera) and an oscilloscope (HOD 6104-MS – LeCroy) which acquires

V_{GS} , I_S and V_{DS} . The FPGA controls the SERIES protection and the DUT driver. The setup is optimized in terms of parasitic inductance ($< 50\ \mu\text{H}$). The complete setup diagram is shown in Fig. 2.

2.3. Aging parameters

Threshold gate voltage ($V_{GS(th)}$), drain-source leakage current (I_{DSS}), and R_{on} have been used as aging indicators. These indicators are common parameters to identify the semiconductor aging level [2,3].

In order not to interfere with the short circuit campaign process, the characterization was performed before and after test. Degradation process has been analysed for three different number of short circuits repetitions, as a percentage of a maximum (100%, 75% and 50%). For each condition, 5 samples were tested in order to get representative results. However, variations between devices are very low. For this reason and for the sake simplicity only one trace, the closest to the mean, is shown in Figs. 3,4,5,6.

3. Experimental results and discussion

3.1. Test definition

Test voltage has been set to 1000 V, which represents the 85% of breakdown DUTs voltage, please refer to Table 1. In our knowledge there are no previous studies in similar conditions, so this test results can be useful to optimize derating values in some applications. V_{GS} was the recommended by manufacturers; $V_{GS} = 0\ \text{V}$ for off state in both DUTs and $V_{GS} = 20\ \text{V}$ for C2M0080120D and $V_{GS} = 12\ \text{V}$ for UJC1206K for on state.

The maximum short circuit time both DUTs can handle under these test conditions was checked experimentally. Experimental results show that C2M0080120D is the weakest device, the maximum short circuit time it can handle, in these conditions, is 1.5 μs, for higher short circuit time, the device is destroyed by overheating. As 1.5 μs is enough for fast-response HVDC protections [7], short circuit time has been set

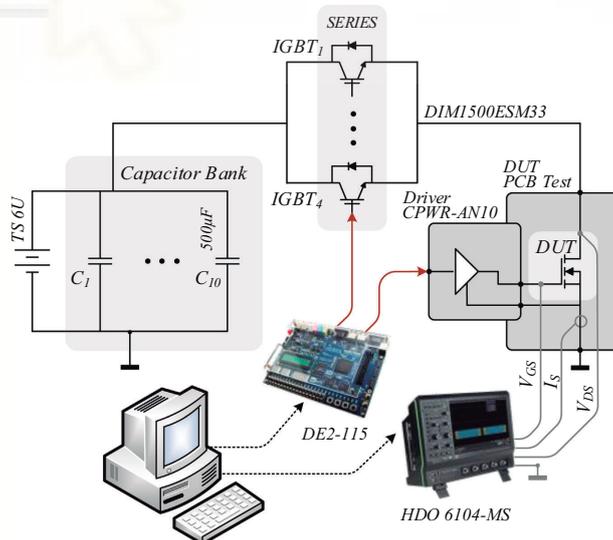


Fig. 2. NDT setup. MOSFET device symbol as DUT example.

D. Marroqui, et al.

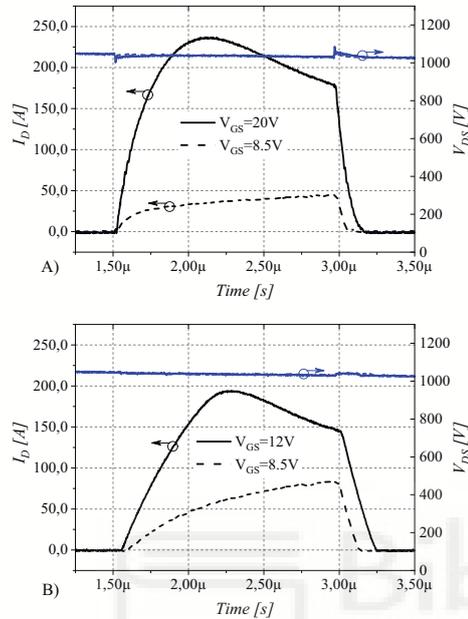


Fig. 3. Short circuit test waveforms at $V_{DS} = 1000$ V. A) C2M0080120D waveforms. In left Axis ID (Black) in right Axis VDS (Blue) B) UJC1206K waveforms. In left Axis ID (Black) in right Axis VDS (Blue). (For interpretation of the references to colour in this figure legend, the reader is referred to the web version of this article.)

1.5 μ s for all tests.

The number of short circuits performed was: 200, 140 and 100 using the recommended manufacturer V_{GS} , and 200 using $V_{GS} = 8.5$ V. A thermal relaxation interval of 20 s was left between short circuits, and all tests were performed at a room temperature of 19 °C. The handled short circuit energy in these tests is 0.3 J and 0.25 J for the C2M0080120D and UJC1206K respectively. When $V_{GS} = 8.5$ V the handled energy is 0.54 J and 0.087 J for the C2M0080120D and UJC1206K respectively.

In Fig. 3 it is shown the short circuit test waveforms for both DUTs. As can be seen, the UJC1206K peak current is 193 A, while the C2M0080120D peak current reaches 236 A using the recommended V_{GS} . This is due to the lower UJC1206K JFET saturation current. When $V_{GS} = 8.5$ V, the C2M0080120D peak current reaches 48 A while the UJC1206K peak current reaches 98 A. In this case, Cascode peak current is higher than MOSFET one, this is due to the lower Si MOSFET Cascode threshold voltage ($V_{GS(TH)}$).

3.2. Waveforms analysis

From the oscilloscope waveforms acquired, it can be concluded that over all the short circuit performed, V_{DS} value remains constant because is fixed by the NDT setup and V_{GS} has no appreciable variation, showing no gate oxide relevant degradation. However, the DUT peak current (I_{Dmax}) presents a decreasing evolution over the tests.

In Fig. 4 it is shown the peak current value evolution over 200 short circuit tests. This decreasing trend is more remarkable in the

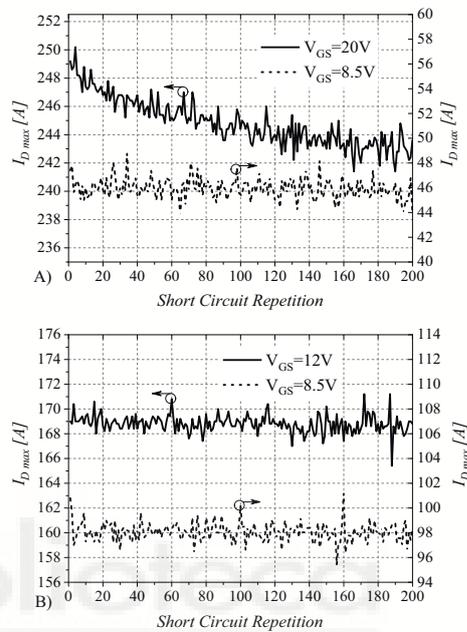


Fig. 4. Peak currents during 200SC test at $V_{DS} = 1000$ V.

A) C2M0080120D peak current evolution.
B) UJC1206K peak current evolution.

C2M0080120D, showing a 2.5% peak current drop. The UJC1206K does not show a significant peak current decrease, this could be due to the short circuit energy dissipated in UJC1206K is 16% lower than C2M0080120D in the worst condition ($V_{GS} = 12$ V) and also because in its internal structure, the voltage blocking and consequently the power dissipation is handled by the JFET that shows a better behaviour in short circuit conditions since it is a simpler device.

Results at $V_{GS} = 8.5$ V do not show any apparent drop in the DUT peak current over the tests in any device.

3.3. B1505A devices characterization

All DUTs have been characterized before and after the repetitive short circuit campaign, the results are shown in Figs. 5 and 6. The characterization parameters used (V_{DS} and V_{GS}) are the established by manufacturers datasheets and are listed in Table 2.

• I_D vs V_{GS}

As illustrated in Fig. 5, high voltage repetitive short circuit tests have a significant effect on C2M0080120D threshold voltage ($V_{GS(TH)}$). This phenomenon has been already described in the literature [10] and could be due to the appearance of trapping effects at the Si/SiO₂ interface. This drift increases in a linear way with the number of short circuits, reaching a maximum of 4.12% at 200 short circuits.

As expected, and described in other studies [11], DUTs devices tested with $V_{GS} = 8.5$ V do not present appreciable $V_{GS(TH)}$ drift.

As shown in Fig. 6, there is no $V_{GS(TH)}$ drift in UJC1206K, and it is worth noting that the threshold voltage in this case is considerably

D. Marroqui, et al.

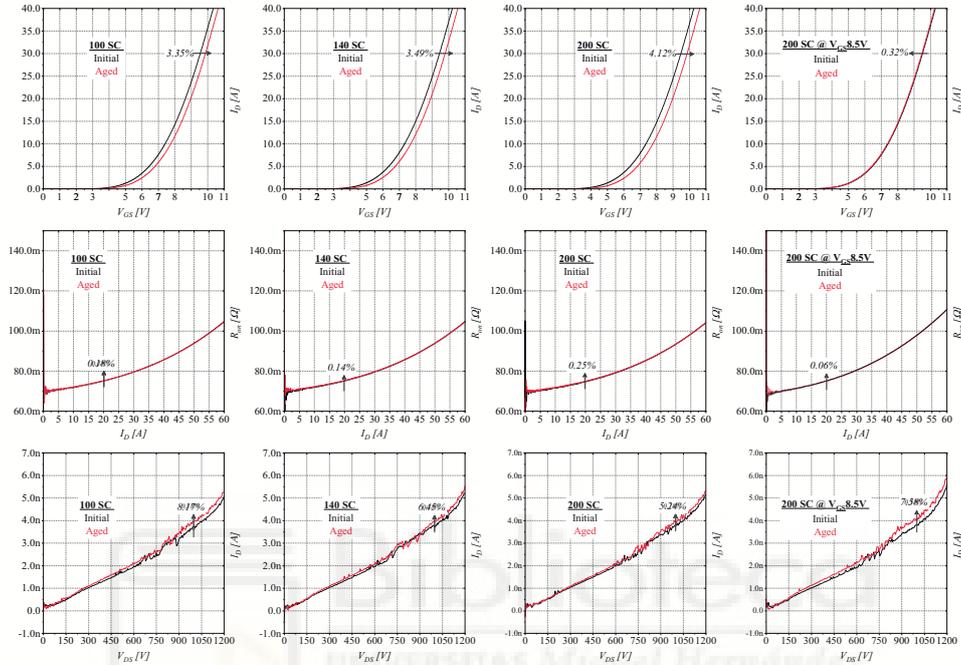


Fig. 5. C2M0080120D – B1505A characterization. Black: Fresh device trace. Red: Aged device trace. First row: I_D vs V_{GS} . Second row: R_{on} vs I_D . Third row: I_D vs V_{DS} at $V_{GS} = 0$ V. First column: 100SC aging. Second column: 140SC aging. Third column: 200SC aging. Fourth column: 200SC aging at $V_{GS} = 8.5$ V. (For interpretation of the references to colour in this figure legend, the reader is referred to the web version of this article.)

lower than in C2M0080120D. In this case, the UJC1206K Si MOSFET avoids the appearance of the trapping effect.

• R_{on} vs I_D

As shown in Fig. 5, the increase of the on resistance (R_{on}) in C2M0080120D is proportional to number of short circuits and it is between 0.18% and 0.25% at 20A I_D . For devices tested with $V_{GS} = 8.5$ V, R_{on} increase is 0.06% at same current value. These increases, in general, are due to two different issues, the increase of the bond wires resistance due to aging and microfracturing as described in [11] and the equivalent increase of R_{on} due to the $V_{GS(TH)}$ drift.

In the UJC1206K, a significant increase of the equivalent R_{on} between 1.41% and 1.84% is appreciated. The measured resistance is the addition of the equivalent resistance of SiC JFET Cascode and Si MOSFET, please refer to Fig. 1, and again, this phenomenon could be justified from two different perspectives: The first is the increase of the bond wire resistance between both devices as well as the increase of the bond wire resistance to pinout. The second is the JFET threshold voltage drift. This phenomenon has been described in the literature in [6]. A decrease of the JFET threshold (normally-on) would affect the current saturation levels, and therefore from the point of view of the device, in an equivalent increase of R_{on} . Equivalent results have been obtained for the devices tested at $V_{GS} = 8.5$ V.

• I_D vs V_{DS}

In Fig. 5 it can be seen a C2M0080120D drain-source leakage current (I_{DSS}) increase, especially for $V_{DS} \geq 700$ V, the increase is between 5.24% and 8.17%. According to [12], an increase in I_{DSS} after a short circuit test suggests lower robustness.

On the other hand, the UJC1206K drain-source leakage current presents an unexpected behaviour not previously described in the literature. Drain-source leakage currents are reduced by a percentage between 3% and 25%, being higher this reduction in devices with a higher number of short circuits. This phenomenon could be due to the JFET threshold voltage drift. In a fresh device, the low SiC JFET leakage current causes the Si MOSFET is not blocking voltage. After test, the increase of the negative biasing voltage would lead a higher leakage in JFET. This increase could lead a new equilibrium condition in which MOSFET blocks higher voltage resulting in a lower overall drain-source leakage current. When $V_{GS} = 8.5$ V is applied, the opposite behaviour is shown.

4. Conclusions

This work compares the degradation of SiC MOSFET and SiC/Si Cascode devices under high voltage stress short circuit repetitive conditions. The degradation has been characterized using a B1505A curve tracer before and after short circuit test.

Results reveal lower peak current degradation in the Cascode, influenced by a lower JFET saturation current. The on resistance increase is higher in the Cascode, however, even considering it, it has a lower

D. Marroquí, et al.

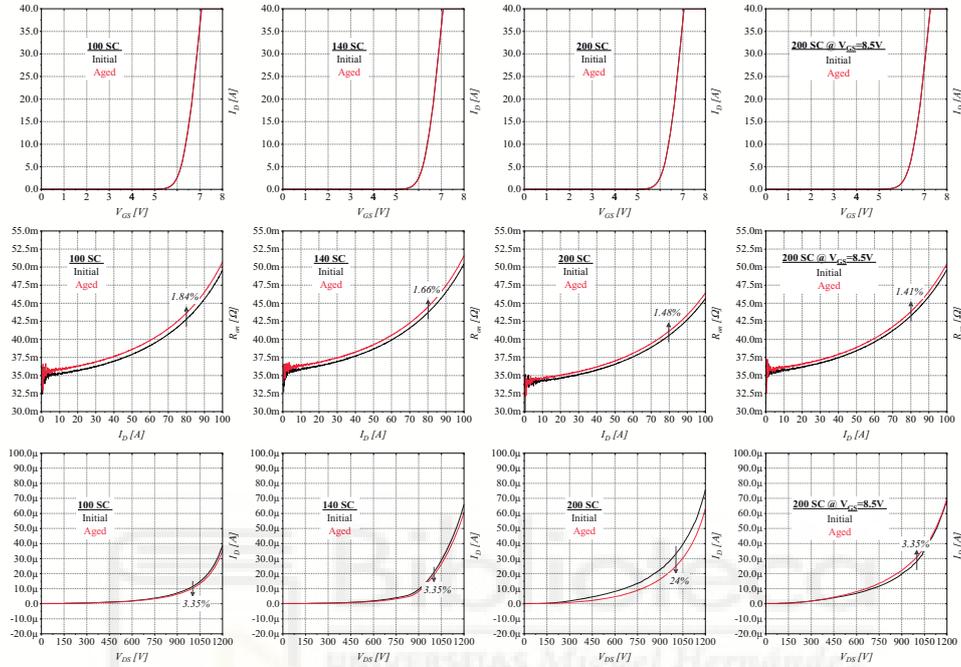


Fig. 6. UJCI206K – B1505A characterization. Black: Fresh device trace. Red: Aged device trace. First row: I_D vs V_{GS} . Second row: R_{on} vs I_D . Third row: I_D vs V_{DS} at $V_{GS} = 0$ V. First column: 100SC aging. Second column: 140SC aging. Third column: 200SC aging. Fourth column: 200SC aging at $V_{GS} = 8.5$ V. (For interpretation of the references to colour in this figure legend, the reader is referred to the web version of this article.)

Table 2
C2M0080120D & UJCI206K B1505A test parameters.

Test	V_{DS} [V]	V_{GS} [V]
C2M0080120D		
I_D vs V_{GS}	20	-
R_{on} vs I_D	-	20
I_D vs V_{DS}	-	0
UJCI206K		
I_D vs V_{GS}	5	-
R_{on} vs I_D	-	12
I_D vs V_{DS}	-	0

resistance than the equivalent SiC MOSFET. In the case of the drain-source leakage current, the Cascode shows an improvement after the SC tests, however, the Cascode Si MOSFET could be internally blocking higher voltages, reducing its useful life time.

Based on the results, SiC/Si Cascode are very promising devices for solid state HVDC protection where small R_{on} is required.

In a foreseeable future, the Cascode leakage current reduction causes should be confirmed by a finite element simulation or by the implementation of a discrete Cascode, in this last option however, the effects of cross heating between JFET and MOSFET would be difficult to analyse.

Declaration of Competing Interest

The authors declare that they have no known competing financial interests or personal relationships that could have appeared to influence the work reported in this paper.

Acknowledgment

The authors would like to thank the Spanish Ministry of Economy and Competitiveness for funding this work through the research project ESP2015-68117-C2-2-R.

References

- [1] L.C. Yu, G.T. Dunne, K.S. Matocha, K.P. Cheung, J.S. Suehle, K. Sheng, Reliability issues of SiC MOSFETs: a technology for high-temperature environments, *IEEE Trans. Device Mater. Reliab.* 10 (4) (Dec. 2010) 418–426.
- [2] R. Ouaida, M. Berthou, J. Leon, X. Perpina, S. Oge, P. Brosselet, C. Joubert, Gate oxide degradation of SiC MOSFET in switching conditions, *IEEE Electron Device Letters* 35 (12) (Dec. 2014) 1284–1286.
- [3] A.J. Lelis, R. Green, D.B. Habersat, M. El, Basic mechanisms of threshold-voltage instability and implications for reliability testing of SiC MOSFETs, *IEEE Trans. Electron Devices* 62 (2) (2015) 316–323 Feb.
- [4] T. Kikuchi, M. Ciappa, Modeling the threshold voltage instability in SiC MOSFETs at high operating temperature, *Reliability Physics Symposium*, 2014 IEEE International, 2014, pp. 2C–4.
- [5] K. Puschkarsky, T. Grasser, T. Aichinger, W. Gustin, H. Reisinger, Understanding and modeling transient threshold voltage instabilities in SiC MOSFETs, *2018 IEEE International Reliability Physics Symposium (IRPS)*, Burlingame, CA, 2018, pp.

D. Marroquí, et al.

- 3B.5-1-3B.5-10.
- [6] M. Berkani, S. Lefebvre, Z. Khatir, Saturation current and on-resistance correlation during during repetitive short-circuit conditions on SiC JFET transistors, *IEEE Trans. Power Electron.* 28 (2) (2013) 621-624 Feb.
 - [7] D. Marroquí, J.M. Blanes, A. Garrigós, R. Gutiérrez, Self-powered 380V DC SiC solid-state circuit breaker and fault current limiter, *IEEE Transactions on Power Electronics*, Early Access, 2019.
 - [8] Cree, C2M0280120D-SiC MOSFET Datasheet, (2015).
 - [9] United SiC, UJCI206K Cascode Datasheet, (2017).
 - [10] A. Ibrahim, J. Ousten, R. Lallemand, Z. Khatir, Power cycling issues and challenges of SiC-MOSFET power modules in high temperature conditions, *Microelectron. Reliab.* 58 (2016) 204-210.
 - [11] P. Diaz Reigosa, H. Luo and F. Iannuzzo Ge, "Implications of ageing through power cycling on the short circuit robustness of 1.2-kV SiC MOSFETs," in *IEEE Transactions on Power Electronics*. (Early Access).
 - [12] Z. Wang, X. Shi, L.M. Tolbert, F. Wang, Z. Liang, D. Costinett, B.J. Blalock, Temperature-dependent short-circuit capability of silicon carbide power MOSFETs, *IEEE Trans. Power Electron.* 31 (2) (2015) 1555-1566 (2).



7.3 Análisis del trabajo

El objetivo de este punto es justificar cual ha sido la motivación para la realización del trabajo [106] así como ampliar y detallar los resultados obtenidos.

7.3.1 Motivación

Como se ya se ha mencionado previamente, el carácter de este trabajo es ligeramente diferente al de los otros tres trabajos que componen la presente tesis. El resto de trabajos se centra en aplicaciones concretas mientras que el trabajo [106] presenta un carácter de análisis a nivel dispositivo.

Durante el desarrollo de la presente tesis se ha propuesto el uso de dispositivos basados en SiC para diferentes tipos de protecciones y controladores de potencia, concretamente se ha utilizado el MOSFET SiC C2M0080120D [33] y el cascode Si/SiC UJC1206K [99]. Los circuitos desarrollados se han validado en el ámbito del laboratorio siendo por lo tanto difícil conocer o predecir la vida útil de los mismos. No es arriesgado suponer que la vida útil de las protecciones presentadas en [100] y [104] será mayor que la vida útil de los sistemas mecánicos tradicionales. Un ejemplo representativo se muestra en el trabajo [107] donde se presenta un socket DC mecánico con cámara de extinción de arco que, sin realizar funciones de limitación de corriente, dispone de una vida útil de 500 operaciones ante conexión de cargas capacitivas, según la ficha técnica del producto comercial en el que acabó derivando [108]. Conocer los límites del sistema y poder garantizar un número de ciclos de funcionamiento es necesario con el objetivo de poder implementar los sistemas desarrollados con seguridad.

Por lo tanto, las motivaciones principales del trabajo [106] se pueden resumir en:

1. **Conocer la vida útil de los dispositivos empleados en las protecciones** descritas en [100] y [104].
2. **Establecer los límites de funcionamiento máximos de los dispositivos empleados en las protecciones** descritas en [100] y [104].

3. **Comprender** a través del análisis de las caracterizaciones de los dispositivos cuales son los factores indicativos de envejecimiento.

7.3.2 Análisis y extensión de resultados

Adicionalmente a los resultados presentados en [106], es importante remarcar que las condiciones a las que se han realizado los test buscan validar su comportamiento de una forma “límite” en condiciones V_{GS} recomendadas por los fabricantes y en condiciones V_{GS} similares a las disponibles en las protecciones [100] y [104] $-V_{GS}=8.5V-$ Para ello, se han realizado en el NDT-CORPE (figura 93) diversas pruebas incrementando la tensión del bus y tiempo de cortocircuito con el objetivo de comprender cual es el límite del dispositivo y trabajar en una zona inmediatamente inferior. Los resultados han demostrado que, para la V_{GS} definida por el fabricante, el dispositivo con peores prestaciones ha sido el MOSFET. En condiciones de cortocircuito de 1000V y 2.5 μs se destruyen de forma irrecuperable. Una captura de la ruptura del C2M0080120D se muestra en la figura 94 y el resultado del transistor tras el test en la figura 95. Por ello y comprobando que ambos dispositivos pueden manejar cortocircuitos de 1.5 μs de duración, se ha decidido utilizar este valor de tiempo de cortocircuito. El resultado del tiempo de 1.5 μs de cortocircuito para el UJC1206K [99] se muestra en la figura 96.



Figura 93. Non Destructive Test Setup del CORPE [AAU]

Con el objetivo de asegurar que los dispositivos a analizar soportan los ensayos de cortocircuito repetitivo en condiciones de V_{GS} similares a la de las protecciones, se han realizado los pertinentes ensayos individuales previos a la realización de los ensayos repetitivos. Los resultados para el C2M0080120D y el UJC1206K se muestran en la [figura 97](#) y [figura 98](#) respectivamente.

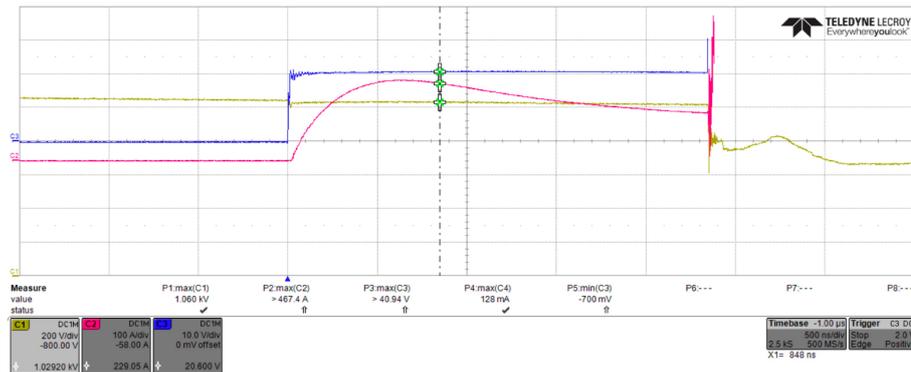


Figura 94. Proceso de ajuste del límite del C2M0080120D.en condiciones de V_{GS} definidas por el fabricante. Ruptura. Ch1: V_{DS} [V] 200V/div Ch2: I_S [A] 100A/div Ch3: V_{GS} [V] 10V/div. Escala de tiempo: 500ns/div



Figura 95. Estado del transistor C2M0080120D tras su ruptura debido a un exceso de tiempo de cortocircuito.

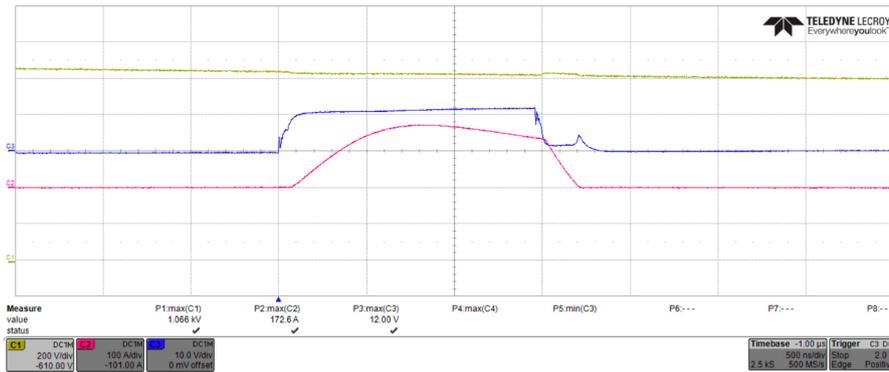


Figura 96. Ensayo de ajuste para el UJC1206K de 1.5 μ s en condiciones de V_{GS} definidas por el fabricante. Ch1: V_{DS} [V] 200V/div Ch2: I_S [A] 100A/div Ch3: V_{GS} [V] 10V/div. Escala de tiempo: 500ns/div

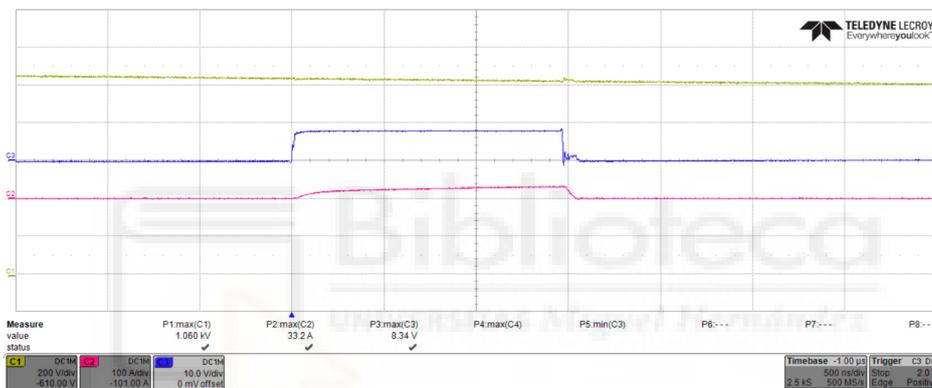


Figura 97. Ensayo de ajuste para el C2M0080120D de 1.5 μ s en condiciones de $V_{GS}=8.5$ V. Ch1: V_{DS} [V] 200V/div Ch2: I_S [A] 100A/div Ch3: V_{GS} [V] 10V/div. Escala de tiempo: 500ns/div

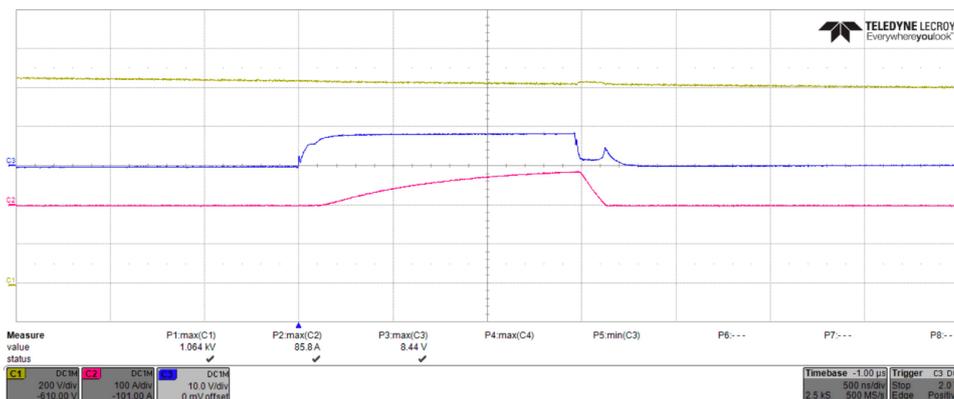


Figura 98. Ensayo de ajuste para el UJC1206K de 1.5 μ s en condiciones de $V_{GS}=8.5$ V. Ch1: V_{DS} [V] 200V/div Ch2: I_S [A] 100A/div Ch3: V_{GS} [V] 10V/div. Escala de tiempo: 500ns/div

Destacar que para condiciones de V_{GS} definidas por los fabricantes, el dispositivo C2M0080120D presenta una corriente de saturación mayor que el UJC1206K, mientras que en condiciones $V_{GS}=8.5V$, se obtienen mayores corrientes en el caso del UJC1206K. Se presupone que el primer efecto se debe a una corriente menor de saturación por parte del JFET SiC del cascode, mientras que el segundo efecto se debe a la menor tensión umbral de control del MOSFET Si de baja tensión que conforma el cascode.

Con el objetivo de poder realizar las diferentes configuraciones de tensiones V_{GS} se ha decidido utilizar el controlador para transistores SiC CPWR-AN10 del fabricante Wolfspeed (CREE) [109]. La principal razón es la posibilidad de controlar fácilmente la tensión de activación del transistor. El *driver* permite su funcionamiento en varios modos, en concreto para la presente aplicación se ha optado por el control de los transistores sin polarización negativa de apagado ya que en su aplicación final no dispondrán de dicha tensión. Además, el uso de fuentes DC/DC aisladas no reguladas permite la variación de forma precisa de la tensión de encendido. Tales ajustes se han realizado por medio de la alimentación del primario de la fuente DC/DC con una fuente de banco. El esquema implementado se muestra en la [figura 99](#).

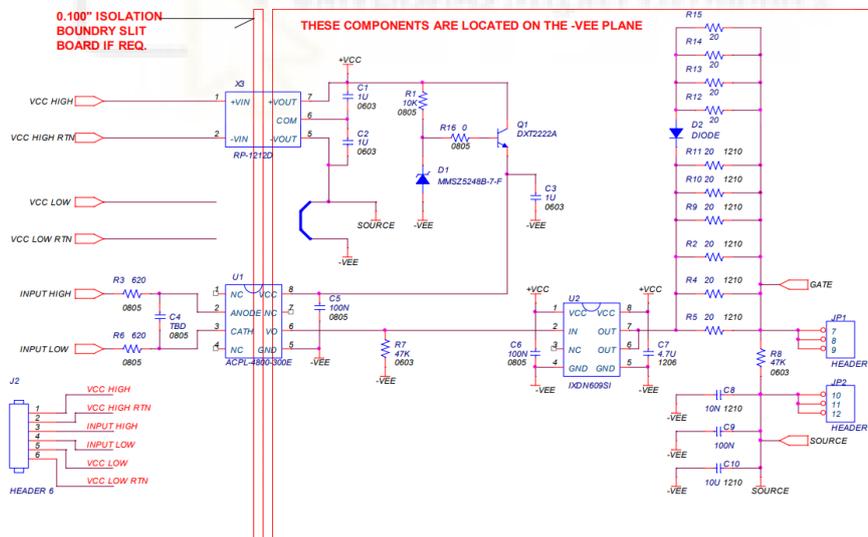


Figura 99. Esquema de uso del CPWR-AN10 en los test de cortocircuito [109].

Adicionalmente a los resultados presentados y analizados en [106], donde la prueba de 200 cortocircuitos fue el ciclo más largo, y con el objetivo de alargar el test para observar la degradación, se han realizado dos ciclos de 1000 repeticiones para un dispositivo de cada referencia. Las condiciones para estas pruebas han sido 1000V, 1.5 μ s de duración y V_{GS}

definidas por los fabricantes. Por limitaciones temporales únicamente se ha podido realizar un ciclado para cada una de las referencias. La evolución de la corriente máxima alcanzada durante el test se muestra en la [figura 100](#) para el caso de la referencia C2M0080120D y [figura 101](#) para la referencia UJC1206K.

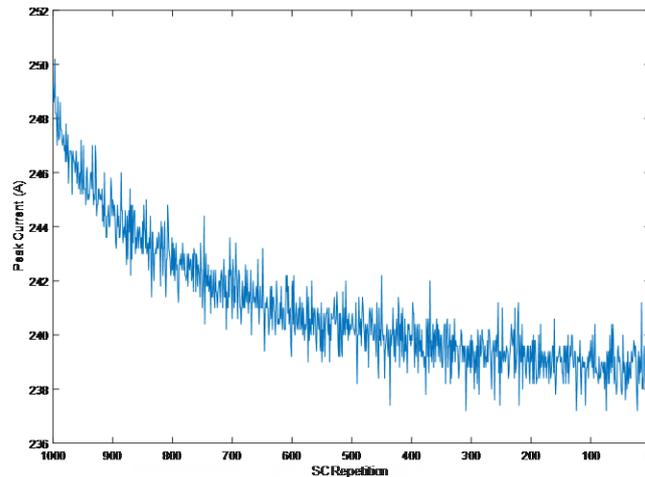


Figura 100. Evolución de las corrientes de pico durante un ciclado de 1000 cortocircuitos en un C2M0080120D. Eje vertical: I_s [A] Eje horizontal: n° de repeticiones restante.

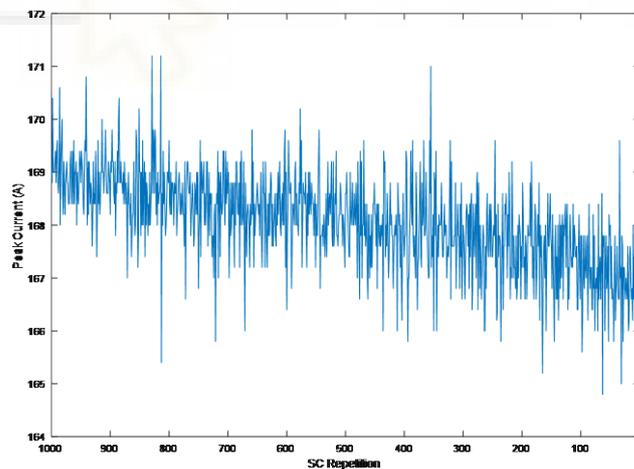


Figura 101. Evolución de las corrientes de pico durante un ciclado de 1000 cortocircuitos en un UJC1206K. Eje vertical: I_s [A] Eje horizontal: n° de repeticiones restante.

Efectivamente, los resultados corroboran la tendencia observada en [106]. En el caso del C2M0080120D, tras unos 600 cortocircuitos se alcanza una tendencia a estabilizarse mientras en el UJC1206K se mantiene la tendencia a lo largo de los 1000 cortocircuitos.

Capítulo 8

Conclusiones, aportaciones y líneas abiertas

En el presente y último capítulo se expondrá una breve conclusión, así como un resumen de las principales aportaciones de las publicaciones que la conforman y finalizará con algunas propuestas de líneas futuras de investigación relacionadas.



8.1 Conclusiones

El interés en el uso de sistemas de distribución basados en DC utilizado tanto en redes completas como parciales, para conjuntos de cargas/fuentes específicas, tiene una tendencia creciente en los últimos años. El incremento del número de cargas DC junto con el uso extensivo de sistemas de generación DC distribuidos y el uso de sistemas de almacenamiento –baterías– favorece la adopción de este tipo de redes que potencialmente permiten minimizar pérdidas asociadas a los múltiples pasos de transformación –DC/AC y AC/DC–. Por otra parte, con el objetivo de minimizar las pérdidas asociadas al transporte y disponer de redes capaces de alimentar cargas de gran potencia, el incremento de la tensión de los sistemas de distribución es otra realidad en los últimos años.

Por suerte, como herramienta de cambio, los dispositivos semiconductores, concretamente los transistores de potencia basados en SiC, que permiten su funcionamiento en un rango de tensión superior a los dispositivos equivalente de Si, proporcionan capacidad técnica para la implementación de tecnología que posibilite la implantación de dichas redes.

Así pues, la explotación de nuevas redes de distribución energética basadas en DC de mayor tensión proporciona una serie de ventajas –descritas en los capítulos previos– que las hace interesantes para diversos sectores: doméstico, industrial, aeronáutico, espacial, ferroviario y náutico entre otros.

La implementación de redes fiables y robustas es, además, una premisa necesaria para poder posicionarlas ventajosamente frente a las redes clásicas AC. Con este objetivo se ha desarrollado la presente tesis, que trata de aportar un pequeño grano de arena al desarrollo, implementación y validación de sistemas de protección y gestión de potencia para redes DC.

A continuación se presentan las principales conclusiones del de los trabajos presentados en los capítulos previos.

8.1.1 Artículo I: Aplicación de transistores SiC en el S3R

A continuación se describen las principales conclusiones del trabajo [32]. Un análisis de resultados más detallado se encuentra en el capítulo dedicado en exclusiva al trabajo ([Artículo I: Aplicación de transistores SiC en el S3R](#)).

1. **El uso de transistores de potencia basados en SiC –MOSFET y cascode– no supone cambios importantes en el diseño del *Sequential Switching Shunt Regulator*.** El cambio más relevante es la tensión de control $-V_{GS}$. En comparación con un dispositivo Si utilizado comúnmente para tal aplicación –IRF250N–, en el caso del cascode –UJC1206K–, la tensión de control recomendada se reduce desde los 20V hasta los 12V mientras que en el caso del MOSFET –C2M0080120D– se mantiene igual.
2. Desde el punto de vista de la conmutación en el *Sequential Switching Shunt Regulator*, el uso de transistores de potencia basados en SiC –MOSFET y cascode–, no implica diferencias importantes. Se debe a la naturaleza del sistema *Sequential Switching Shunt Regulator* donde la frecuencia de conmutación no es elevada –decenas de kHz, a lo sumo– y las características de conmutación de los dispositivos SiC no destacan frente al Si. Sin embargo, otros aspectos relacionados con la estabilidad del S3R que están fuertemente ligados a las características intrínsecas de los dispositivos utilizados –capacidad de Miller e inductancia de puerta– deberán ser considerados en diseños más avanzados. Alguna de las técnicas pasan por incrementar la capacidad de Miller [110], [111].
3. La limitación activa de corriente implica disipación de energía en los dispositivos semiconductores de potencia utilizados. **En las pruebas realizadas se ha verificado que los diferentes tipos de transistores utilizados sufren un incremento de temperatura equivalente.** Esto se debe a que tanto la energía disipada como el encapsulado –y por lo tanto impedancias térmicas– de los dispositivos ha sido muy similar en todos los casos. Es importante remarcar que, a pesar de su capacidad de funcionar en temperaturas mayores –en teoría hasta los 600°C [112]–, los dispositivos SiC actuales se encapsulan con tecnología que no pueden superar los 150°C. Es de esperar que las nuevas generaciones de

transistores implementen tecnologías que permitan superar esta temperatura [113].

4. En relación al funcionamiento en alta temperatura de los dispositivos semiconductores, es importante destacar que en el caso del cascode utilizado –UJC1206K– se dispone de un MOSFET de baja tensión Si. Por ello, **adicionalmente a las restricciones de temperatura impuestas por el encapsulado, se debe considerar el límite de funcionamiento del Si – 125°C, típicamente–.**

8.1.2 Artículo II: SSCB-LCL para aplicaciones de 380V

A continuación se describen las principales conclusiones del trabajo [100]. Un análisis de resultados más detallado se encuentra en el capítulo dedicado en exclusiva al trabajo ([Artículo II: SSCB-LCL para aplicaciones de 380V](#)).

1. **Los cascos SiC permiten implementar sistemas de protección y control de potencia capaces de funcionar en el rango de los 380V.** En el caso del UJC1206K, su baja resistencia de encendido –42mΩ– permite implementar sistemas con bajas pérdidas de encendido.
2. El uso del **VOM1271 presenta unas características que le hacen excepcionalmente útil en el desarrollo de sistemas de protección y control de potencia.**
 - a. En el caso de uso como controlador de transistor flotante –como es el caso– **no requiere el uso de fuentes de alimentación auxiliares**, lo que permite minimizar el número de componentes empleados. Proporciona aislamiento entre control y salida de hasta 4500V.
 - b. **En el encendido proporciona corrientes pequeñas, lo que se traduce en arranques suaves**, facilitando la implementación de control de corrientes de arranque y mejorando la estabilidad en esta fase crítica de la protección.

- c. Para la fase de apagado, **incorpora un circuito de descarga rápida que permite obtener tiempos de respuesta pequeños.**
3. El VOM1271 proporciona tensiones de encendido máximas de 8.4V. En general, los transistores de potencia requieren tensiones de encendido superiores. Los **dispositivos cascado**, gracias a su estructura interna ([véase sección 2.3.2.4](#)), concretamente al uso de MOSFETs de baja tensión, **pueden ser encendidos con tensiones inferiores a las de los dispositivos MOSFET SiC de características equivalentes.**
4. La suma del circuito de descarga rápida del VOM1271, **la dependencia de la tensión de *Plateau* con la corriente por el transistor ([según \(5\)](#)), y el efecto de la inductancia de surtidor del transistor sobre el circuito de apagado rápido del VOM1271 ([según \(7\)](#)), permite obtener tiempos de respuesta muy rápidos**, unos 570ns, lo que para el rango de potencia de [100] supone la respuesta más rápida encontrada en la literatura.

8.1.3 Artículo III: SSCB-LCL para aplicaciones de 1000V

A continuación se describen las principales conclusiones del trabajo [104]. Un análisis de resultados más detallado se encuentra en el capítulo dedicado en exclusiva al trabajo ([Artículo III: SSCB-LCL para aplicaciones de 1000V](#)).

1. **El sistema de protección y control propuesto permite ser ajustado de forma sencilla** –a través de una única resistencia– con el objetivo de proporcionar diferentes modos de funcionamiento que se ajusten a necesidades concretas de cargas y red.
2. **Para el control del *driver* de transistor utilizado –VOM1271– en tensiones superiores a 400V, es necesario el uso de un sistema de alimentación auxiliar** para minimizar las pérdidas del uso de fuentes de polarización lineales entre el bus y masa.

3. Utilizar **fuentes de alimentación con entrada de control** para la alimentación del VOM1271 **permite implementar un control de apagado sencillo y fiable**.
4. La **tensión proporcionada por el VOM1271** para el control del MOSFET C2M0080120D $-8.4V-$ **permite optimizar la velocidad de apagado del sistema** sin incrementos relevantes en las pérdidas de conducción del transistor. Esta condición debe ser considerada en la fase de selección de transistor, pues supone una restricción añadida.

8.1.4 Artículo IV: Estudio de robustez en dispositivos SiC

A continuación se describen las principales conclusiones del trabajo [106]. Un análisis de resultados más detallado se encuentra en el capítulo dedicado en exclusiva al trabajo ([Artículo IV: Estudio de robustez en dispositivos SiC](#)).

1. Experimentalmente se ha demostrado que los transistores **C2M0080120D y UJC1206 son capaces de soportar al menos 200 cortocircuitos de duración $1.5\mu s$ con una tensión de 1000V y condiciones de encendido (V_{GS}) recomendadas por los fabricantes $-20V$ y $12V$ respectivamente**-. Adicionalmente, con un único dispositivo de cada referencia, se ha realizado un ensayo de 1000 cortocircuitos en las mismas condiciones. Con ello puede confirmarse que ambos dispositivos son suficientemente robustos para ser utilizados en el desarrollo de nuevos sistema de protección y control de potencia.
2. Para analizar los efectos del uso de una V_{GS} menor, como la utilizada en los trabajos [100] y [104] $-8.4V-$, **se han realizado las mismas pruebas que en el punto anterior, demostrando que son capaces de soportar los 200 cortocircuitos**.
3. En base a los resultados experimentales, puede concluirse que **la condición de V_{GS} de 8.4V, supone desde el punto de vista de la fiabilidad y robustez de los dispositivos analizados $-C2M0080120D$ y $UJC1206-$ una mejor condición**. Este hecho se fundamenta en que las corrientes en caso de cortocircuito son

menores, disipando menores energías y disminuyendo el estrés en los dispositivos.

4. Desde el punto de vista de la capacidad de soportar condiciones de cortocircuito, es destacable que, en las condiciones de encendido V_{GS} recomendadas por los fabricantes, el dispositivo cascode UJC1206K manifiesta una corriente 20% inferior al MOSFET C2M0080120D, lo que se traduce en una mejor condición de estrés. Sin embargo, para una condición de encendido de $V_{GS} = 8.4V$, igual en ambos, dada la menor tensión de encendido del UJC1206K, alcanza una corriente un 40% mayor con respecto al C2M0080120D.
5. Del análisis de los indicadores de degradación de los dispositivos, resulta especialmente interesante la reducción de corrientes de fuga del cascode tras los ensayos de cortocircuito. Desde un punto de vista del dispositivo, puede deberse a una variación en la condición de equilibrio de apagado en la que el MOSFET de baja tensión esté soportando mayor tensión.

8.2 Aportaciones

A continuación, se resumen las principales aportaciones de la presente tesis doctoral agrupadas en los cuatro artículos que la componen.

8.2.1 Artículo I: Aplicación de transistores SiC en el S3R

A continuación se listan las principales aportaciones del trabajo [32]. Un análisis de resultados más detallado se encuentra en el capítulo dedicado en exclusiva al trabajo ([Artículo I: Aplicación de transistores SiC en el S3R](#)).

1. **Primera toma de contacto con los dispositivos de potencia SiC aplicados a un sistema de limitación activa de corriente** integrado dentro de un sistema de acondicionamiento de potencia espacial.

2. **Validación del comportamiento de los modelos de simulación de los fabricantes** de los dispositivos considerados para tal aplicación por medio de software específico.
3. **Implementación de un prototipo funcional para la validación del comportamiento real de los diferentes dispositivos considerados.**
4. **Corroboración de la relación entre los resultados** obtenidos de simulación y resultados experimentales del prototipo.
5. **Validación y corroboración de equivalencia** de los dispositivos considerados térmicamente por medio de su monitorización **termográfica**.

8.2.2 Artículo II: SSCB-LCL para aplicaciones de 380V

A continuación, se listan las principales aportaciones del trabajo [100]. Un análisis de resultados más detallado se encuentra en el capítulo dedicado en exclusiva al trabajo ([Artículo II: SSCB-LCL para aplicaciones de 380V](#)).

1. **Toma de contacto con los sistemas de protección serie** basados en el uso de dispositivos semiconductores **SiC**.
2. **Implementación de un *setup* específico para la validación de protecciones DC** en un rango de tensión de hasta 1000Vdc en las instalaciones del *IE-g*.
3. **Conceptualización, simulación e implementación de un sistema de protección y control basado en SiC para el rango de tensión de 380V** con tiempos de respuesta ultrarrápidos, autoalimentado, capacidad de maniobra remota aislada y capacidad de limitación activa de corriente con enclavamiento.
4. **Validación de la protección** en condiciones de limitación de corriente, barridos de sobrecarga, diferentes límites de corriente y cortocircuito.
5. **Validación de las funciones de telecontrol remoto, OFF y RESET.**

8.2.3 Artículo III: SSCB-LCL para aplicaciones de 1000V

Las principales aportaciones del trabajo que compone la tercera publicación [104] de la presente tesis doctoral son las siguientes. Para mayor detalle, así como una extensión de resultados, refiérase a la sección previa dedicada en exclusiva a ello ([Artículo III: SSCB-LCL para aplicaciones de 1000V](#))

1. **Extrapolación del diseño** [100] con las adaptaciones necesarias para elevar el rango de uso **hasta los 1000V**.
2. **Análisis del circuito y obtención** de ecuaciones de diseño para ajustar el funcionamiento de la protección **a las necesidades de la red/carga**.
3. **Validación de las ecuaciones de diseño del circuito de forma experimental** y propuesta de tres modos de funcionamientos (respuesta lenta con limitación de corriente, respuesta rápida con limitación de corriente y respuesta rápida sin limitación de corriente)
4. **Validación del funcionamiento de los comandos de control remotos, OFF y RESET.**

8.2.4 Artículo IV: Estudio de robustez en dispositivos SiC

Las aportaciones del trabajo [106] se numeran a continuación. Para un análisis pormenorizado, extensión de resultados y el propio trabajo, refiérase a la sección descrita previamente ([Artículo IV: Estudio de robustez en dispositivos SiC](#)).

1. **Se ha realizado un estudio de robustez en los dos principales dispositivos SiC utilizados** [100], [104] en las protecciones y controladores de potencia presentados.
2. **Verificación de que los dispositivos utilizados [33] y [99] son capaces de soportar la peor condición posible de falla –cortocircuito– en condiciones de encendido (V_{GS}) recomendadas por los fabricantes durante al menos, doscientos cortocircuitos** sin presentar derivas de parámetros estáticos relevantes.

3. **Verificación de que los dispositivos utilizados [33] y [99] son capaces de soportar la peor condición posible de falla –cortocircuito– en condiciones de encendido (V_{GS}) recomendadas por los fabricantes durante al menos, mil cortocircuitos** sin presentar minoraciones de corrientes de pico relevantes.
4. **Verificación de que los dispositivos utilizados [33] y [99] son capaces de soportar la peor condición posible de falla –cortocircuito– en condiciones de encendido (V_{GS}) similares a las proporcionadas por el *driver* de las protecciones desarrolladas durante al menos, doscientos cortocircuitos** sin presentar derivas de parámetros estáticos relevantes.

8.3 Líneas abiertas

Las líneas de investigación en las que se fundamenta el presente trabajo son muy amplias, por ello, a modo de líneas abiertas y trabajos futuros se pueden proponer gran variedad de líneas futuras. A continuación, se intenta presentar las líneas futuras clave –algunas de las cuales ya están siendo exploradas– para investigaciones futuras.

8.3.1 Bidireccionalidad

Todos trabajos presentados presentan un carácter unidireccional. Esto es, principalmente debido a que el principal objetivo ha sido validar el concepto propuesto y su correcto funcionamiento en aplicaciones determinadas. Sin embargo, el uso de sistemas bidireccionales resulta necesario en aplicaciones en las que, valga la redundancia, se requiera un flujo energético bidireccional. Sistemas con baterías, interconexión de redes DC, entre otros pueden requerir esta tecnología.

Desde el punto de vista la implementación, en [114] se proponen y analizan varias opciones para la implementación de controladores bidireccionales. Las principales se muestran en la [figura 102](#).

Desde el punto de vista de la simplicidad, la opción A, con el puente de rectificado por diodos permite la utilización de un único sistema de control y medida, pero presenta la contrapartida de incluir pérdidas de los dos diodos que permanentemente permanecen en

conducción. La opción B, requeriría la implementación de un sistema de medida diferente, pero permitiría optimizar el sistema de control de los transistores y como contrapartida presenta pérdidas de dos dispositivos semiconductores síncronos. Todas las opciones están referidas a [figura 102](#).

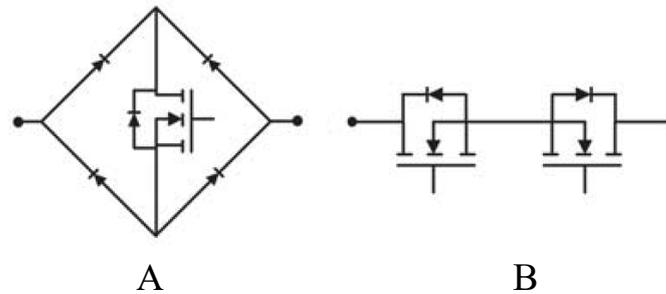


Figura 102. Opciones para la implementación de protecciones y controladores bidireccionales [114].

8.3.2 Paralelización

A pesar de la optimización de corriente que supone el incremento de voltaje en los sistemas de distribución DC, en aplicaciones de muy alta potencia se requiere el uso de dispositivos o sistemas capaces de funcionar con rangos de corrientes superiores a los presentados en los capítulos [5](#) y [6](#). En estos casos, hay varias opciones a considerar:

- La **paralelización de dispositivos discretos** está ampliamente estudiada desde hace varias décadas [115], [116]. La gran ventaja de este tipo de aplicación es el coste y la capacidad de generar sistemas ajustados a los requisitos de la aplicación concreta. El principal inconveniente de la paralelización de dispositivos es la dificultad de realizar balanceos de corriente entre ellos. Distribuciones no uniformes de corriente puede dar lugar a inestabilidades térmicas que se traducen en disminuciones de la vida útil y fiabilidad en los dispositivos [117], [118]. Para minimizar estos efectos se utilizan módulos que ya implementan disposiciones óptimas.
- La implementación de **dispositivos con módulos** permite minimizar los efectos mencionados en el punto previo, pero presenta dos grandes retos. La adaptación de los dispositivos de control, que en general, son de magnitudes diferentes a los dispositivos individuales. Y, por último, el incremento de tamaño que supone puede

resultar un inconveniente en algunas aplicaciones en las que los requisitos de tamaño/peso sean restrictivas. Además, destacar que en algunos sectores en los que se requiere utilizar dispositivos *Hi-Rel* y resistentes a radiación debe considerarse que la disponibilidad de este tipo de dispositivos es muy limitada (o nula).

- La **paralelización a nivel protección** permitiría la implementación de sistemas modulares de una forma económica y directa con el inconveniente de presentar los mismos problemas que en la paralelización de dispositivos discretos.

8.3.3 Serialización

De forma similar a lo que sucede cuando se requieren rangos de corriente superiores a los que pueden proporcionar los dispositivos discretos, existen ciertas aplicaciones que requieren rangos de tensión muy superiores a los descritos, sistemas radar, aceleradores, sistemas de electrónica médica entre otros.

En la actualidad, es relativamente sencillo encontrar dispositivos SiC cascode/MOSFET similares a los empleados en la presente tesis [33] y [99] (TO247) capaces de funcionar en el rango de los 1700V. Algunas aplicaciones sin embargo superan este rango de tensión.

Ya que la topología presentada en [Artículo III: SSCB-LCL para aplicaciones de 1000V](#), está limitada casi en exclusiva al rango de tensión soportado por el semiconductor, una de las vías más interesantes a explorar sería el uso de dispositivos en serie. Dentro de las diferentes configuraciones de vanguardia, las basadas en el principio del cascode ([véase sección 2.3.2.4](#)) son las más interesantes. El supercascode, formado por un dispositivo de control –generalmente un MOSFET– y varios dispositivos JFET conectados en serie, permite implementar dispositivos compuestos que alcanzar rangos de tensión mayores de 5kV. Este tipo de dispositivos [119] presenta el reto de realizar balanceos adecuados para que cada transistor que lo compone termine bloqueando la misma tensión. Sin embargo, hay trabajos previos propuestas para alcanzar balanceos adecuados [120].

La principal ventaja de utilizar esta técnica, radica en la inmediatez de su utilización, pero un estudio profundo de los diferentes modos de funcionamiento y comportamientos en la fase de limitación deberían llevarse a cabo.

8.3.4 Control digital

La incorporación de nuevos circuitos digitales permitiría dotar a los sistemas desarrollados de inteligencia con el objetivo de que realicen funciones más avanzadas. De los sistemas disponibles, el uso de FPGA de los más adecuados. Sus elevadas prestaciones, especialmente útiles en el caso de necesitar implementar sistemas de alta velocidad, les propone como una tecnología adecuada en la mayoría de las aplicaciones, existiendo disponibilidad de dispositivos *HiRel* con resistencias a entornos con radiación –aplicaciones espaciales– .

Esta línea de investigación se encuentra en una fase preliminar actualmente en el *IE-g*. En el trabajo [121] se presentó un primer concepto de protección de dos niveles, analógico y digital, que implementaba:

- Un primer **nivel de protección** ([figura 103](#)) **analógico** basado en la protección descrita en [Artículo II: SSCB-LCL para aplicaciones de 380V](#) preconfigurada y que funciona de forma autónoma instalada sobre una tarjeta de sensores que reportan al sistema digital información de: tensión de entrada a la protección, tensión de salida, corriente, temperatura ambiente y temperatura del encapsulado del transistor principal
- Un segundo **nivel de protección** basado en lógica **digital**, concretamente implementado en una tarjeta de desarrollo REDPITAYA (Xilinx Zynq 7010) que adquiere información de los sensores con el objetivo de realizar temporizaciones variables en función de la corriente y reproducir curvas y perfiles de un fusible. Además, permite autoajustar las curvas en base a la temperatura y vida del sistema. También permite realizar limitaciones de corriente temporizadas manteniendo la integridad del dispositivo semiconductor.

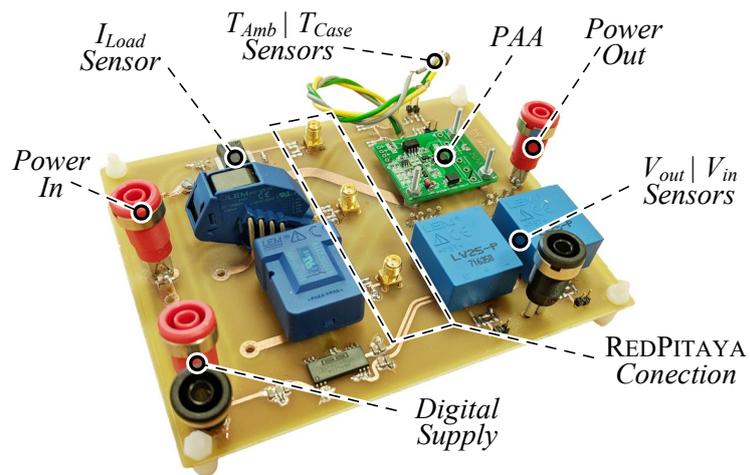


Figura 103. Hybrid and Intelligent - *Solid State Power Controller* –HI-SSPC– [121]

El desarrollo de esta tecnología en potencia, permitirá implementar sistemas mucho más versátiles con funciones de telemetría, estimación de estado del dispositivo semiconductor, caracterización de cargas, localización de fallas, previsiones de demanda sin perder la robustez proporcionada por los sistemas de protección analógicos descritos en la presente tesis.



Anexo I

Esquemas electrónicos del prototipo de limitador SiC para el S3R

En este anexo se presenta el esquema electrónico del prototipo implementado para la validación de la tecnología de transistores SiC aplicada al limitador activo de corriente para el S3R.



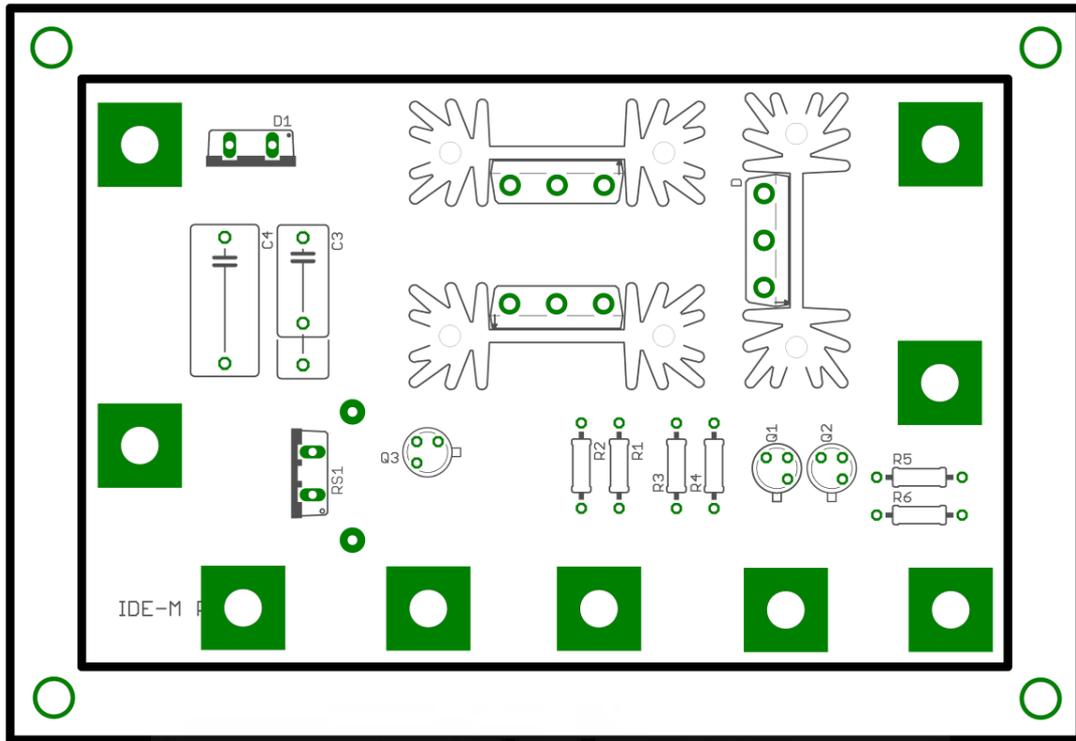


Figura 105. Posicionamiento del prototipo de limitador activo de corriente para el S3R

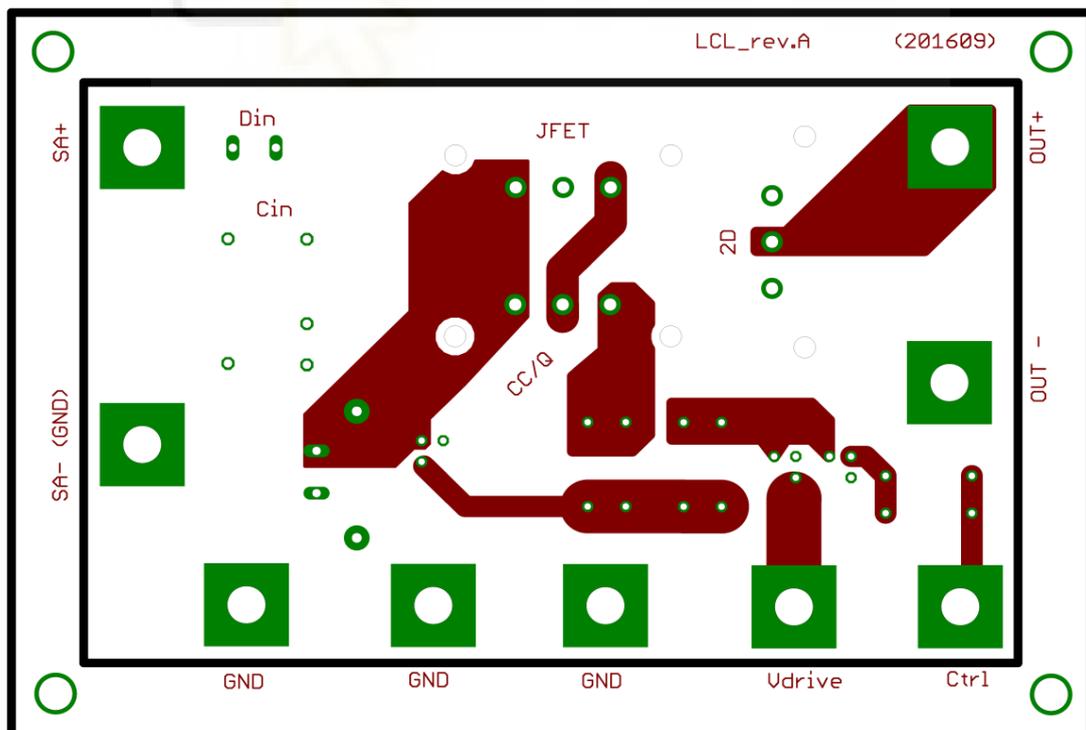


Figura 106. Cara Top del prototipo de limitador activo de corriente para el S3R

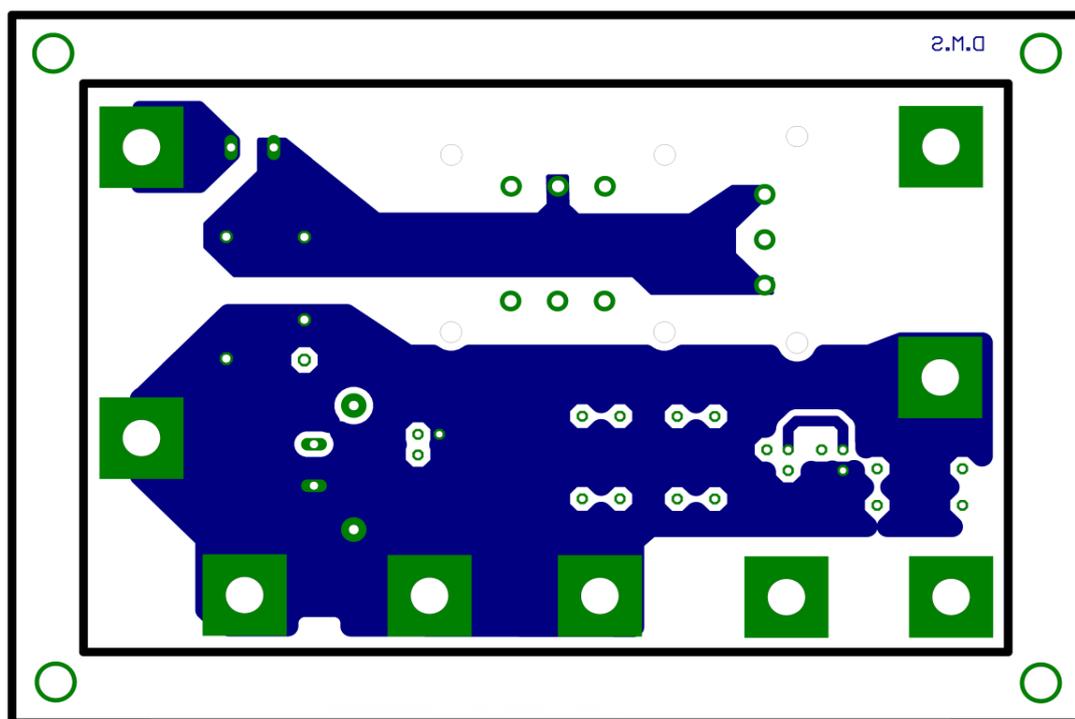


Figura 107. Cara *Bottom* del prototipo de limitador activo de corriente para el S3R



Anexo II

Esquemas electrónicos de la protección de 380V

En este anexo se presenta el esquema electrónico del prototipo de protección SSCB-LCL para aplicaciones de 380V desarrollado. Se presenta el esquemático junto con la capas diferentes capas que conforman la PCB.



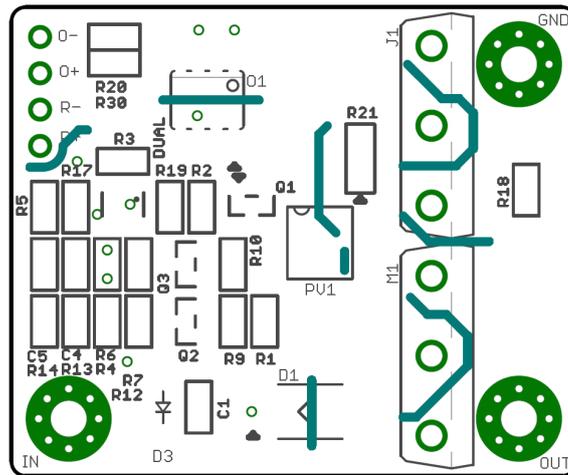


Figura 109. Posicionamiento de cara *top* de componentes del prototipo del SSCB-LCL para 380V..

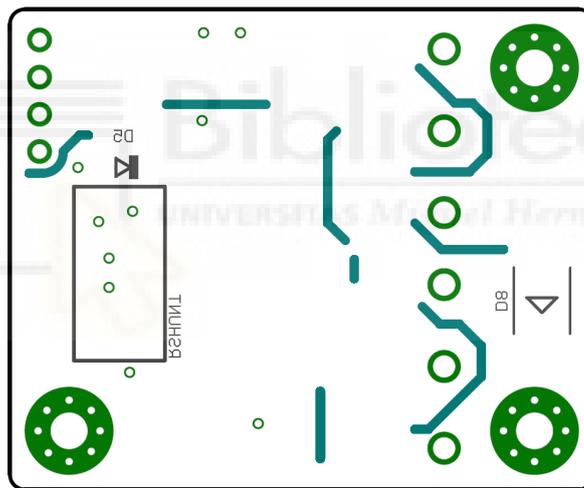


Figura 110. Posicionamiento de cara *bottom* de componentes del prototipo del SSCB-LCL para 380V..

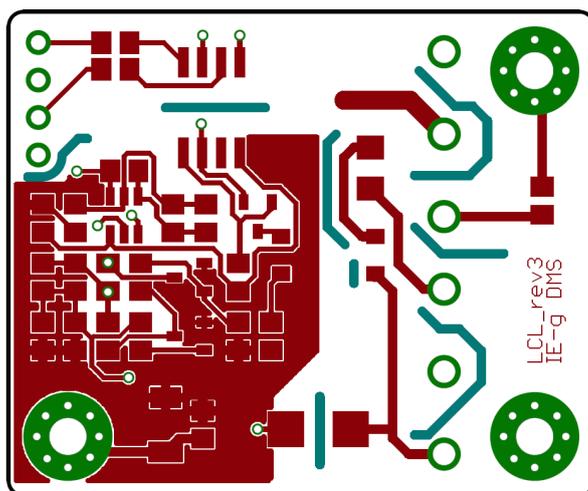


Figura 111. Cara *top* del prototipo del SSCB-LCL para 380V..

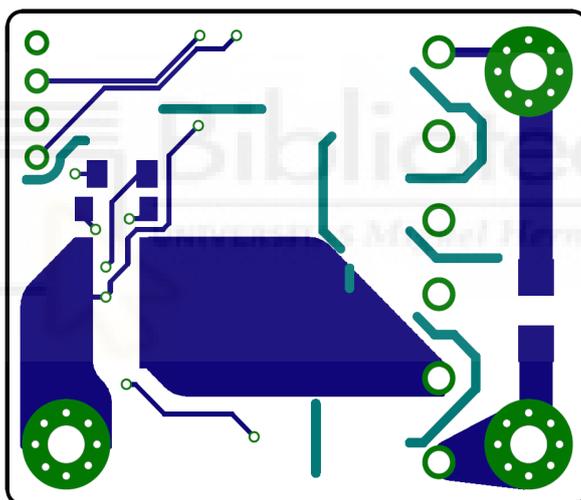


Figura 112. Cara *bottom* del prototipo del SSCB-LCL para 380V.

Anexo III

Esquemas electrónicos de la protección de 1000V

En este anexo se presenta el esquema electrónico del prototipo de protección SSCB-LCL para aplicaciones de 1000V desarrollado. Se presenta el esquemático junto con las capas diferentes capas que conforman la PCB.



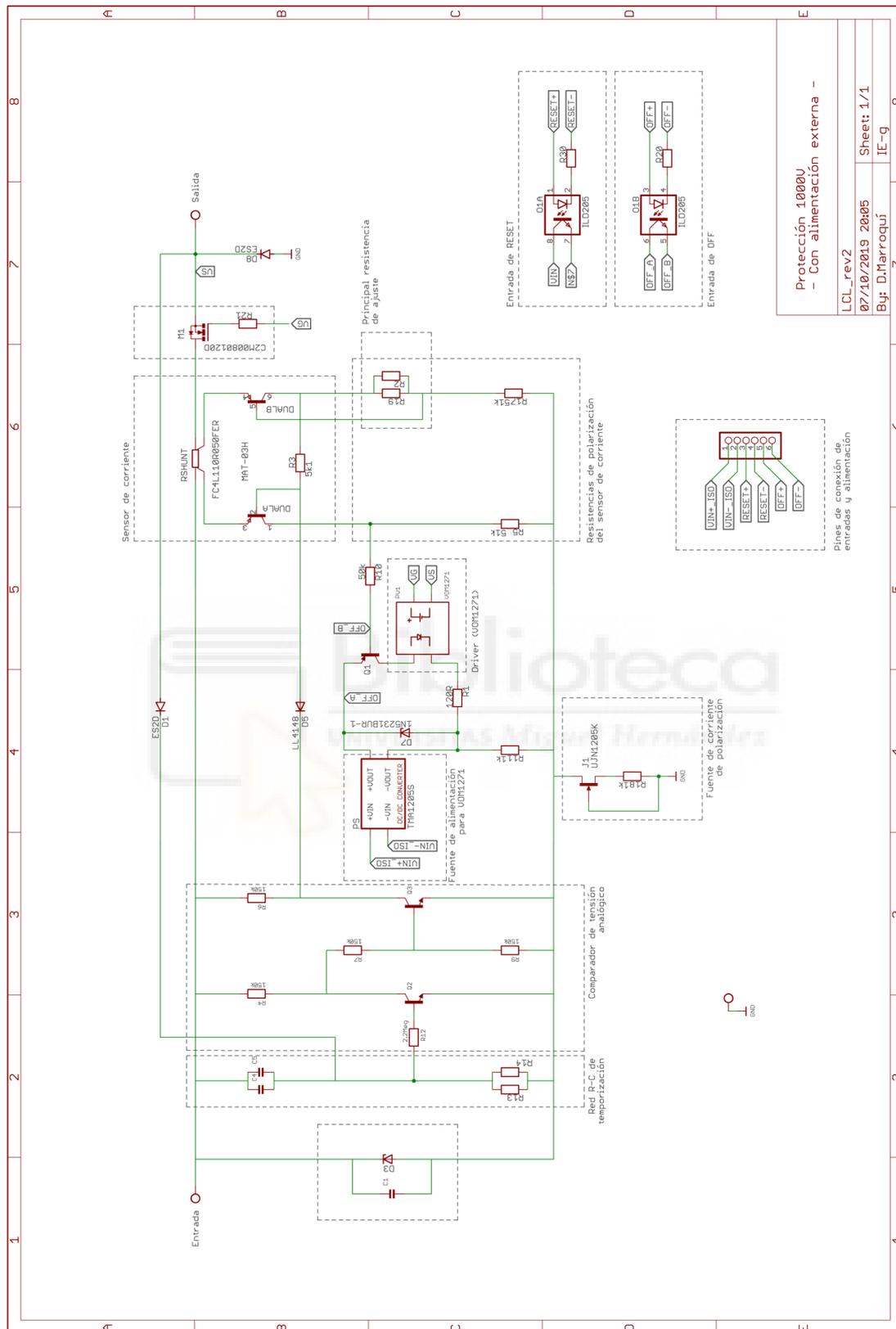


Figura 113. Esquemático del prototipo SSCB-LCL para 1000V.

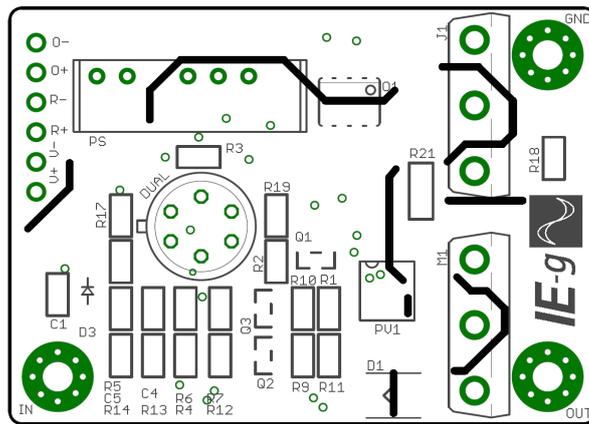


Figura 114. Posicionamiento de componentes del prototipo SSCB-LCL para 1000V de la cara top.

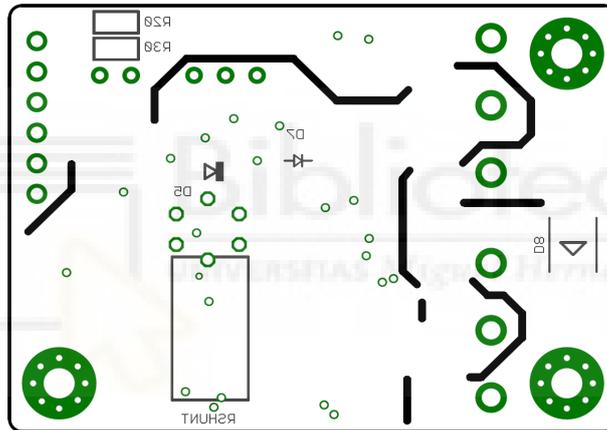


Figura 115. Posicionamiento de componentes del prototipo SSCB-LCL para 1000V de la cara bottom.

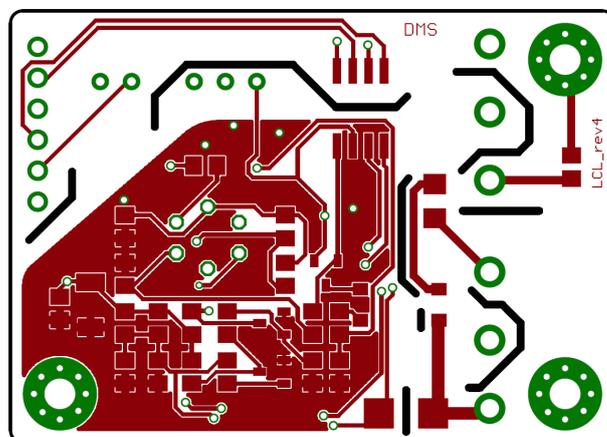


Figura 116. Cara top del prototipo SSCB-LCL para 1000V

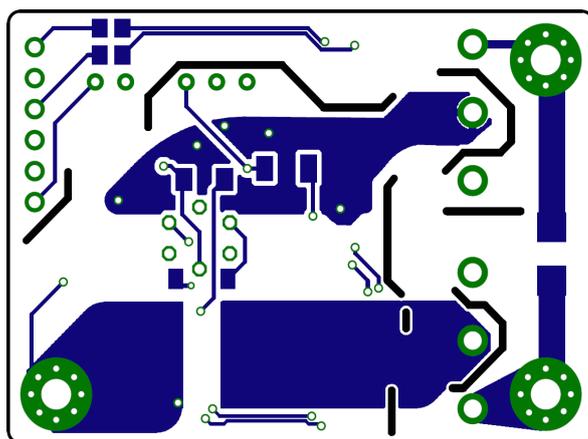


Figura 117. Cara *bottom* del prototipo SSCB-LCL para 1000V



Anexo IV

Descripción del *setup* experimental

Para la validación del correcto funcionamiento de las protecciones desarrolladas ha sido necesaria la implementación de un nuevo banco de trabajo en las instalaciones del *IE-g*. El objetivo del banco de trabajo es el de poder realizar pruebas de simulación de falla, saltos de carga y cortocircuito de forma segura.

A continuación, se presenta un esquema eléctrico del sistema implementado, así como una descripción sencilla de la aparamenta utilizada y desarrollada.



El objetivo del *setup* implementado es poder realizar las pruebas de forma segura. Un esquema eléctrico de la implementación se muestra en la [figura 118](#). A continuación, se describen los principales elementos utilizados, así como la función que desempeñan.

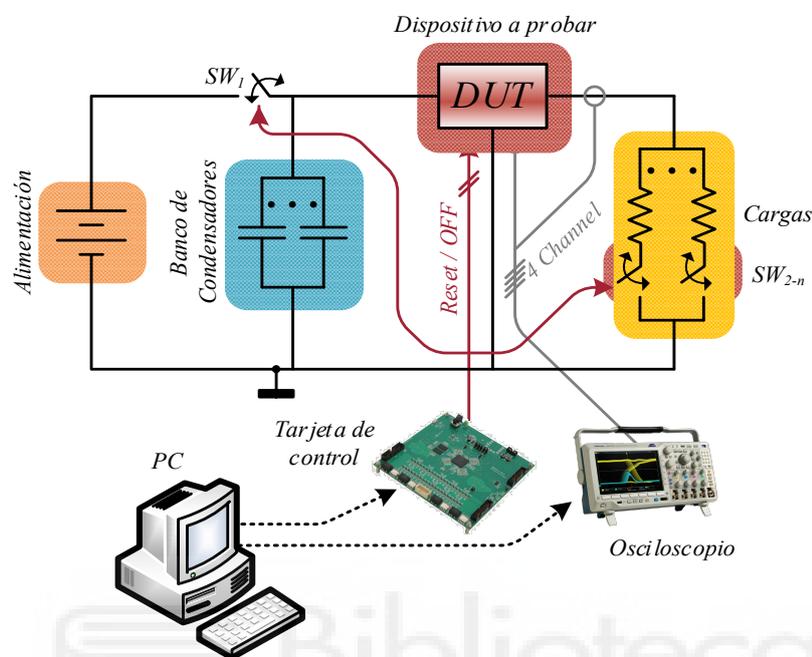


Figura 118. *Setup* de validación de protecciones implementado en las instalaciones del IE-g

- **Fuente de alimentación:** Como fuente de alimentación se ha utilizado una Keysight N8937A, fuente que permite alcanzar el rango de hasta 1500V y alimentar cargas de hasta 15kW. La fuente se controla por medio del software del fabricante de forma remota para no tener que intervenir manualmente con el objetivo de primar la seguridad del usuario.
- **Banco de condensadores:** Con el objetivo de no deteriorar la fuente de alimentación, en paralelo se ha conectado un banco de condensadores diseñado y fabricado en el IE-g de elevada capacidad que se carga a través de SW₁. El banco permite suministrar picos de corriente gracias a la baja resistencia del conjunto de seis condensadores 947D591K132DJRSN de Cornell Dubilier de 590μF cada uno de ellos. Una imagen del banco de condensadores implementado se muestra en la [figura 119](#). El banco de condensadores incorpora resistencias de descarga para su manipulación de forma segura. Por construcción el banco puede llegar a funcionar a una tensión de hasta 1300V.

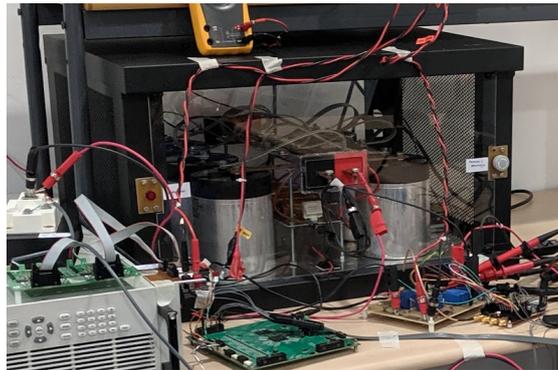


Figura 119. Banco de condensadores del *setup* para validación de protecciones.

- **Interruptores de maniobra:** El sistema dispone de varios interruptores basados en módulos IGBT de alta tensión, concretamente se han utilizado las referencias APTGT600U170D4G de Microsemi y FZ600R12KS4HOSA1 de Infineon. Las referencias seleccionadas permiten manejar corrientes de hasta 700A y tensión de 1700 y 1200V respectivamente. El primer interruptor SW_1 se utiliza para realizar la carga del banco de condensadores. Esta carga se realiza de forma suave mediante la propia limitación de corriente de la fuente. Una vez se ha realizado la carga SW_1 se abre y es la energía almacenada en los condensadores la que alimenta la carga, protegiendo de este modo la fuente. El resto de interruptores SW_{1-n} permiten la realización de saltos de carga y simulación de fallas de cortocircuito.
- **Drivers de IGBT:** El control de los interruptores de maniobra (SW_1 , SW_{1-n}) requiere el uso de *drivers* específicos para IGBT, para tal propósito se ha utilizado el *driver* aislado RDHP-1702 del fabricante Power Integrations, que permite realizar un control sencillo y robusto por medio de su activación con señales digitales convencionales. Este modelo dispone de dos *drivers* pensados para su utilización en medio puente, por lo que puede utilizarse uno para el control de dos transistores realizando la desactivación hardware de protección ante solapamiento.
- **Tarjeta de control:** Para controlar los interruptores de maniobra (SW_1 , SW_{1-n}) así como las entradas de control de las protecciones, principalmente *OFF* y *RESET*, se requiere de un sistema que permita la generación de señales. Dada la velocidad de actuación de las protecciones se requiere el uso de un sistema capaz de proporcionar una precisión muy elevada. Para tal propósito se utilizó la tarjeta de desarrollo SPCard que utiliza como unidad principal una FPGA, en concreto la Zynq

XC7Z020 del fabricante Xilinx. La SPCard proporciona una interfaz de control sencillo que permite implementar secuencias y patrones de funcionamiento. La comunicación entre la SPCard y los *drivers* se realiza mediante interfaz digital sin aislamiento puesto que los *drivers* disponen del aislamiento necesario.

- **Banco de resistencias:** Para simular las cargas a proteger por los sistemas desarrollados, se ha diseñado y fabricado en el *IE-g* un banco de resistencias de potencia formado por 5 resistencias TE500B470RJ (470Ω) del fabricante TE Connectivity. El banco permite realizar diferentes combinaciones de forma cableada. Internamente dispone de un sistema de circulación de aire forzado que permite evacuar el calor disipado por las resistencias. El banco de resistencias se muestra en la [figura 120](#).



Figura 120. Banco de resistencias utilizado en el banco experimental

- **Resistencia de cortocircuito:** Para el análisis del funcionamiento de los sistemas de protección desarrollados ante situaciones de cortocircuito se dispone de una resistencia de 5Ω y $10kW$ que evita que, en caso de fallo o mal funcionamiento de la protección, el cableado se deteriore, pudiendo llegar a quemarse debido al calentamiento por el exceso de corriente. Una imagen de la resistencia, fabricada a medida por el fabricante GUASCH, S.A.U, se muestra en la [figura 121](#).

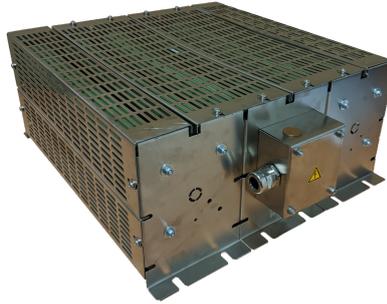


Figura 121. Resistencia para la simulación de cortocircuito.

- **Osciloscopio:** Para la adquisición de las tensiones y corriente del sistema bajo test, se dispone de un osciloscopio Tektronix MDO3104 de dominio mixto que permite obtener la respuesta digital de las señales de activación de los interruptores de maniobra y de las señales de control del dispositivo. Para la adquisición de las señales analógicas se dispone de diferentes sondas:
 - **Sondas de corriente:** Los modelos de sondas de corriente utilizados son TCP303+TCP300 y TCP0030A del fabricante Tektronix. La primera referencia combinada permite medidas de hasta 150A con un ancho de banda máximo de 15MHz mientras la segunda alcanza medidas de hasta 30A con un ancho de banda máximo de 120MHz.
 - **Sondas de alta tensión diferencial:** Los modelos de sonda diferencial utilizados fueron los THDP0100 y THDP0200 del fabricante Tektronix. La primera de ellas permite realizar medidas hasta 6000V con un ancho de banda máximo de 100MHz mientras la segunda permite medir señales de hasta 1500V con un ancho de banda máximo de 200MHz. Dada la naturaleza de alta tensión de los sistemas a evaluar, es necesario utilizar sondas diferenciales de tensión en la mayoría de las medidas.
 - **Sondas digitales:** Para la adquisición de las señales digitales se empleó la sonda P6316 del fabricante Tektronix, que permite monitorizar hasta 16 canales con un rango máximo de $\pm 20V$ y una resolución mínima de pulso de 5ns.

Anexo V

Programas de las secuencias de control

En el presente anexo se incluye el código que se ha implementado en la tarjeta de control SPCard para la realización de las secuencias de falla y validación de los telecomandos de *OFF* y *RESET*.

El código adjunto presenta unos tiempos que fueron en algunos casos variados para la obtención de diferentes respuestas.



- **Secuencia de doble pulso.** En el siguiente código se habilitan dos salidas digitales de la tarjeta de control. Ambas salidas pueden ser configuradas según las necesidades del test.

```
// Secuencia de doble pulso para SPCard //  
// DMS _ 201709  
  
unsigned long time_base=30000; //Se fija la base de tiempos a 30000ns (30us), es  
decir tendré una resolución de 30us.  
unsigned long cnt=0;//Contador a 0  
  
unsigned char delay1=1;//Declaración de los delays para cada salida.  
unsigned char delay2=100;  
  
unsigned char pin_1=14;//Asignación de pines a sus correspondientes salidas.  
unsigned char pin_2=15;  
  
unsigned char pw1=2000;//Declaración de los anchos de pulso para cada salida.  
unsigned char pw2=1;  
  
unsigned char n=0;  
unsigned char flag=0;  
  
void Toggle(void){  
    if (cnt==delay1)//A medida que el contador alcanza los valores de delay se  
activen las correspondientes salidas  
        goHIGH(0,pin_1);  
    if(cnt==pw1)  
        goLOW(0,pin_1);  
    if (cnt==delay2)  
        goHIGH(1,pin_2);//A medida que el contador alcanza los valores de  
delay se desactiven las salidas
```

```

        if (cnt==(delay2+1))//Cuando se alcanza el tiempo máximo se termina el
bucle

                flag=1;
                cnt ++;
                }

int main(void)
{
    if (flag==0){
        TimerInterrupt(time_base, Toggle);}
    //Resets all timers in the hardware.Creates time '0' of the system
    goStartTime();
    //All hardware modules start refreshing their register values
    goRefresh();
    //Outputs are enabled
    goEnable();
    while(1){}

return 0;
    }

```

- **Secuencia de triple pulso.** En el siguiente código se habilitan dos salidas digitales de la tarjeta de control. Ambas salidas pueden ser configuradas según las necesidades del test.

```

// Secuencia de triple pulso para SPCard //
// DMS _ 201802

unsigned long time_base=10000; //Se fija la base de tiempos a 1000ns (1us), es decir
tendré una resolución de 1us.
unsigned long cnt=0 //Contador a 0

```

```
unsigned char pin_1=14; //Asignación de pines a sus correspondientes salidas.
unsigned char pin_2=15;
unsigned char pin_3=16;

unsigned long delay1=1; //Declaración de los delays para cada salida.
unsigned long delay2=4500;
unsigned long delay3=3500;

unsigned long pw1=2500; //Declaración de los anchos de pulso para cada salida.
unsigned long pw2=2500;
unsigned long pw3=500;

unsigned char n=0;
unsigned char flag=0;

void Toggle(void){
    if (cnt==delay1) //A medida que el contador alcanza los valores de delay se
    activen las correspondientes salidas
        goHIGH(0,pin_1);
    if (cnt==delay2)
        goHIGH(1,pin_2);
    if (cnt==delay3)
        goHIGH(2,pin_3);

    if(cnt==(delay1+pw1))
        goLOW(0,pin_1); //A medida que el contador alcanza los valores de
    delay se desactiven las salidas
    if(cnt==(delay2+pw2))
        goLOW(1,pin_2);
    if(cnt==(delay3+pw3))
        goLOW(2,pin_3);
```

```
    if (cnt==(delay3+pw3+1)) //Cuando se alcanza el tiempo máximo se
termina el bucle
        flag=1;
        cnt ++;
    }

int main(void)
{
    if (flag==0){
        TimerInterrupt(time_base, Toggle);}
    if (flag==1) //Cuando cierro el bucle bajo todos las salidas a cero.
    {
        goLOW(0,pin_1);
        goLOW(1,pin_2);
        goLOW(2,pin_3);
    }
    goStartTime();
    goRefresh();
    goEnable();
    while(1){}
    return 0;
}
```


Referencias

- [1] T. S. Reynolds and T. Bernstein, “The damnable alternating current,” *Proc. IEEE*, vol. 64, no. 9, pp. 1339–1343, 1976.
- [2] P. Fairley, “DC Versus AC: The Second War of Currents Has Already Begun [In My View],” *IEEE Power Energy Mag.*, vol. 10, no. 6, pp. 104–103, Nov. 2012.
- [3] B. Marchionini and S. Zheng, “Direct Current in Buildings. A look at current and future trends - Report,” 2011.
- [4] C. Liu, K. T. Chau, D. Wu, and S. Gao, “Opportunities and Challenges of Vehicle-to-Home, Vehicle-to-Vehicle, and Vehicle-to-Grid Technologies,” *Proc. IEEE*, vol. 101, no. 11, pp. 2409–2427, Nov. 2013.
- [5] D. Fregosi *et al.*, “A comparative study of DC and AC microgrids in commercial buildings across different climates and operating profiles,” in *2015 IEEE First International Conference on DC Microgrids (ICDCM)*, 2015, pp. 159–164.
- [6] E. Rodriguez-Diaz, M. Savaghebi, J. C. Vasquez, and J. M. Guerrero, “An overview of low voltage DC distribution systems for residential applications,” in *2015 IEEE 5th International Conference on Consumer Electronics - Berlin (ICCE-Berlin)*, 2015, pp. 318–322.
- [7] IEC, “IEC 60038 -2009: IEC standard voltages,” 2009.
- [8] E. Rodriguez-Diaz, F. Chen, J. C. Vasquez, J. M. Guerrero, R. Burgos, and D. Boroyevich, “Voltage-Level Selection of Future Two-Level LVdc Distribution Grids: A Compromise Between Grid Compatibility, Safety, and Efficiency,” *IEEE Electr. Mag.*, vol. 4, no. 2, pp. 20–28, Jun. 2016.

- [9] S. Beheshtaein, R. M. Cuzner, M. Forouzesh, M. Savaghebi, and J. M. Guerrero, "DC Microgrid Protection: A Comprehensive Review," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 6777, no. c, pp. 1–1, 2019.
- [10] M. R. Patel, *Spacecraft Power Systems*. CRC Press, 2004.
- [11] J. S. Snyder and J. R. Brophy, "Peak Power Tracking and Multi-Thruster Control in Direct Drive Systems," in *33rd International Electric Propulsion Conference*, 2013, p. IEPC-2013-044.
- [12] D. Y. Oh, J. S. Snyder, D. M. Goebel, R. R. Hofer, and T. M. Randolph, "Solar Electric Propulsion for Discovery-Class Missions," *J. Spacecr. Rockets*, vol. 51, no. 6, pp. 1822–1835, Nov. 2014.
- [13] A. J. Namou, M. Reischmann, and M. A. Bassham, "Distributed vehicle battery high-voltage bus systems and methods," US9802558B2, 31-Oct-2013.
- [14] B. R. Shrestha, T. M. Hansen, and R. Tonkoski, "Reliability analysis of 380V DC distribution in data centers," in *2016 IEEE Power & Energy Society Innovative Smart Grid Technologies Conference (ISGT)*, 2016, pp. 1–5.
- [15] M. Salato, A. Zolj, D. J. Becker, and B. J. Sonnenberg, "Power system architectures for 380V DC distribution in telecom datacenters," in *Intelec 2012*, 2012, pp. 1–7.
- [16] Cong Wang and P. Jain, "A quantitative comparison and evaluation of 48V DC and 380V DC distribution systems for datacenters," in *2014 IEEE 36th International Telecommunications Energy Conference (INTELEC)*, 2014, vol. 2014-Janua, no. January, pp. 1–7.
- [17] R. M. Cuzner and G. Venkataramanan, "The Status of DC Micro-Grid Protection," in *2008 IEEE Industry Applications Society Annual Meeting*, 2008, pp. 1–8.

-
- [18] J.-M. Meyer and A. Rufer, "A DC Hybrid Circuit Breaker With Ultra-Fast Contact Opening and Integrated Gate-Commutated Thyristors (IGCTs)," *IEEE Trans. Power Deliv.*, vol. 21, no. 2, pp. 646–651, Apr. 2006.
- [19] R. M. Cuzner, K. Palaniappan, W. Sedano, N. Hoeft, and M. Qi, "Fault characterization and protective system design for a residential DC microgrid," in *2017 IEEE 6th International Conference on Renewable Energy Research and Applications (ICRERA)*, 2017, pp. 642–647.
- [20] D. Salomonsson, L. Soder, and A. Sannino, "Protection of Low-Voltage DC Microgrids," *IEEE Trans. Power Deliv.*, vol. 24, no. 3, pp. 1045–1053, Jul. 2009.
- [21] R. Cuzner and A. Jeutter, "DC zonal electrical system fault isolation and reconfiguration," in *2009 IEEE Electric Ship Technologies Symposium*, 2009, pp. 227–234.
- [22] R. M. Cuzner, T. Sielicki, A. E. Archibald, and D. A. McFarlin, "Management of ground faults in an ungrounded multi-terminal zonal DC distribution system with auctioneered loads," in *2011 IEEE Electric Ship Technologies Symposium*, 2011, pp. 300–305.
- [23] J. Yang, J. E. Fletcher, and J. O'Reilly, "Short-Circuit and Ground Fault Analyses and Location in VSC-Based DC Network Cables," *IEEE Trans. Ind. Electron.*, vol. 59, no. 10, pp. 3827–3837, Oct. 2012.
- [24] Z. Xiao, "An Instantaneously Triggered Short-Circuit Protection Architecture for Boost Switching DC/DC Converters," *IEEE Trans. Power Electron.*, vol. 33, no. 7, pp. 5677–5685, Jul. 2018.
- [25] L. Qi, A. Antoniazzi, and L. Raciti, "DC Distribution Fault Analysis, Protection Solutions, and Example Implementations," *IEEE Trans. Ind. Appl.*, vol. 54, no. 4, pp.

- 3179–3186, Jul. 2018.
- [26] Y. A. Harrye, K. H. Ahmed, and A. A. Aboushady, “DC fault isolation study of bidirectional dual active bridge DC/DC converter for DC transmission grid application,” in *IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society*, 2015, pp. 003193–003198.
- [27] P. Cairoli, R. Rodrigues, and H. Zheng, “Fault current limiting power converters for protection of DC microgrids,” in *SoutheastCon 2017*, 2017, pp. 1–7.
- [28] A. Meghwani, S. C. Srivastava, and S. Chakrabarti, “A Non-unit Protection Scheme for DC Microgrid Based on Local Measurements,” *IEEE Trans. Power Deliv.*, vol. 32, no. 1, pp. 172–181, Feb. 2017.
- [29] T. R. Oliveira, “Design of a Low-Cost Residual Current Sensor for LVDC Power Distribution Application,” in *2018 13th IEEE International Conference on Industry Applications (INDUSCON)*, 2018, pp. 1313–1319.
- [30] W. Ley, K. Wittmann, and W. Hallmann, *Handbook of Space Technology*. Wiley, 2009.
- [31] D. O’Sullivan and A. Weinberg, “The Sequential Switching Shunt Regulator S3R,” in *Proceedings of the 3th, European Space Power Conference*, 1977.
- [32] D. Marroqui, J. Borrell, R. Gutierrez, J. M. Blanes, A. Garrigos, and E. Maset, “Comparative Study of SiC Transistors for Active Current Limitation in S3R,” *Elektron. ir Elektrotehnika*, vol. 23, no. 5, pp. 54–60, Oct. 2017.
- [33] Wolfspeed, “C2M0080120D Silicon Carbide Power MOSFET - Datasheet,” 2015.
- [34] D. Izquierdo, “Estrategias avanzadas de control, modelado, diseño e implementación de controladores de potencia de estado sólido (SSPC) para su aplicación en sistemas de distribución de potencia eléctrica embarcados,” Universidad Carlos III de Madrid,

- 2010.
- [35] M. W. Stavnes and A. N. Hammoud, "Assessment of safety in space power wiring systems," *IEEE Aerosp. Electron. Syst. Mag.*, vol. 9, no. 1, pp. 21–27, Jan. 1994.
- [36] Y. V. Panov and F. C. Lee, "Modeling and stability analysis of a DC power system with solid state power controllers," in *Proceedings of Applied Power Electronics Conference. APEC '96*, 1996, vol. 2, pp. 685–691.
- [37] F. Tonicello, C. Delepaut, M. M. Alfonso, T. P. Soriano, and M. Triggianese, "Approach To Design for Stability a System Comprising a Non-Ideal Current Source and a Generic Load," *Eur. Sp. Power Conf. 2014*, no. April, pp. 1–8, 2014.
- [38] C. Delepaut, T. Kuremyr, M. Martin, and F. Tonicello, "LCL current control loop stability design," in *European Space Power Conference 2014*, 2014, vol. 2014, no. April, pp. 15–17.
- [39] A. Hernandez, D. Ward, S. Frye, B. Zink, E. Bincley, and P. Sanneman, "EO-1 ACE Anomaly of 9-14-01 Resolution Summary as of 11-18-01 - Report," 2001.
- [40] R. Ouaida *et al.*, "Gate Oxide Degradation of SiC MOSFET in Switching Conditions," *IEEE Electron Device Lett.*, vol. 35, no. 12, pp. 1284–1286, Dec. 2014.
- [41] K. Matocha, G. Dunne, S. Soloviev, and R. Beaupre, "Time-Dependent Dielectric Breakdown of 4H-SiC MOS Capacitors and DMOSFETs," *IEEE Trans. Electron Devices*, vol. 55, no. 8, pp. 1830–1834, Aug. 2008.
- [42] Gartner, "Hype Cycle Research Methodology." [Online]. Available: <https://www.gartner.com/en/research/methodologies/gartner-hype-cycle>. [Accessed: 05-Dec-2019].
- [43] IHSinc, "IHS Technology – The Source for Critical Information and Insight. - IHS

- Technology,” 2016. [Online]. Available: <https://technology.ihs.com/>. [Accessed: 28-Nov-2019].
- [44] N. Mohan, T. M. Underland, and W. P. Robbins, *Electrónica de potencia - Convertidores, aplicaciones y diseño - 3ª Edición*. Mc Graw Hill, 2009.
- [45] U. Department of Energy, “Chapter 6: Innovating Clean Energy Technologies in Advanced Manufacturing | Wide Bandgap Semiconductors for Power Electronics Technology Assessment -Report,” 2015.
- [46] F. O. Ehiagwina, O. O. Kehinde, L. O. Afolabi, H. J. Onawola, and N. A. Iromini, “Applications, Prospects and Challenges of Silicon Carbide Junction Field Effect Transistor (SiC JFET),” *Int. J. Adv. Telecommun. Electrotech. Signals Syst.*, vol. 5, no. 3, p. 133, Sep. 2016.
- [47] B. O. Harmon and T. Basler, “Advantages of the 1200 V SiC Schottky Diode with MPS Design,” *Bodo’s Power Systems*, 2015. [Online]. Available: http://www.infineon.com/dgdl/Infineon-Article_Advantages_of_the_1200V_SiC_Schottky_Diode_with_MPS_Design-ART-v01_00-EN.pdf?fileId=5546d46250cc1fdf0151674981861d76. [Accessed: 21-Nov-2019].
- [48] A. Bolotnikov *et al.*, “Overview of 1.2kV - 2.2kV SiC MOSFETs targeted for industrial power conversion applications,” in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2015, vol. 2015-May, no. May, pp. 2445–2452.
- [49] V. Pala *et al.*, “10 kV and 15 kV silicon carbide power MOSFETs for next-generation energy conversion and transmission systems,” in *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2014, pp. 449–454.

- [50] J. B. Casady *et al.*, “New generation 10kV SiC power MOSFET and diodes for industrial applications,” in *PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of*, 2015, no. May, pp. 19–21.
- [51] H. Mitlehner *et al.*, “Dynamic characteristics of high voltage 4H-SiC vertical JFETs,” in *11th International Symposium on Power Semiconductor Devices and ICs. ISPSD’99 Proceedings (Cat. No.99CH36312)*, 1999, pp. 339–342.
- [52] J. H. Zhao, P. Alexandrov, J. Zhang, and X. Li, “Fabrication and Characterization of 11-kV Normally Off 4H-SiC Trenched-and-Implanted Vertical Junction FET,” *IEEE Electron Device Lett.*, vol. 25, no. 7, pp. 474–476, Jul. 2004.
- [53] S. Araújo Vasconcelos, “On the perspectives of wide-band gap power devices in electronic-based power conversion for renewable systems,” Kassel University, 2013.
- [54] K. Mina, S. Herold, and J. W. Kolar, “A gate drive circuit for silicon carbide JFET,” in *IECON’03. 29th Annual Conference of the IEEE Industrial Electronics Society (IEEE Cat. No.03CH37468)*, 2003, vol. 2, pp. 1162–1166.
- [55] M. L. Heldwein and J. W. Kolar, “A novel SiC J-FET gate drive circuit for sparse matrix converter applications,” in *Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC ’04.*, 2004, vol. 1, pp. 116–121.
- [56] H.-I. Wang and L.-P. Tai, “JFET driver circuit and JFET driving method,” US20050258458A1, Jun-2005.
- [57] Z. Miao *et al.*, “A self-powered ultra-fast DC solid state circuit breaker using a normally-on SiC JFET,” in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2015, vol. 2015-May, no. May, pp. 767–773.

- [58] D. He, Z. Shuai, Z. Lei, W. Wang, X. Yang, and Z. J. Shen, "A SiC JFET-Based Solid State Circuit Breaker With Digitally Controlled Current-Time Profiles," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 7, no. 3, pp. 1556–1565, Sep. 2019.
- [59] A. Bhalla, "Normally-ON SiC JFETs – Characteristics and Applications - Report," 2019.
- [60] B. J. Baliga and M. S. Adler, "Composite Circuit for Power Semiconductor Switching," US4663547A, 05-May-1987.
- [61] A. Melkonyan, "High Efficiency Power Supply using new SiC devices," Kassel Univ. Press, 2008.
- [62] D. Domes and X. Zhang, "CASCODE LIGHT - normally-on JFET stand alone performance in a normally-off Cascode circuit - Report," in *PCIM Europe 2011*, 2011.
- [63] D. Aggeler, J. Biela, and J. W. Kolar, "Controllable dv/dt behaviour of the SiC MOSFET/JFET cascode an alternative hard commutated switch for telecom applications," in *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2010, pp. 1584–1590.
- [64] T. J. Flack, B. N. Pushpakaran, and S. B. Bayne, "GaN Technology for Power Electronic Applications: A Review," *J. Electron. Mater.*, vol. 45, no. 6, pp. 2673–2682, Jun. 2016.
- [65] A. Lidow, J. Strydom, M. de Rooij, and D. Reusch, *GaN Transistors for Efficient Power Conversion*. Chichester, United Kingdom: John Wiley & Sons Ltd, 2014.
- [66] D. Reusch and J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter," *IEEE Trans. Power Electron.*, vol. 29, no. 4, pp. 2008–2015, Apr. 2014.

- [67] J. M. Blanes *et al.*, “Evaluation of Gallium Nitride Transistors in Electronic Power Conditioners for TWTAs,” in *2015 IEEE Aerospace Conference*, 2015, vol. 2015-June, pp. 1–8.
- [68] R. Rodrigues, T. Jiang, Y. Du, P. Cairolì, and H. Zheng, “Solid state circuit breakers for shipboard distribution systems,” in *2017 IEEE Electric Ship Technologies Symposium (ESTS)*, 2017, pp. 406–413.
- [69] M. White, *Microelectronics Reliability: Physics-of-Failure Based Modeling and Lifetime Evaluation*. JPL Publication, 2008.
- [70] J. Casady and J. Palmour, “Power Products Commercial Roadmap for SiC from 2012-2020,” in *HMW Direct-Drive Motor Workshop*, 2014.
- [71] V.-S. Nguyen *et al.*, “Contributions to dedicated gate driver circuitry for very high switching speed high temperature power devices,” in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2016, vol. 2016-July, pp. 443–446.
- [72] N. Badawi, P. Knieling, and S. Dieckerhoff, “High-speed gate driver design for testing and characterizing WBG power transistors,” in *2012 15th International Power Electronics and Motion Control Conference (EPE/PEMC)*, 2012, p. LS6d.4-1-LS6d.4-6.
- [73] P. DERKACZ, “Gate Driver with Overcurrent Protection Circuit for GaN Transistors,” *PRZEGLAD ELEKTROTECHNICZNY*, vol. 1, no. 2, pp. 125–128, Feb. 2019.
- [74] P. Ning, Z. Liang, and F. Wang, “Double-sided cooling design for novel planar module,” in *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2013, pp. 616–621.
- [75] E. Laloya, O. Lucia, H. Sarnago, and J. M. Burdio, “Heat Management in Power

- Converters: From State of the Art to Future Ultrahigh Efficiency Systems,” *IEEE Trans. Power Electron.*, vol. 31, no. 11, pp. 7896–7908, Nov. 2016.
- [76] Puqi Ning *et al.*, “High-Temperature Hardware: Development of a 10-kW High-Temperature, High-Power-Density Three-Phase ac-dc-ac SiC Converter,” *IEEE Ind. Electron. Mag.*, vol. 7, no. 1, pp. 6–17, Mar. 2013.
- [77] W. Liqiu, W. Chunsheng, N. Zhongxi, L. Weiwei, Z. ChaoHai, and Y. Daren, “Experimental study on the role of a resistor in the filter of Hall thrusters,” *Phys. Plasmas*, vol. 18, no. 6, p. 063508, Jun. 2011.
- [78] A. R. Tummala and A. Dutta, “An Overview of Cube-Satellite Propulsion Technologies and Trends,” *Aerospace*, vol. 4, no. 4, p. 58, Dec. 2017.
- [79] ECSS, “ECSS-E-HB-20-20A,” ECSS, 2016.
- [80] M. Gollor and F. Herty, “Characterization of electrical propulsion thrusters as a load for electronic power supplies,” in *European Space Power Conference 2008*, 2008, vol. 2008, no. 661 SP, pp. 14–19.
- [81] C. R. Spitzer, “The All-Electric Aircraft: A Systems View and Proposed NASA Research Programs,” *IEEE Trans. Aerosp. Electron. Syst.*, vol. AES-20, no. 3, pp. 261–266, May 1984.
- [82] J. A. Hamley, “Direct drive options for electric propulsion systems,” *IEEE Aerosp. Electron. Syst. Mag.*, vol. 11, no. 2, pp. 20–24, Feb. 1996.
- [83] G. F. Volpi, C. Carriero, G. Simonelli, and P. Perol, “An innovative, flexible, hybrid active input filter for the international space station,” in *European Space Power Conference 2005*, 2005, no. 589, pp. 595–600.
- [84] G. F. Volpi, “Power Line Protection Devices in Space Applications,” in *EUROCON*

-
- 2007 - *The International Conference on "Computer as a Tool,"* 2007, pp. 1636–1640.
- [85] C. Carriero, G. F. Volpi, S. Laben, A. A. F. Company, and S. S. P. Superiore, "A Power Distribution Hybrid for Space Applications," in *10th European Conference on Power Electronics and Applications*, 2003, pp. 1–8.
- [86] S. Pappalardo, M. M. Alfonso, and I. B. Mirabella, "Integrated Current Limiter," in *European Space Power Conference 2011*, 2011, no. 1, p. 8.
- [87] S. Pappalardo, I. Mirabella, and G. Chaumont, "The RHRPMICL1A Integrated Current Limiter: Radiation Tests And High Voltage Application," in *European Space Power Conference 2019*, 2019, p. 8.
- [88] ST, "RHRPMICL1A - Datasheet," 2019.
- [89] European Cooperation for Space Standardization, "ECSS-Q-ST-60-15C - Space product assurance Derating - EEE components," 2011.
- [90] C. Delepaut and M. Martin, "Current Limitation Techniques in a S3R power cell," in *European Space Power Conference 1993*, 1993, pp. 61–66.
- [91] S. Massetti and F. Tonicello, "Silicon carbide for space power applications," *Eur. Sp. Power Conf. 2014*, no. April, 2014.
- [92] Z. J. Shen *et al.*, "First experimental demonstration of solid state circuit breaker (SSCB) using 650V GaN-based monolithic bidirectional switch," in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2016, vol. 2016-July, pp. 79–82.
- [93] Z. Miao, G. Sabui, A. Moradkhani, J. Wang, Z. Shuai, and X. Yin, "A self-powered bidirectional DC solid state circuit breaker using two normally-on SiC JFETs," in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2015, pp. 4119–4124.

- [94] Z. Miao, G. Sabui, A. Moradkhani Roshandeh, and Z. J. Shen, "Design and Analysis of DC Solid-State Circuit Breakers Using SiC JFETs," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 4, no. 3, pp. 863–873, Sep. 2016.
- [95] N. Boukari, P. Decroux, and J. Renaudin, "Solid state power controller (SSPC) for protection of continuous embedded network," in *More Electrical Aircraft (MEA 2012)*, 2012, p. 6.
- [96] M. Schulz, J. Kaiser, K. Gosses, R. Conz, and M. März, "Bidirectional Bipolar Electronic Overcurrent Safety Elements for Bipolar DC Grids 2 . Bipolar DC Grid and Fault," in *PCIM Europe 2019*, 2019, no. May, pp. 7–9.
- [97] E. Maset *et al.*, "High-temperature stability performance of 4H-SiC Schottky diodes," in *2009 13th European Conference on Power Electronics and Applications, EPE '09*, 2009, no. 1, pp. 1–6.
- [98] F. Semiconductor, "IRFP250N - Datasheet," 2002.
- [99] USGi, "UJC1206K - Carbide's cascode - Datasheet," 2018.
- [100] D. Marroqui, J. M. Blanes, A. Garrigos, and R. Gutierrez, "Self-Powered 380 V DC SiC Solid-State Circuit Breaker and Fault Current Limiter," *IEEE Trans. Power Electron.*, vol. 34, no. 10, pp. 9600–9608, Oct. 2019.
- [101] "LTspice - Yahoo Groups." [Online]. Available: <https://groups.yahoo.com/neo/groups/LTspice/info>. [Accessed: 05-Nov-2019].
- [102] VISHAY, "SSR Design Using VO1263," 2012.
- [103] VISHAY, "VOM1271 - Photovoltaic MOSFET Driver with Integrated Fast Turn-Off, Solid-State Relay - Datasheet," 2014.
- [104] D. Marroqui, A. Garrigos, J. M. Blanes, and R. Gutierrez, "Photovoltaic-Driven SiC

-
- MOSFET Circuit Breaker with Latching and Current Limiting Capability,” *Energies*, vol. 12, no. 23, p. 4585, Dec. 2019.
- [105] Vishay, “Power MOSFET Basics of Vishay Siliconix: Understanding Gate Charge and Using It To Assess Switching Performance,” 1983.
- [106] D. Marroqui, A. Garrigos, J. M. Blanes, R. Gutierrez, E. Maset, and F. Iannuzzo, “SiC MOSFET vs SiC/Si Cascode short circuit robustness benchmark,” *Microelectron. Reliab.*, vol. 100–101, no. May, p. 113429, Sep. 2019.
- [107] T. Yuba *et al.*, “Development of plug and socket-outlet for 400 volts direct current distribution system,” in *8th International Conference on Power Electronics - ECCE Asia*, 2011, pp. 218–222.
- [108] Fujitsu, “10A-430V DC Power Distribution Units - Datasheet,” 2015.
- [109] CREE, “CPWR-AN10 - SiC MOSFET Driver. Rev-C - Datasheet,” 2014.
- [110] F. Tonicello, L. B. Llavona, and S. Keller, “Synchronous Rectified , Single Diode Sequential Shunt Switching Regulator (S3R),” in *European Space Power Conference 2011*, 2011, no. 1, pp. 1–8.
- [111] A. Soto, “Design of a High Efficiency and Reliable S3R SA Regulator,” in *European Space Power Conference 2011*, 2011, pp. 1–6.
- [112] G. L. Harris, *Properties of Silicon Carbide*. Short Run Press Ltd, 1995.
- [113] H. Lee, V. Smet, and R. Tummala, “A Review of SiC Power Module Packaging Technologies: Challenges, Advances, and Emerging Issues,” *IEEE J. Emerg. Sel. Top. Power Electron.*, pp. 1–1, 2019.
- [114] D. A. Molligoda, P. Chatterjee, C. J. Gajanayake, A. K. Gupta, and K. J. Tseng, “Review of design and challenges of DC SSPC in more electric aircraft,” in *2016*

- IEEE 2nd Annual Southern Power Electronics Conference (SPEC)*, 2016, pp. 1–5.
- [115] J. B. Forsythe, “Paralleling of Power Mosfets for Higher Power Output,” in *IAS Annual Meeting (IEEE Industry Applications Society)*, 1981, pp. 777–796.
- [116] I. Rectifier, “Paralleling Power MOSFETs - AN941.”
- [117] G. H. Sarma, G. Nitin, Ramanan, Manivannan, K. Mehta, and A. Bhattacharjee, “Reliability studies on high current power modules with parallel mosfets,” in *2009 European Microelectronics and Packaging Conference, EMPC 2009*, 2009.
- [118] K. Xing, F. C. Lee, and D. Boroyevich, “Extraction of parasitics within wire-bond IGBT modules,” in *APEC '98 Thirteenth Annual Applied Power Electronics Conference and Exposition*, 1998, vol. 1, pp. 497–503.
- [119] X. Ni, R. Gao, X. Song, A. Q. Huang, and W. Yu, “Development of 6kV SiC hybrid power switch based on 1200V SiC JFET and MOSFET,” in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2015, pp. 4113–4118.
- [120] J. Biela, D. Aggeler, D. Bortis, and J. W. Kolar, “Balancing Circuit for a 5-kV/50-ns Pulsed-Power Switch Based on SiC-JFET Super Cascode,” *IEEE Trans. Plasma Sci.*, vol. 40, no. 10, pp. 2554–2560, Oct. 2012.
- [121] D. Marroquí, R. Gutiérrez, A. Garrigós, and J. M. Blanes, “Hybrid and Intelligent - Solid State Power Controller – HI-SSPC –,” in *Seminario Anual de Automática y Electrónica Industrial (SAAEI)*, 2019, pp. 131–136.