

UNIVERSIDAD MIGUEL HERNÁNDEZ  
Escuela Politécnica Superior de Elche  
Departamento de Ciencia de Materiales, Óptica y Tecnología Electrónica



**CONVERSIÓN DC-DC BIDIRECCIONAL,  
MULTIDISPOSITIVO, MULTIFASE, CONTROLADO  
MEDIANTE FPGA CON CONMUTACIÓN SUAVE Y  
RECONFIGURACIÓN DINÁMICA DE TRANSISTORES DE  
POTENCIA.**

TESIS DOCTORAL

Programa de Doctorado en Tecnologías Industriales y de  
Telecomunicación.

Presentada por:

**D. Fernando Sobrino-Manzanares Mas**

Dirigida por:

**Dr. Ausiàs Garrigós Sirvent**

Elche, 2016





Dra. Piedad de Aza Moya, Catedrática de Universidad y Directora del Departamento de Ciencia de Materiales, Óptica y Tecnología Electrónica,

CERTIFICA

Que D. Fernando Sobrino-Manzanares Mas ha realizado bajo la coordinación de este Departamento su memoria de tesis doctoral titulada “Conversión DC-DC bidireccional, multidispositivo, multifase, controlado mediante FPGA con conmutación suave y reconfiguración dinámica de transistores de potencia”, cumpliendo todos los objetivos previstos, finalizando su trabajo en forma satisfactoria para su defensa pública y capacitándole para optar al grado de doctor.

Para que conste, en cumplimiento de la legislación vigente, autoriza la presentación de la referida tesis doctoral ante la Comisión de Doctorado de la Universidad Miguel Hernández de Elche, firmando el presente certificado.

Elche, de de 2016

D<sup>a</sup> Piedad de Aza Moya  
Directora de Departamento





Dr. Ausiàs Garrigós Sirvent, Profesor Titular de Universidad del Departamento de Ciencia de Materiales, Óptica y Tecnología Electrónica,

CERTIFICA

Que la presente memoria “Conversión DC-DC bidireccional, multidispositivo, multifase, controlado mediante FPGA con conmutación suave y reconfiguración dinámica de transistores de potencia”, ha sido realizada bajo su dirección por D. Fernando Sobrino-Manzanares Mas, constituyendo su tesis para optar al grado de Doctor en la modalidad de compendio de publicaciones.

Para que conste, en cumplimiento de la legislación vigente, autoriza la presentación de la referida tesis doctoral ante la Comisión de Doctorado de la Universidad Miguel Hernández de Elche, firmando el presente certificado.

Elche, de de 2016

D. Ausiàs Garrigós Sirvent



# ***Agradecimientos***

---

En primer lugar, quiero agradecer a mi director de tesis Ausias Garrigós por ser mi director de tesis y por ayudarme en todo momento en la consecución de la misma y en toda mi etapa investigadora. También quiero agradecer a todo el departamento de Ciencia de Materiales, Óptica y Tecnología Electrónica por los consejos aportados en toda mi etapa investigadora.

También quiero agradecer a mis padres y a mi hermana por el apoyo moral recibido en estos años de mi etapa investigadora y por estar en mis buenos y malos momentos. También quiero agradecer especialmente a mi padre por darme la oportunidad de realizar el doctorado.







*A mis padres y a mi hermana*

*Por estar ahí*





# Resumen

---

Esta tesis doctoral se presenta con un conjunto de publicaciones, de acuerdo a la normativa vigente en la Universidad Miguel Hernández de Elche.

La estructura de la tesis consta de una introducción general, un resumen de la metodología empleada y la estructura del resto de capítulos, una discusión del trabajo realizado en tres capítulos distintos que conforman el núcleo de las publicaciones y unas conclusiones finales.

Se presentan tres artículos internacionales más dos publicaciones en congresos internacionales de reconocido prestigio, relacionados con diferentes aspectos de la conversión DC-DC multidispositivo y multifase.

El tema central de la tesis es la concepción, diseño y verificación experimental de distintas técnicas de conversión DC-DC bidireccional, sin aislamiento galvánico con el objetivo de aumentar la densidad de potencia (kW/dm<sup>3</sup>) de los sistemas electrónicos de potencia, así como aumentar el grado de fiabilidad y redundancia.

Las técnicas aquí presentadas tienen adaptación en diversos campos tales como los sistemas energéticos distribuidos basados en pila de combustible, vehículo eléctrico y sistemas espaciales.

Las publicaciones que conforman la tesis son las siguientes:

- A. Garrigós, **F. Sobrino-Manzanares**, “Interleaved multi-phase and multi-switch boost converter for fuel cell applications,” *International Journal of Hydrogen Energy*, vol. 40, pp. 8419-8432, Jul. 2015. JCR metrics (2014 – no hay datos disponibles para 2015 en la fecha de redacción de este documento) – Impact Factor: 3.313. Cuartil: Q1 (*Electrochemistry*, posición 7 de 28), Q2 (*Energy & Fuels*, posición 25 de 89).
- **F. Sobrino-Manzanares**, A. Garrigós, “Interleaved, Multi-Switch, Multi-Phase Boost converter For Battery Discharge Regulators,” *11th European Space Power Conference*, Thessaloniki, Greece, 2016.
- **F. Sobrino-Manzanares**, A. Garrigós, “An interleaved, FPGA-controlled, multi-phase and multi-switch synchronous boost converter for fuel cell applications,” *International Journal of Hydrogen Energy*, vol. 40, pp. 12447-12456, Sep. 2015. JCR metrics (2014 – no hay datos disponibles para 2015 en la fecha de redacción de este documento) – Impact Factor: 3.313. Cuartil: Q1 (*Electrochemistry*, posición 7 de 28), Q2 (*Energy & Fuels*, posición 25 de 89).
- **F. Sobrino-Manzanares**, A. Garrigós, “Bidirectional, interleaved, multiphase, multidevice, soft-switching, FPGA controlled, buck-boost converter with PWM real-time reconfiguration,” *IEEE Trans Power Electron (EN REVISIÓN)*. JCR metrics (2014 – no hay datos disponibles para 2015 en la fecha de redacción de este documento) – Impact Factor: 6.008. Cuartil: Q1 (*Engineering, electrical & electronic*, posición 3 de 249).

- **F. Sobrino-Manzanares**, A. Garrigós, “A generic FPGA based PWM generator with automatic device fault recovery for fuel cell, interleaved, multi-phase and multi-switch DC/DC boost converters,” 21<sup>st</sup> World Hydrogen Energy Conference 2016, Zaragoza, Spain, 13-16<sup>th</sup> June, 2016.



# Abstract

---

This PhD thesis is presented as a set of publications, dissertation, according to the regulations in force at the Miguel Hernandez University of Elche.

The structure of the PhD thesis consists of a general introduction, a summary of the methodology used and the structure of the rest of chapters, discussion of the work organized in three different chapters which are the core of the research and the final conclusions.

Three international papers and two prestigious international conferences are presented and all of them are related to different aspects of multidevice, multiphase DC-DC conversion.

The main focus of this PhD thesis is around the conception, design and experimental validation of different bidirectional, non-isolated DC-DC conversion techniques with the aim of increasing the power density ratio (kW/dm<sup>3</sup>) of the electronic power conversion systems, as well as to improve its reliability and redundancy.

The methods presented hereafter could be used in many fields such as distributed energy systems based on fuel cells, electrical vehicle and space power systems.

The publications of this PhD thesis are the following:

- A. Garrigós, **F. Sobrino-Manzanares**, “Interleaved multi-phase and multi-switch boost converter for fuel cell applications,” *International Journal of Hydrogen Energy*, vol. 40, pp. 8419-8432, Jul. 2015. JCR metrics (2014 – there is not updated data for 2015 yet) – Impact Factor: 3.313. Quartile: Q1 (*Electrochemistry*, position 7 out 28), Q2 (*Energy & Fuels*, position 25 out 89).
- **F. Sobrino-Manzanares**, A. Garrigós, “Interleaved, Multi-Switch, Multi-Phase Boost converter For Battery Discharge Regulators,” *11th European Space Power Conference*, Thessaloniki, Greece, 2016.
- **F. Sobrino-Manzanares**, A. Garrigós, “An interleaved, FPGA-controlled, multi-phase and multi-switch synchronous boost converter for fuel cell applications,” *International Journal of Hydrogen Energy*, vol. 40, pp. 12447-12456, Sep. 2015. JCR metrics (2014 – there is not updated data for 2015 yet) – Impact Factor: 3.313. Quartile: Q1 (*Electrochemistry*, position 7 out 28), Q2 (*Energy & Fuels*, position 25 out 89).
- **F. Sobrino-Manzanares**, A. Garrigós, “Bidirectional, interleaved, multiphase, multidevice, soft-switching, FPGA controlled, buck-boost converter with PWM real-time reconfiguration,” *IEEE Trans Power Electron (REVIEW)*. JCR metrics (2014 – there is not updated data for 2015 yet) – Impact Factor: 6.008. Quartile: Q1 (*Engineering, electrical & electronic*, position 3 out 249).
- **F. Sobrino-Manzanares**, A. Garrigós, “A generic FPGA based PWM generator with automatic device fault recovery for fuel cell, interleaved, multi-phase and multi-switch DC/DC boost converters,” 21<sup>st</sup> World Hydrogen Energy Conference 2016, Zaragoza, Spain, 13-16<sup>th</sup> June, 2016.



# Índice

|   |            |
|---|------------|
| <b>1. Introducción</b>  | <b>1-1</b> |
| 1.1. Conversión DC/DC en sistemas electrónicos de potencia: Aplicaciones en media potencia                      | 1-3        |
| 1.1.1. Aplicaciones: Sistemas de potencia apoyados en baterías  | 1-3        |
| 1.2. Conversión DC/DC sin aislamiento: Conversión unidireccional y bidireccional                                | 1-8        |
| 1.3. Conversión DC/DC sin aislamiento: Paralelización de dispositivos (Multidispositivo)                        | 1-11       |
| 1.4. Conversión DC/DC sin aislamiento: Paralelización de convertidores (Multifase)                              | 1-16       |
| 1.5. Conversión DC/DC sin aislamiento: Multidispositivo y multifase   | 1-18       |
| 1.6. Conmutación suave  | 1-20       |
| 1.7. Control digital en convertidores DC/DC   | 1-22       |
| <b>2. Objetivo y metodología</b>  | <b>2-1</b> |
| 2.1. Objetivos  | 2-3        |
| 2.1.1. Objetivo general   | 2-3        |
| 2.2. Justificación  | 2-4        |
| 2.2.1. Motivación   | 2-4        |
| 2.2.2. Hipótesis  | 2-4        |
| 2.3. Metodología  | 2-5        |
| 2.4. Estructura de la tesis   | 2-7        |
| <b>3. Análisis y modelado del convertidor</b>   | <b>3-1</b> |
| 3.1. Introducción   | 3-3        |
| 3.2. Análisis en régimen estacionario   | 3-4        |
| 3.2.1. Función de transferencia estática.   | 3-4        |
| 3.2.2. Análisis de la corriente por el inductor   | 3-6        |
| 3.2.3. Análisis de la corriente en el nodo de menor tensión: Suma de las corrientes de los $n$ inductores       | 3-8        |
| 3.2.4. Análisis de la corriente en el nodo de mayor tensión: Suma de las corrientes en el condensador de filtro | 3-11       |
| 3.2.5. Análisis de la corriente en los dispositivos de potencia   | 3-12       |
| 3.2.6. Análisis en pequeña señal del convertidor  | 3-19       |
| 3.3. Evaluación de estudios de caso de aplicación   | 3-24       |
| 3.3.1. IBC & MIBC: Acondicionamiento en sistemas basados en pila de combustible                                 | 3-24       |

|   |             |
|---|-------------|
| 3.3.2. IBC & MIBC: Descargador de baterías para aplicaciones espaciales   | 3-26        |
| <b>4. Diseño y pruebas experimentales del prototipo I: Convertidor multidispositivo, multifase bidireccional (buck-boost)</b>   | <b>4-1</b>  |
| 4.1. Introducción   | 4-3         |
| 4.2. Consideraciones generales en el diseño del prototipo I   | 4-4         |
| 4.3. Control digital del convertidor propuesto  | 4-6         |
| 4.3.1. Generación de la señal PWM digital: Esquema DDS y SDS  | 4-6         |
| 4.3.2. Diseño e implementación de los controladores digitales   | 4-14        |
| 4.3.3. Acondicionamiento de las variables sensadas y arranque suave   | 4-20        |
| 4.4. Resultados experimentales  | 4-26        |
| <b>5. Diseño y pruebas experimentales del prototipo II: Convertidor multidispositivo, multifase, bidireccional (buck-boost), con conmutación suave y reconfiguración dinámica de dispositivos</b> | <b>5-1</b>  |
| 5.1. Introducción   | 5-2         |
| 5.2. Selección de semiconductores de potencia y conmutación suave   | 5-4         |
| 5.3. Reconfiguración dinámica de las señales PWM  | 5-12        |
| 5.4. Resultados experimentales  | 5-18        |
| <b>6. Conclusiones, aportaciones y líneas futuras</b>   | <b>6-1</b>  |
| 6.1. Aportaciones   | 6-3         |
| 6.2. Conclusiones   | 6-7         |
| 6.3. Líneas futuras   | 6-8         |
| <b>Anexo I: Planos esquemáticos y placas de circuito impreso</b>  | <b>A1-1</b> |
| <b>Anexo II: Scripts de MATLAB y diagramas de SIMULINK</b>  | <b>A2-1</b> |
| 1. Scripts de cálculo de funciones de planta, lazo y controladores PI   | A2-1        |
| 2. Scripts de obtención de figuras de resultados  | A2-7        |
| 3. Script de cálculo de los inductores del convertidor  | A2-11       |
| 4. Diagramas de SIMULINK  | A2-14       |
| <b>Anexo III: Códigos VHDL del sistema de control digital</b>   | <b>A3-1</b> |
| 1. Función principal  | A3-1        |
| 2. Función de comunicación con los conversores A/D  | A3-6        |
| 3. Generación de la frecuencia de muestreo  | A3-10       |
| 4. Generación de PWM (MATLAB SIMULINK)  | A3-11       |
| 5. Controladores PI (MATLAB SIMULINK)   | A3-30       |



|  |       |
|--|-------|
| 6. Archivo de “pinout” y restricciones | A3-46 |
|--|-------|

**Anexo IV: Descripción del set-up experimental**

A4-1

|   |      |
|---|------|
| 1. Instrumentación empleada                       | A4-1 |
| 2. Set-up para la medida de las funciones de lazo | A4-4 |

**Anexo V: Publicaciones**

A5-1

Artículo 1: A. Garrigós, F. Sobrino-Manzanares, “*Interleaved multi-phase and multi-switch boost converter for fuel cell applications,*” *International Journal of Hydrogen Energy*, vol. 40, pp. 8419-8432, Jul. 2015

Artículo 2: F. Sobrino-Manzanares, A. Garrigós, “*Interleaved, multi-switch, multi-phase boost converter for battery discharge regulators,*” *11th European Space Power Conference*, Thessaloniki, Grecia, 2016.

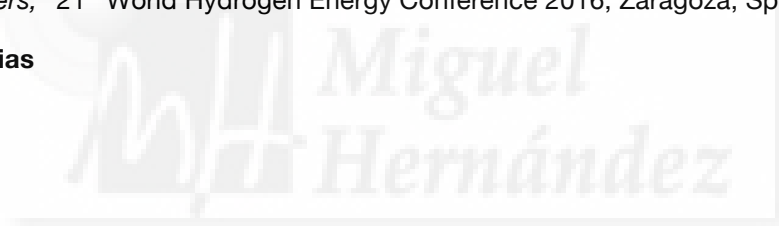
Artículo 3: F. Sobrino-Manzanares, A. Garrigós, “*An interleaved, FPGA-controlled, multi-phase and multi-switch synchronous boost converter for fuel cell applications,*” *International Journal of Hydrogen Energy*, vol. 40, pp. 12447-12456, Sep. 2015

Artículo 4: F. Sobrino-Manzanares, A. Garrigós, “*Bidirectional, interleaved, multiphase, multidevice, soft-switching, FPGA controlled, buck-boost converter with PWM real-time reconfiguration,*” *IEEE Trans Power Electron (EN REVISIÓN)*

Artículo 5: F. Sobrino-Manzanares, A. Garrigós, “*A generic FPGA based PWM generator with automatic device fault recovery for fuel cell, interleaved, multi-phase and multi-switch DC/DC boost converters,*” *21<sup>st</sup> World Hydrogen Energy Conference 2016*, Zaragoza, Spain, 2016.

**Referencias**

R-1





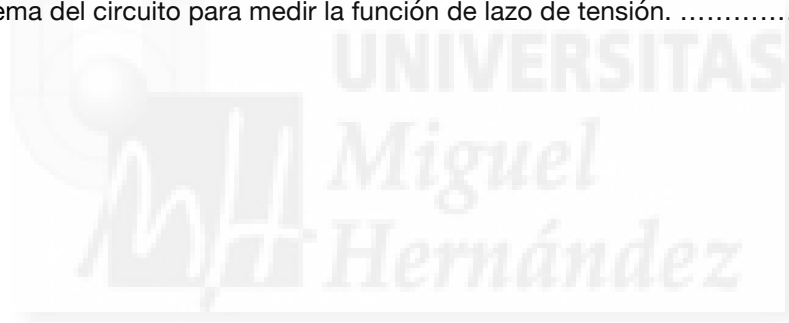
# Índice de figuras

|  |      |
|--|------|
| Figura 1.1: Tipos de convertidor DC/DC. ....   | 1-3  |
| Figura 1.2: Sistemas de carga/descarga de baterías. Izquierda: mediante dos convertidores unidireccionales; derecha: Mediante un convertidor bidireccional. .... | 1-4  |
| Figura 1.3: Sistema de potencia típico de un satélite de media y alta potencia. ....   | 1-5  |
| Figura 1.4: Prototipo de sistema de potencia de bus regulado con bus con seguimiento del MPP. ....   | 1-5  |
| Figura 1.5: Sistema eléctrico de un vehículo de proximidad alimentado por baterías con sistema de apoyo basado en supercondensadores. ....                       | 1-6  |
| Figura 1.6: Vehículo de proximidad Comarth Engineering S.L. Cross Rider 4P (arriba) y convertidor DC/DC bidireccional diseñado (abajo). ....                     | 1-6  |
| Figura 1.7: Convertidor DC/DC unidireccional diseñado para sistema autónomo basado en pila de combustible y con apoyo de baterías. ....                          | 1-7  |
| Figura 1.8: Topologías básicas de convertidores DC/DC. ....  | 1-8  |
| Figura 1.9: Convertidor unidireccional vs convertidor bidireccional basado en medio puente. ....   | 1-9  |
| Figura 1.10: Convertidor BUCK-BOOST no inversor de 4 interruptores. ....   | 1-10 |
| Figura 1.11: Convertidor DC/DC bidireccional empleando dos medios puentes (multidispositivo). ....   | 1-11 |
| Figura 1.12: Convertidor DC/DC boost multidispositivo con cuatro MOSFET en paralelo. ....  | 1-12 |
| Figura 1.13: Señales de disparo en esquema PDS y corriente en el inductor de un convertidor boost multidispositivo con cuatro interruptores en paralelo. ....    | 1-13 |
| Figura 1.14: Señales de disparo en esquema SDS y corriente en el inductor de un convertidor boost multidispositivo con cuatro interruptores en paralelo. ....    | 1-14 |
| Figura 1.15: Señales de disparo en esquema DDS y corriente en el inductor de un convertidor boost multidispositivo con cuatro interruptores en paralelo. ....    | 1-15 |
| Figura 1.16: Convertidor DC/DC empleando dos convertidores de medio puente en configuración paralelo-paralelo (multimodulo o multifase). ....                    | 1-17 |
| Figura 1.17: Esquema de disparos y corrientes por las bobinas del convertidor de la figura 1.16. ....  | 1-17 |
| Figura 1.18: Convertidor multifase y multidispositivo ( $n=2$ ; $m=2$ ) propuesto por Hegazy et. al. ....  | 1-18 |
| Figura 1.19: Señales de disparo y corrientes por los inductores del convertidor propuesto en [37]. ....  | 1-19 |
| Figura 1.20: Convertidor DC/DC con conmutación suave propuesto por Zhang en [41]. ....   | 1-20 |
| Figura 1.21: Formas de onda características del convertidor DC/DC con conmutación suave propuesto por Zhang [41]. ....   | 1-21 |
| Figura 3.1: Convertidor multifase y multidispositivo de $n$ fases y $m$ ramas. ....  | 3-3  |
| Figura 3.2: Equivalencia entre convertidor DC/DC multidispositivo con esquema de disparo DDS y convertidor en medio puente convencional. ....                    | 3-4  |

|  |      |
|--|------|
| Figura 3.3: Esquema de las principales señales de una fase del convertidor trabajando en modo BUCK. ....   | 3-5  |
| Figura 3.4: Esquema de las principales señales de una fase del convertidor trabajando en modo BOOST. ....  | 3-6  |
| Figura 3.5: Esquema simplificado con la rama equivalente del sistema de n fases. ....  | 3-7  |
| Figura 3.6: Rizado de la corriente en el nodo V2 normalizado al mayor de los valores para distintas configuraciones de n y m, manteniendo los otros parámetros iguales. .... | 3-10 |
| Figura 3.7: Corriente RMS en el nodo V1 normalizada al mayor de los valores para distintas configuraciones de n y m, manteniendo los otros parámetros iguales. ....          | 3-11 |
| Figura 3.8: Señales de disparo, corriente del inductor y corriente por los semiconductores de potencia trabajando en modo BOOST en todo momento. ....                        | 3-13 |
| Figura 3.9: Señales de disparo, corriente del inductor y corriente por los semiconductores de potencia trabajando en modo BUCK y BOOST. ....                                 | 3-15 |
| Figura 3.10: Señales de disparo, corriente del inductor y corriente por los semiconductores de potencia trabajando en modo BUCK. ....  | 3-18 |
| Figura 3.11: Célula de conmutación del convertidor DC/DC: a) modelo real, b) modelo promediado modo BUCK, c) modelo promediado modo BOOST. ....                              | 3-20 |
| Figura 3.12: Circuitos equivalentes genéricos del convertidor: a) en modo BUCK, b) en modo BOOST. ....   | 3-20 |
| Figura 3.13: Circuito equivalente de pequeña señal para cálculo de la $G_{vd}$ y la $G_{id}$ en modo BUCK. ....  | 3-21 |
| Figura 3.14: Circuito equivalente de pequeña señal para cálculo de la $G_{vd}$ y la $G_{id}$ en modo BOOST. ....   | 3-22 |
| Figura 3.15: Convertidor 4-IBC (izquierda), convertidor 2-2-MIBC (derecha). ....   | 3-25 |
| Figura 3.16: Convertidor 4-IBC (descrito en [14]) y la potencial reducción de área al emplear el 2-2-MIBC. ....  | 3-26 |
| Figura 3.17: Convertidor 8-IBC, reproducido y descrito en [68]. ....   | 3-26 |
| Figura 4.1: Convertidor bidireccional de 2 fases y 4 dispositivos (2,4-MIB3C). ....  | 4-3  |
| Figura 4.2: Convertidor bidireccional implementado de 2 fases y 4 dispositivos (2,4-MIB3C). ....   | 4-5  |
| Figura 4.3: Funcionamiento del generador de PWM digital en modo DDS. ....  | 4-7  |
| Figura 4.4: Diagrama de bloques del generador de PWM en modo DDS para 2 fases y 4 ramas. ....  | 4-8  |
| Figura 4.5: Señales de disparo (modo DDS, n=2, m=4) de los dispositivos superiores de la fase 1. ....  | 4-9  |
| Figura 4.6: Señales de disparo (modo DDS, n=2, m=4) de un dispositivo superior y la corriente del nodo de menor tensión. ....  | 4-10 |
| Figura 4.7: Funcionamiento del generador de PWM digital en modo SDS. ....  | 4-11 |
| Figura 4.8: Diagrama de bloques del generador de PWM en modo SDS para 2 fases y 4 ramas... ..  | 4-12 |
| Figura 4.9: Señales de disparo (modo SDS, n=2, m=4) de los dispositivos superiores de la fase 1. ....  | 4-13 |
| Figura 4.10: Señales de disparo (modo SDS, n=2, m=4) de un dispositivo superior y la corriente del nodo de menor tensión. ....   | 4-14 |

|  |      |
|--|------|
| Figura 4.11: Modelo en lazo cerrado del convertidor DC/DC en tiempo discreto. ....   | 4-15 |
| Figura 4.12: Funciones de lazo en simulación en modo BUCK: a) de corriente, b) de tensión. ....  | 4-17 |
| Figura 4.13: Funciones de lazo experimental (rojo) y teórica (azul) en modo BUCK trabajando con los dos lazos de control. Medida del lazo externo (tensión). ....  | 4-18 |
| Figura 4.14: Funciones de lazo en simulación en modo BOOST: a) de corriente, b) de tensión. ....   | 4-19 |
| Figura 4.15: Funciones de lazo experimental (rojo) y teórica (azul) en modo BOOST trabajando con los dos lazos de control. Medida del lazo externo (tensión). .... | 4-19 |
| Figura 4.16: Circuito de medida de voltajes V1 y V2. ....  | 4-20 |
| Figura 4.17: Circuito de medida de corriente iL1 y iL2. ....   | 4-20 |
| Figura 4.18: Diagrama de estados de la máquina de estados de la interfaz SPI de los convertidores A/D. ....  | 4-21 |
| Figura 4.19: Diagrama del subsistema de control digital en modo BUCK. ....   | 4-22 |
| Figura 4.20: Diagrama del subsistema de control digital en modo BOOST. ....  | 4-22 |
| Figura 4.21: Medida de variables internas de la FPGA con la herramienta Chipscope. ....  | 4-23 |
| Figura 4.22: Diagrama de bloques del sistema de arranque suave (soft-start). ....  | 4-24 |
| Figura 4.23: Seguimiento de la referencia de tensión en el encendido del convertidor, modo BUCK. ....  | 4-24 |
| Figura 4.24: Corriente por los inductores en modo BUCK. ....   | 4-26 |
| Figura 4.25: Corriente por los inductores en modo BOOST. ....  | 4-27 |
| Figura 4.26: Respuesta dinámica frente a saltos de carga en modo BUCK. Resultados de simulación y experimentales. ....   | 4-27 |
| Figura 4.27: Medida de la eficiencia modo BUCK. ....   | 4-28 |
| Figura 5.1: Segundo prototipo de convertidor bidireccional de 2 fases y 4 dispositivos (2-4-MIB3C). ....   | 5-6  |
| Figura 5.2: $V_{CE}$ (negro) e $I_C$ (gris) en un transistor de potencia en conmutación dura. ....   | 5-7  |
| Figura 5.3: $V_{CE}$ (negro) e $I_C$ (gris) en un transistor de potencia con conmutación suave. ....   | 5-8  |
| Figura 5.4: Formas de onda idealizadas del método de conmutación suave empleado. ....  | 5-8  |
| Figura 5.5: Detalle de la conmutación de un IGBT superior. ....  | 5-10 |
| Figura 5.6: Detalle de la conmutación del diodo superior. ....   | 5-11 |
| Figura 5.7: Detalle de las pantallas del vatímetro empleado para la medida de eficiencia del convertidor. ....   | 5-12 |
| Figura 5.8: Medida de eficiencia 2-4-MIB3C en modo BUCK. ....  | 5-12 |
| Figura 5.9: Medida de eficiencia 2-4-MIB3C en modo BOOST. ....   | 5-13 |
| Figura 5.10: Principio de funcionamiento del generador PWM digital reconfigurable propuesto. ...   | 5-14 |

|   |       |
|---|-------|
| Figura 5.11: Diagrama completo del generador de PWM digital propuesto: a) circuito generador de PWM, b) circuito de distribución de señales. .... | 5-15  |
| Figura 5.12: Simulación MATLAB-SIMULINK de una fase del convertidor con reconfiguración dinámica del PWM. ....                                    | 5-18  |
| Figura 5.13: Reconfiguración dinámica del PWM ante la desconexión de una de las ramas. ....   | 5-18  |
| Figura 5.14: Reconfiguración dinámica del PWM ante la desconexión de dos ramas. ....  | 5-19  |
| Figura 5.15: Medida de temperatura en función del número de dispositivos activos. ....  | 5-20  |
| Figura A2.1: Diagrama de bloques del convertidor DC/DC en SIMULINK. ....  | A2-12 |
| Figura A2.2: Bloque "Control" implementado en VHDL. ....  | A2-12 |
| Figura A2.3: Bloque "PWM_generator" implementado en VHDL. ....  | A2-13 |
| Figura A2.4: Bloque "PWM_Phase_2". ....   | A2-13 |
| Figura A2.5: Bloque "Counter". ....   | A2-14 |
| Figura A2.6: Bloque "Signal routing". ....  | A2-14 |
| Figura A2.7: Bloque "4-Device_PWM_1". ....  | A2-14 |
| Figura A4.1: Esquema del circuito para medir la función de lazo de tensión. ....  | A4-4  |



## Índice de tablas

---

|  |      |
|--|------|
| Tabla 5.1: Características de los semiconductores de potencia de los prototipos primero y segundo. | 5-7  |
| Tabla 5.2: Tabla de verdad para determinar el número de ramas habilitadas.                         | 5-16 |
| Tabla 5.3: Número de fin de cuenta en función del número de dispositivos activos.                  | 5-16 |
| Tabla 5.4: Salidas del DPWM habilitadas en función del número de fin de cuenta.                    | 5-16 |
| Tabla 5.5: Tabla de verdad de las tablas de ruta 1 a 4.  | 5-17 |
| Tabla 5.6: Distribución de temperatura en función del número de dispositivos activos.              | 5-20 |







# Glosario de términos

---

|                                    |  |
|------------------------------------|--|
| <b><math>d1,1-d1,4</math></b>      | Señales digitales DPWM de los transistores IGBT inferiores                           |
| <b>A/D</b>                         | Convertidor analógico a digital  |
| <b>CCM</b>                         | Continuous Conduction Mode ( <i>Modo de conducción continuo</i> )                    |
| <b>CPLD</b>                        | Complex Programmable Logic Device ( <i>Dispositivo lógico programable complejo</i> ) |
| <b><math>d1,1-d1,4</math></b>      | Señales digitales DPWM de los transistores IGBT superiores                           |
| <b>DCM</b>                         | Discontinuous Conduction Mode ( <i>Modo de conducción discontinuo</i> )              |
| <b>DDS</b>                         | Distributed Driving Scheme ( <i>Esquema de disparo distribuido</i> )                 |
| <b>Dev_OK</b>                      | Dispositivos disponibles   |
| <b>DPWM</b>                        | Digital Pulse Width Modulation ( <i>Modulación por anchura de pulso digital</i> )    |
| <b>FC</b>                          | Fin de cuenta (modulador PWM digital)  |
| <b><math>f_{clk}</math></b>        | Frecuencia de reloj maestro del sistema digital                                      |
| <b><math>f_L</math></b>            | Frecuencia del inductor  |
| <b>FPGA</b>                        | Field Programmable Gate Array ( <i>Array de puertas programable</i> )                |
| <b><math>f</math></b>              | Frecuencia de conmutación de los transistores  |
| <b><math>G_{idx}</math></b>        | Función de planta de control a corriente por la bobina en la fase 'x'                |
| <b><math>G_{rc}</math></b>         | Función de planta de corriente por la bobina a tensión de salida                     |
| <b><math>G_{vd}</math></b>         | Función de planta de control a tensión de salida                                     |
| <b>HB</b>                          | Half bridge ( <i>Medio puente</i> )  |
| <b><math>i_{ISA,x}</math></b>      | Corriente por el transistor 'x' inferior   |
| <b><math>i_{I\Delta DA}</math></b> | Corriente por los diodos inferiores (sumatorio)                                      |
| <b><math>I_{Ax}</math></b>         | Corriente a la entrada de la fase 'x' (promedio)                                     |
| <b>IBC</b>                         | Interleaved Boost Converter ( <i>Convertidor Boost entrelazado</i> )                 |
| <b>IGBT</b>                        | Insulated Gate Bipolar Transistor ( <i>Transistor bipolar de puerta aislada</i> )    |
| <b><math>i_{Lx}</math></b>         | Corriente por la bobina en la fase 'x'   |
| <b><math>i_{px}</math></b>         | Corriente de salida del convertidor en modo BOOST                                    |
| <b><math>i_{SA,x}</math></b>       | Corriente por el transistor 'x' superior   |
| <b><math>i_{\Sigma DA}</math></b>  | Corriente por los diodos superiores (sumatorio)                                      |
| <b><math>K_i</math></b>            | Constante de posicionamiento de pulso DPWM   |
| <b><math>ki</math></b>             | Constante de sensado de la corriente   |

|  |  |
|--|--|
| <b><math>k_v</math></b>                          | Constante de sensado de la tensión   |
| <b><math>L</math></b>                            | Valor de inductancia   |
| <b><math>m</math></b>                            | Número de dispositivos   |
| <b>MIBC</b>                                      | Multi-device Interleaved Boost Converter ( <i>Convertidor Boost entrelazado y multidispositivo</i> ) |
| <b><math>n</math></b>                            | Número de fases  |
| <b><math>N\_OK</math></b>                        | Número de dispositivos disponibles   |
| <b>PDS</b>                                       | Parallel Driving Scheme ( <i>Esquema de disparo en paralelo</i> )                                    |
| <b>PWM</b>                                       | Pulse Width Modulation ( <i>Modulación por anchura de pulso</i> )                                    |
| <b><math>r_c</math></b>                          | Resistencia equivalente serie (ESR) del condensador  |
| <b><math>Ref_k</math></b>                        | Valor de referencia digital de lazo del convertidor (salida del integrador)                          |
| <b><math>r_{Lx}</math></b>                       | Resistencia equivalente serie (ESR) de la bobina 'x'   |
| <b><math>S_{A,m}</math></b>                      | Señal $V_{GE}$ de disparo del transistor 'm' superior  |
| <b><math>S_{A,m}</math> Bis</b>                  | Señal $V_{GE}$ de disparo del transistor 'm' inferior  |
| <b>SDS</b>                                       | Sequential Driving Scheme ( <i>Esquema de disparo secuencial</i> )                                   |
| <b><math>t_{off}</math></b>                      | Tiempo que está apagado el transistor  |
| <b><math>t_{on}</math></b>                       | Tiempo que está conduciendo del transistor   |
| <b><math>T_r</math></b>                          | Tiempo que tarda la rampa en alcanzar $V_{max}$  |
| <b><math>V_1</math></b>                          | Nodo de mayor tensión  |
| <b><math>V_2</math></b>                          | Nodo de menor tensión  |
| <b><math>V_{CP}</math></b>                       | Tensión en el diodo o conmutador pasivo (promedio)   |
| <b><math>V_{max}</math></b>                      | Valor máximo del integrador del soft start   |
| <b><math>x_{c1}</math> y <math>x_{c2}</math></b> | Señales de control digital del ciclo de trabajo  |
| <b><math>x_{r1}</math> y <math>x_{r2}</math></b> | Señales de rampa digitales de los contadores de 13 bits  |
| <b>ZCS</b>                                       | Zero-Current Switching ( <i>Conmutación a corriente cero</i> )                                       |
| <b>ZVS</b>                                       | Zero-Voltage Switching ( <i>Conmutación a tensión cero</i> )   |
| <b>ZVZCS</b>                                     | Zero-Voltage Zero-Current Switching ( <i>Conmutación a tensión y corriente cero</i> )                |
| <b><math>\delta</math></b>                       | Cociente entre la corriente media máxima y la corriente media del convertidor                        |
| <b><math>\Delta i_L</math></b>                   | Rizado de corriente en la bobina   |
| <b><math>\tau_{bck\_Imax}</math></b>             | Tiempo muerto cuando la corriente por la bobina es máxima en modo BUCK                               |
| <b><math>\tau_{bck\_Imin}</math></b>             | Tiempo muerto cuando la corriente por la bobina es mínima en modo BUCK                               |
| <b><math>\tau_{bst\_Imax}</math></b>             | Tiempo muerto cuando la corriente por la bobina es máxima en modo BOOST                              |

$\tau_{bst\_lmin}$

Tiempo muerto cuando la corriente por la bobina es mínima en modo BOOST





# Capítulo 1: Introducción

---

## RESUMEN CAPÍTULO 1

Los convertidores DC/DC bidireccionales sin aislamiento son muy utilizados en aplicaciones de baja, media y alta potencia. El poder transmitir potencia eléctrica desde dos fuentes de tensión de distinto valor y en ambos sentidos, es esencial en numerosas aplicaciones, pudiendo abarcar desde sistemas del orden de nW como aplicaciones de *energy harvesting* a sistemas del orden de centenares de MW como en las aplicaciones de transmisión DC.

En este capítulo se realiza un breve resumen sobre el estado actual en conversión DC/DC sin aislamiento empleando la estructura de medio puente y sus diferentes variantes, en especial se describen los convertidores multidispositivo y multifase con las diferentes opciones de disparo de los dispositivos semiconductores, así como los dispositivos de control digital necesarios. Igualmente se aborda la problemática de la conmutación suave aplicada a convertidores bidireccionales sin aislamiento.



## 1.1. CONVERSIÓN DC/DC EN SISTEMAS ELECTRÓNICOS DE POTENCIA: APLICACIONES EN MEDIA POTENCIA.

El procesamiento de energía eléctrica mediante medios electrónicos está ampliamente extendido en nuestros días. Toda una serie de tecnologías “soporte” permiten que muchos de los equipos eléctricos y electrónicos puedan funcionar correctamente y su importancia queda fuera de toda duda en la actualidad. A la disciplina que estudia dichos sistemas se conoce como Electrónica de Potencia. Existen cuatro tipos básicos de conversión de energía eléctrica: AC/AC, AC/DC, DC/AC y DC/DC. El trabajo aquí realizado se centra en este último grupo.

Los sistemas de conversión de potencia DC/DC, también llamados simplemente convertidores DC/DC, están presentes en un gran número de aplicaciones y con niveles de potencia que abarcan desde  $10^{-6}$  vatios, como pueden ser los subsistemas de *energy harvesting* [1] hasta  $10^9$  vatios en sistemas de transmisión de energía eléctrica en DC [2]. Los métodos y técnicas desarrolladas en esta tesis son válidos para diferentes rangos de potencia y aplicaciones, pero todo el trabajo, en especial la verificación experimental, está acotado a sistemas del orden de  $10^3$  vatios, 100V y 10A.

Atendiendo al flujo de potencia, véase la figura 1.1, los convertidores DC/DC se pueden clasificar en unidireccionales, figura 1.1.a, o bidireccionales, figura 1.1.b, trabajando en el primer y cuarto cuadrante respectivamente de la característica I-V. Además, en función de las propiedades del convertidor, éste puede operar en único modo reductor o *buck* ( $V_1 > V_2$ ), modo elevador o *boost* ( $V_1 < V_2$ ) o en ambos ( $V_1 > V_2$  y  $V_1 < V_2$ ).

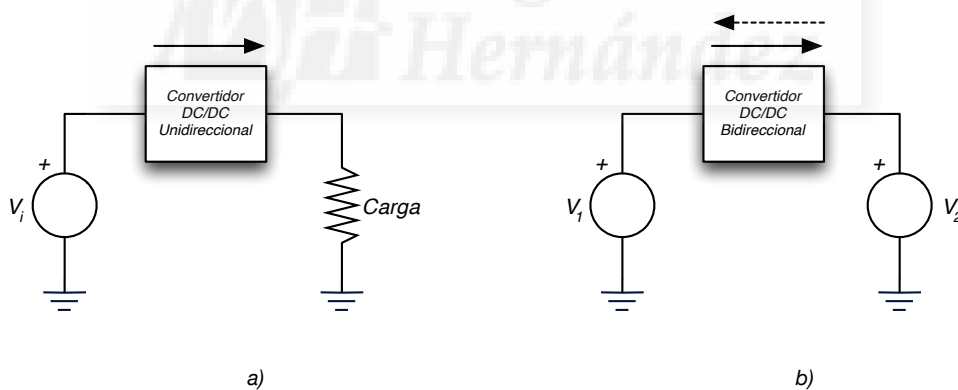


Figura 1.1: Tipos de convertidor DC/DC: a) Convertidor unidireccional, b) Convertidor bidireccional.

### 1.1.1. APLICACIONES: SISTEMAS DE POTENCIA APOYADOS EN BATERÍAS

Uno de los ejemplos más típicos del uso de convertidores DC/DC en el rango de kilovatios son los sistemas apoyados en baterías, tanto para convertidores DC/DC unidireccionales como bidireccionales. En el caso del uso de convertidores unidireccionales, es necesario un convertidor para la carga y otro para la descarga de las baterías, véase la figura 1.2.a; mientras que el uso de convertidores bidireccionales permiten realizar las dos funciones con un único convertidor, figura 1.2.b.

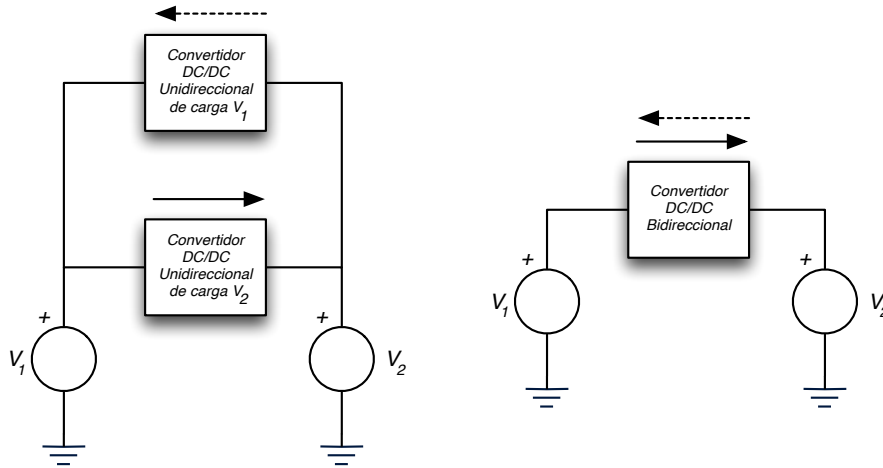


Figura 1.2: Sistemas de carga/descarga de baterías. Izquierda: mediante dos convertidores unidireccionales; derecha: mediante un convertidor bidireccional.

Algunas de las aplicaciones más características de los sistemas de media y alta potencia apoyados en baterías con uso de convertidores DC/DC son entre otros, automoción, vehículo eléctrico e híbrido, tanto para convertidores embarcados como sistemas de carga [3,4], sistemas de alimentación ininterrumpida [5,6] o sistemas de potencia espaciales [7-8].

A continuación y con fin ilustrativo, se detallan algunos ejemplos de convertidores DC/DC desarrollados por el Grupo de Electrónica Industrial de la Universidad Miguel Hernández, grupo en el cual me he estado trabajando y donde he aportado nuevas ideas y soluciones con el presente trabajo de tesis doctoral.

En la figura 1.3 está representado el sistema de potencia típico de un satélite de telecomunicaciones de media-alta potencia con arquitectura de bus regulado. En este tipo de sistemas, los paneles fotovoltaicos actúan de fuente primaria y las baterías son los sistemas de almacenamiento necesarios en los periodos de eclipse o transitorios de gran demanda energética. En este caso, los convertidores asociados a la carga y descarga de las baterías se denominan comúnmente BCR (*Battery Charge Regulator*) y BDR (*Battery Discharge Regulator*), siendo ambos unidireccionales. Existe también la alternativa de emplear convertidores bidireccionales, llamados en este caso BCDR (*Battery Charge Discharge Regulators*). En [9] los autores proponen un BCDR de 5kW de elevada eficiencia para aplicaciones espaciales. En [10,11] se propone un sistema de potencia de bus regulado con seguimiento del punto de máxima potencia. El prototipo desarrollado en ese proyecto se muestra en la figura 1.4.



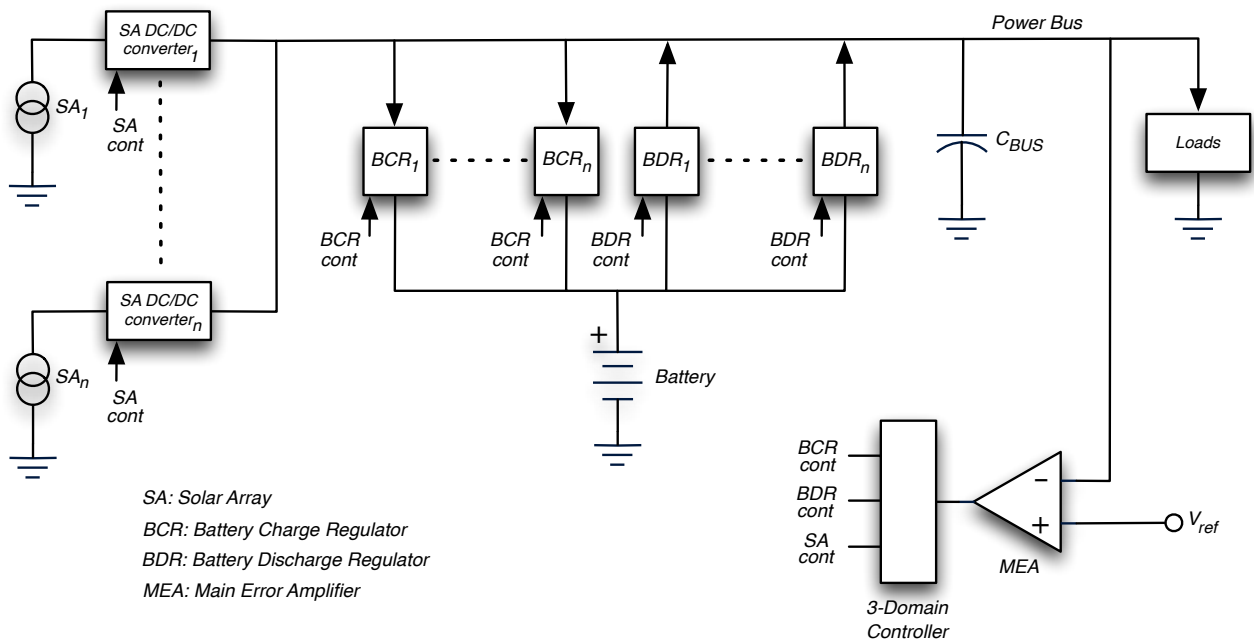


Figura 1.3: Sistema de potencia típico de un satélite de media y alta potencia.

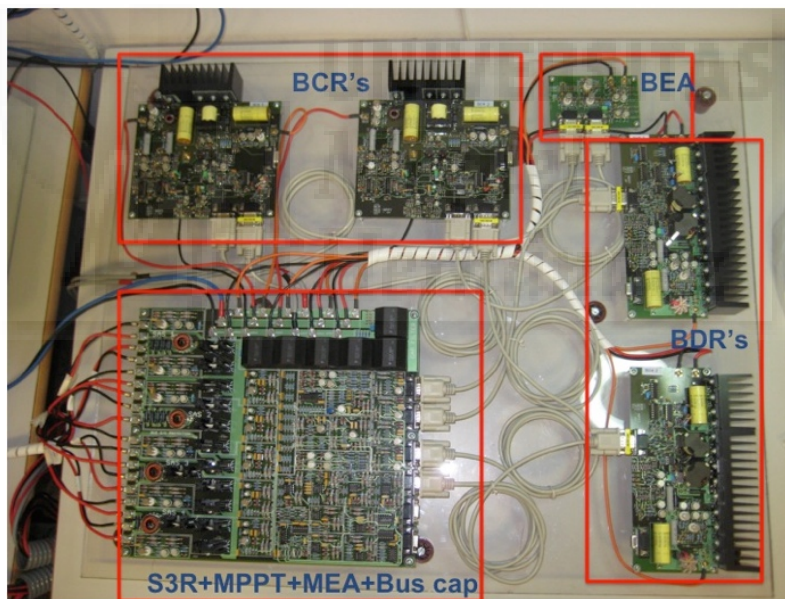


Figura 1.4: Prototipo de sistema de potencia de bus regulado con bus con seguimiento del MPP [11]

El siguiente ejemplo lo ocupa el sistema eléctrico de un vehículo alimentado con baterías y con sistema de apoyo basado en supercondensador descrito en [12], y cuyo diagrama de bloques se muestra en la figura 1.5. En este caso, los supercondensadores se encargan de manejar los transitorios de potencia, tanto en las aceleraciones como en la frenada regenerativa, mientras que la batería, mantiene una descarga relativamente constante durante la conducción. En la figura 1.6 se muestra el vehículo de pruebas y el convertidor DC/DC bidireccional diseñado.

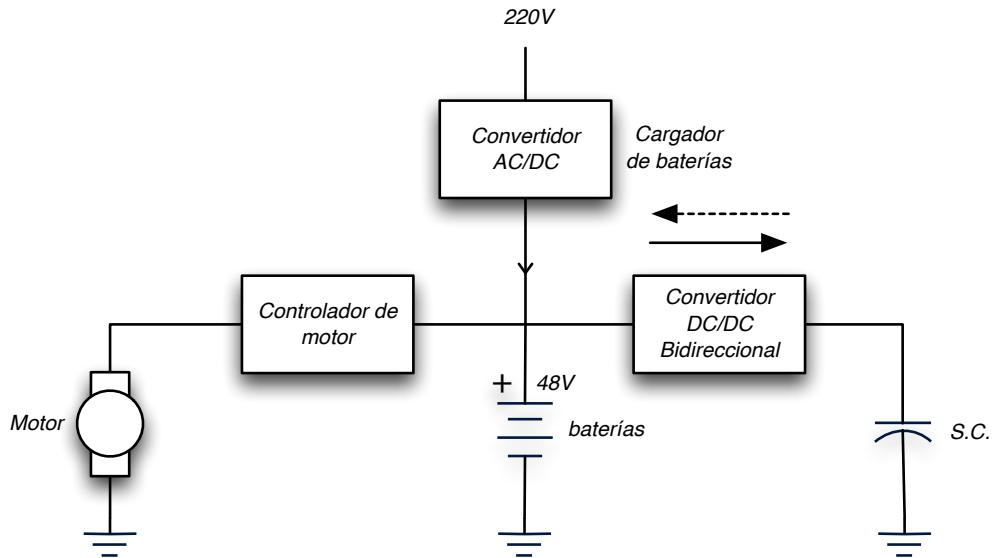


Figura 1.5: Sistema eléctrico de un vehículo de proximidad alimentado por baterías con sistema de apoyo basado en supercondensadores [12].



Figura 1.6: Vehículo de proximidad Comarth Engineering S.L. Cross Rider 4P (arriba) y convertidor DC/DC bidireccional diseñado (abajo); descrito en [12].

El último ejemplo descrito, es un sistema de potencia autónomo de 1kW basado en energía fotovoltaica, pila de combustible y electrolizador [13,14]. Este sistema también dispone de baterías de respaldo para manejar los transitorios de potencia. En este caso se utiliza un convertidor DC/DC, con la pila de combustible a su entrada y batería en la salida. Ésta se emplea para los transitorios de potencia debido a la limitada velocidad de respuesta de la pila de combustible asociada a sus sistemas mecánicos [14].

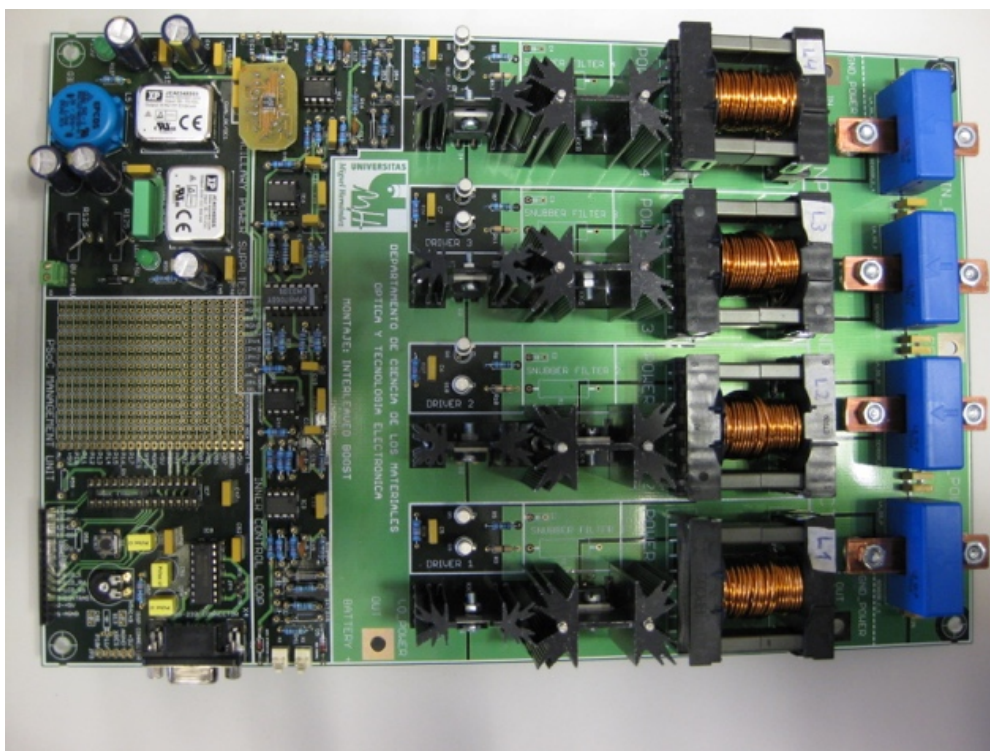


Figura 1.7: Convertidor DC/DC unidireccional diseñado para sistema autónomo basado en pila de combustible y con apoyo de baterías; descrito en [14]

Una característica común a los dos convertidores que acaban de ser mostrados, es el uso de estructuras modulares de procesamiento de potencia. Se verá que este aspecto es el punto de partida para el desarrollo del presente trabajo, permitiendo la optimización de dichos convertidores en numerosas aplicaciones de media y alta potencia.

## 1.2. CONVERSIÓN DC/DC SIN AISLAMIENTO: CONVERSIÓN UNIDIRECCIONAL Y BIDIRECCIONAL

Una forma muy habitual de clasificar los convertidores DC/DC es, atendiendo a su capacidad de reducir tensión, elevar o hacer ambas cosas. Sin embargo, existen multitud de criterios como unidireccionalidad o bidireccionalidad, aislamiento galvánico, número de interruptores y/o número de elementos reactivos.

Para el caso de convertidores no aislados, unidireccionales y con mínimo número de interruptores controlados, existen un conjunto de topologías básicas representadas en la figura 1.8. En este grupo aparecen las tres topologías básicas BUCK, BOOST y BUCK-BOOST, más tres topologías con cuatro elementos reactivos, SEPIC, Cuk y ZETA, que permiten una función tanto reductora como elevadora con un único interruptor controlado.

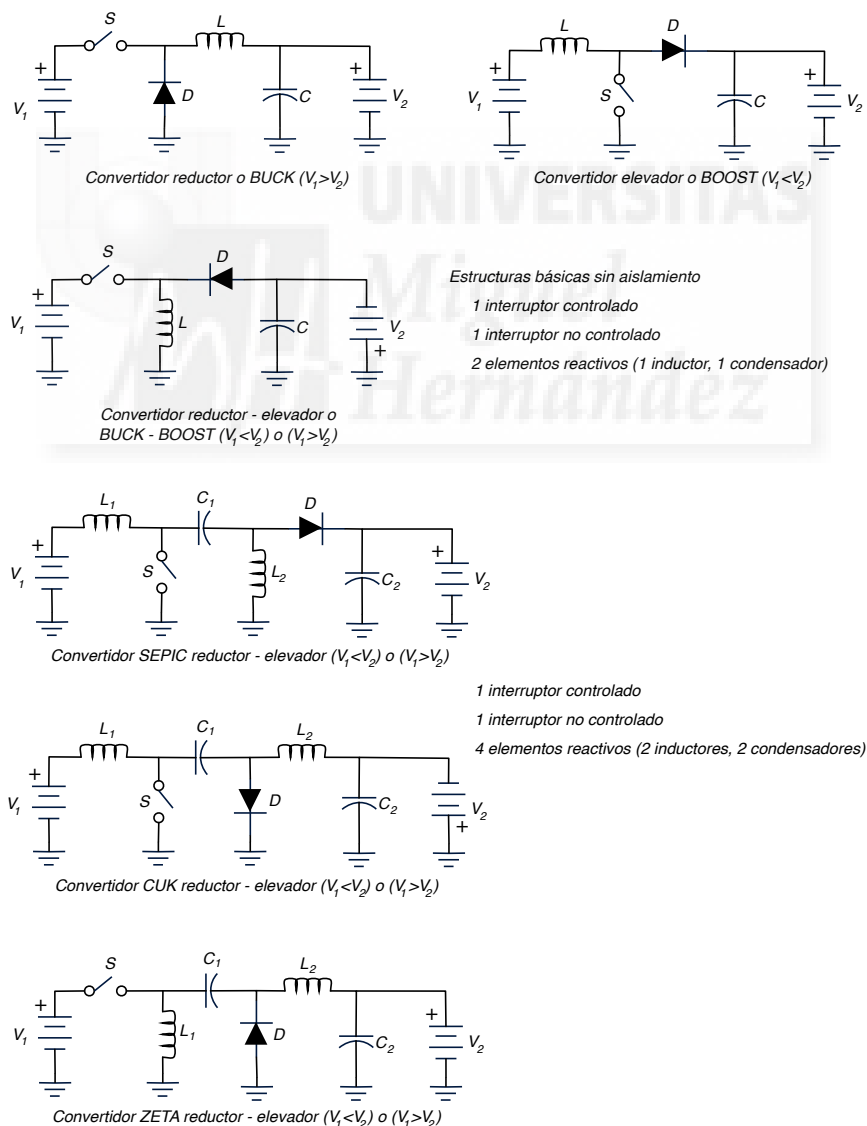


Figura 1.8: Topologías básicas de convertidores DC/DC

Para conseguir la propiedad de bidireccionalidad, las estructuras básicas aceptan cambiar el interruptor no controlado, el diodo ( $D$ ), por un interruptor controlado ( $S_2$  en modo BUCK y  $S_1$  en modo BOOST) con capacidad de conducir en los dos sentidos (p. e. MOSFET o IGBT + diodo en antiparalelo). Así pues, al sustituir el diodo del convertidor BUCK o BOOST, se consigue una estructura básica comúnmente llamada medio puente, véase la figura 1.9. Para la estructura en medio puente, si el convertidor trabaja en modo BUCK, el interruptor superior  $S_1$  actúa como interruptor principal, fijando el ciclo de trabajo necesario y el interruptor inferior  $S_2$  trabaja como interruptor auxiliar. Las funciones entre  $S_1$  y  $S_2$  se invierten en modo BOOST. Resulta evidente que ambos semiconductores de potencia no pueden estar a ON a la vez, pues supone el cortocircuito de  $V_1$ . Puesto que el proceso de conmutación no es ideal (instantáneo), es necesario incluir un tiempo en el que ambos dispositivos se mantienen a OFF, denominado tiempo muerto.

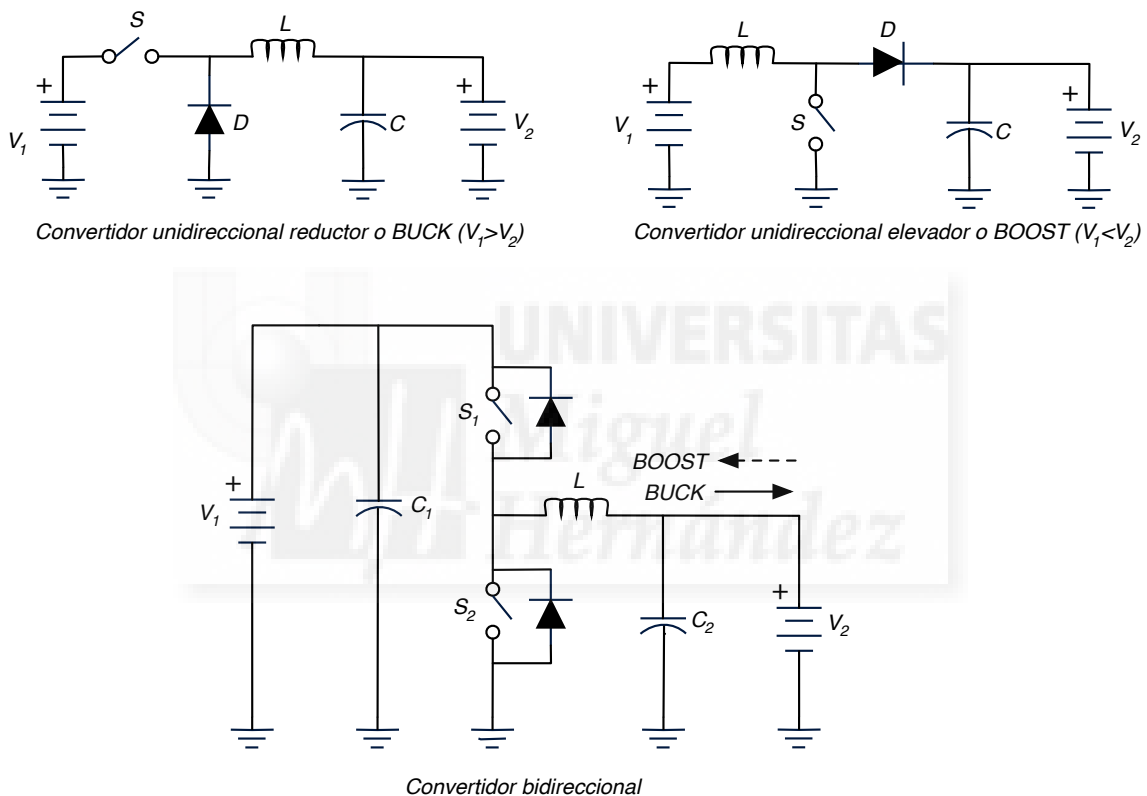


Figura 1.9: Convertidor unidireccional vs convertidor bidireccional basado en medio puente.

Asumiendo un tiempo muerto mucho más pequeño que el periodo de conmutación, se puede obtener la función de transferencia estática ideal del convertidor en ambos sentidos, simplemente con aplicar el balance voltios-segundo en el inductor. Así pues, las expresiones (1.1) y (1.2) corresponden al modo buck y boost respectivamente.

$$V_2 = DV_1 \tag{1.1}$$

$$V_1 = \frac{1}{1-D}V_2 \tag{1.2}$$

Aunque el medio puente es la estructura básica para conseguir la bidireccionalidad en convertidores DC/DC, existen otras topologías derivadas de los convertidores básicos representados en la figura 1.8. A modo de ejemplo, Yao y autores, han publicado recientemente [15] una nueva topología bidireccional SEPIC con snubber regenerativo, validando dicha propuesta con un prototipo de 400W, 48V/380V y eficiencias pico de 96.4% en modo BOOST y 95% en modo BUCK. Sin embargo, esta nueva topología y otras similares que emplean snubbers activos, incrementan el número de interruptores de potencia y por tanto su complejidad.

Uno de los aspectos a considerar en estos ejemplos anteriores, es que la propiedad de reducir o elevar la tensión solo ocurre en un sentido, es decir las fuentes de baja y alta tensión no son intercambiables de posición. Como posible solución a esta situación, se puede emplear el convertidor BUCK-BOOST de cuatro interruptores [16], véase la figura 1.10, el cual es la disposición en cascada de un convertidor BUCK seguido de un convertidor BOOST, que comparten el mismo inductor. Esta topología se ha empleado con profusión en reguladores comerciales de baja potencia para sistemas alimentados a baterías y supercondensadores [17], pero también propuesto para sistemas de media y alta potencia. En [18], Waffler y Kolar, proponen dicha topología de BUCK más BOOST en cascada con una nueva técnica de modulación para conseguir conmutación suave. La verificación experimental incluye un prototipo de 12kW, con una densidad de potencia de 174kW/l, alcanzando una eficiencia máxima del 98.3%.

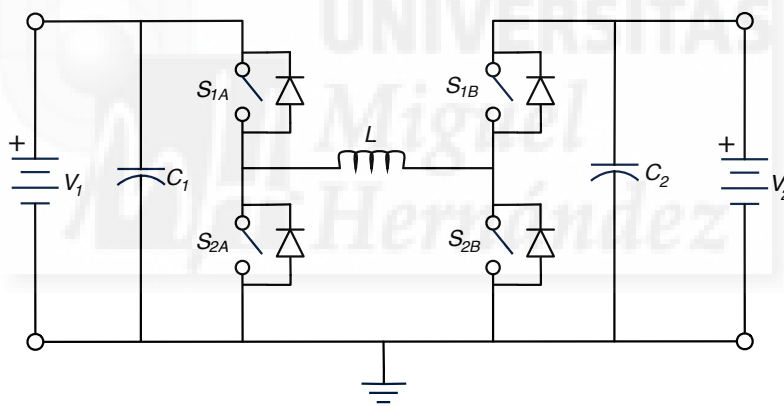


Figura 1.10: Convertidor BUCK-BOOST no inversor de 4 interruptores.

Una de las consecuencias de la propiedad de bidireccionalidad, es que el convertidor puede operar en todo momento en modo de conducción continua (CCM), aunque bien es cierto que se pueden establecer técnicas de control para seguir trabajando en modo discontinuo si así se quiere. La elección de trabajar en CCM o DCM depende diversos factores; por ejemplo, García y autores proponen en [19] un convertidor en estructura de medio puente bidireccional, trabajando en modo DCM por su inherente ecualización de corriente en sistemas de múltiples fases y por tanto se evita un lazo de control de corriente por cada módulo. Similares razones exponen Blanes y autores en [12], para el diseño de un convertidor DC/DC bidireccional empleado en vehículos de proximidad. Sin embargo el uso de DCM no está exento de problemas, por ejemplo, se alcanzan mayores corrientes de pico y es más propenso a problemas de EMI.

### 1.3. CONVERSIÓN DC/DC SIN AISLAMIENTO: PARALELIZACIÓN DE DISPOSITIVOS (MULTIDISPOSITIVO).

A medida que los requerimientos de potencia crecen, trabajar con un único convertidor DC/DC puede ser inviable debido a diferentes razones. Entre alguna de ellas cabe destacar: limitación de los valores máximos de tensión, corriente y potencia de los semiconductores de potencia; focalización de las pérdidas tanto en interruptores como elementos reactivos, con el consecuente problema derivado del diseño térmico y operación en alta temperatura; masa y volumen pueden también estar altamente penalizados, debido especialmente al diseño magnético y térmico; por último, fiabilidad y redundancia son otros aspectos a considerar seriamente, en especial en aplicaciones críticas.

A nivel de componente, una técnica habitual consiste en emplear diversos dispositivos en un único convertidor, es decir, una aproximación “multidispositivo”, aplicable tanto en semiconductores de potencia como en elementos reactivos. Es muy común encontrar diseños con diversos semiconductores de potencia dispuestos en paralelo para incrementar la capacidad de corriente, y aunque menos común, también se emplean semiconductores en serie para aumentar la capacidad de bloqueo de voltaje. La problemática en ambos casos aparece en la ecualización entre los distintos semiconductores tanto en corriente como en tensión. La paralelización de condensadores y la serialización de inductores son también estrategias ampliamente utilizadas. En la figura 1.11, se puede observar un convertidor bidireccional basado en medio puente con dos ramas en paralelo, para incrementar la capacidad de corriente (potencia) del sistema.

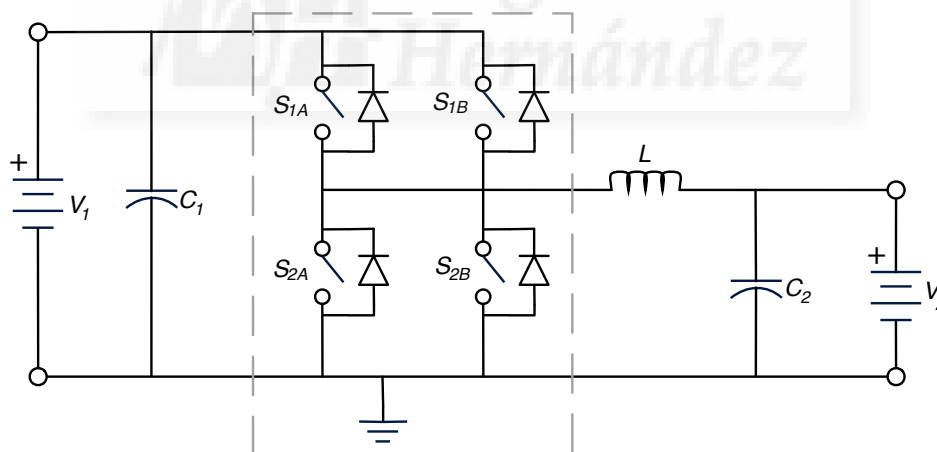


Figura 1.11: Convertidor DC/DC bidireccional empleando dos medios puentes (multidispositivo).

En el caso de considerar una configuración multidispositivo, con semiconductores en paralelo para aumentar la capacidad de corriente, es interesante atender a las distintas opciones de disparo de los semiconductores. Para ello, y a modo de ejemplo, se va considerar un convertidor BOOST unidireccional como el representado en la figura 1.12.

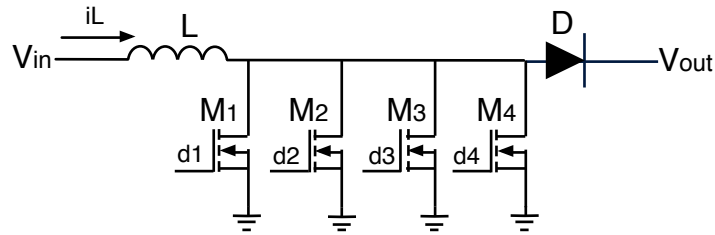


Figura 1.12: Convertidor DC/DC BOOST multidispositivo con cuatro MOSFET en paralelo.

La forma más sencilla y obvia de disparo de los distintos semiconductores es empleando una única señal común a todos ellos, en un esquema que hemos denominado *Parallel Driving Scheme* (PDS), véase la figura 1.13. Esta aproximación, aunque simple y ampliamente empleada, no está exenta de problemas, en particular los derivados del reparto de corriente entre dispositivos.

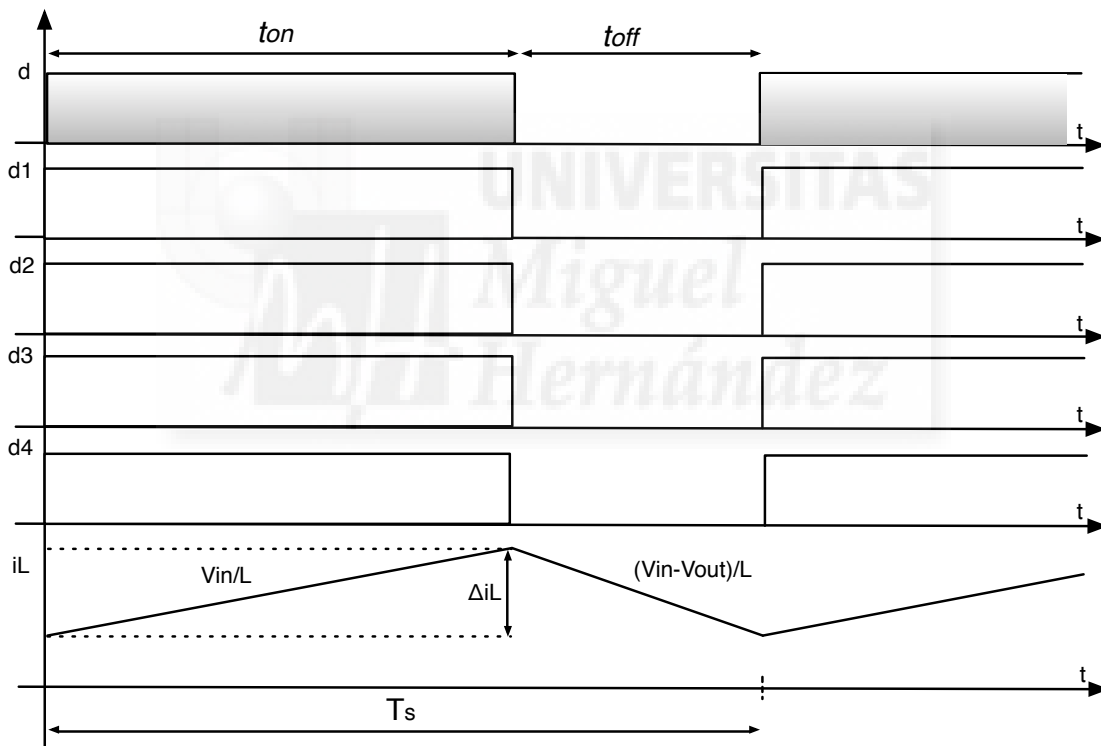


Figura 1.13: Señales de disparo en esquema PDS y corriente en el inductor de un convertidor BOOST multidispositivo con cuatro interruptores en paralelo.

Idealmente durante  $t_{on}$  por cada dispositivo circula una corriente igual a  $i_L/m$ , siendo  $m$ , el número de dispositivos en paralelo, sin embargo este reparto ideal de corriente no siempre ocurre. Tradicionalmente se considera que el empleo de semiconductores de potencia con el coeficiente de temperatura positivo en su resistencia en conducción, como es el caso de los MOSFET, proporciona un mecanismo de realimentación inherente que tiende a equilibrar las corrientes por los distintos semiconductores. El proceso es el siguiente, si por cualquier razón un interruptor tiende a aumentar la corriente, su resistencia en conducción se



incrementa y por tanto limita la corriente, la cual circulará por los otros interruptores. En la práctica, aún considerando semiconductores de coeficiente de temperatura positivo en su resistencia en conducción, como el caso de los MOSFET, diversos estudios han demostrado que puede existir desequilibrio en el reparto de corriente en aplicaciones de conmutación [20, 23]. Esto ocurre porque existen varios efectos que influyen en el carácter final del coeficiente de temperatura, positivo o negativo, y que además están fuertemente ligados al circuito de disparo del semiconductor [23].

Evidentemente, la problemática se acentúa en los casos en los cuales los dispositivos tienen un coeficiente de temperatura negativo en su resistencia de conducción, tal y como ocurre en muchas de las tecnologías de IGBT, dificultando así su paralelización [24]. No obstante, distintos métodos han ido apareciendo para el control del reparto de corriente en tales dispositivos [25].

Otra posibilidad para el disparo de los distintos semiconductores, manteniendo la misma relación de transformación, consiste en activar de forma secuencial los distintos dispositivos en un esquema de disparo que hemos denominado *Sequential Driving Scheme* (SDS). La figura 1.14, muestra un esquema con las señales de disparo y la corriente del inductor para el convertidor BOOST de la figura 1.12.

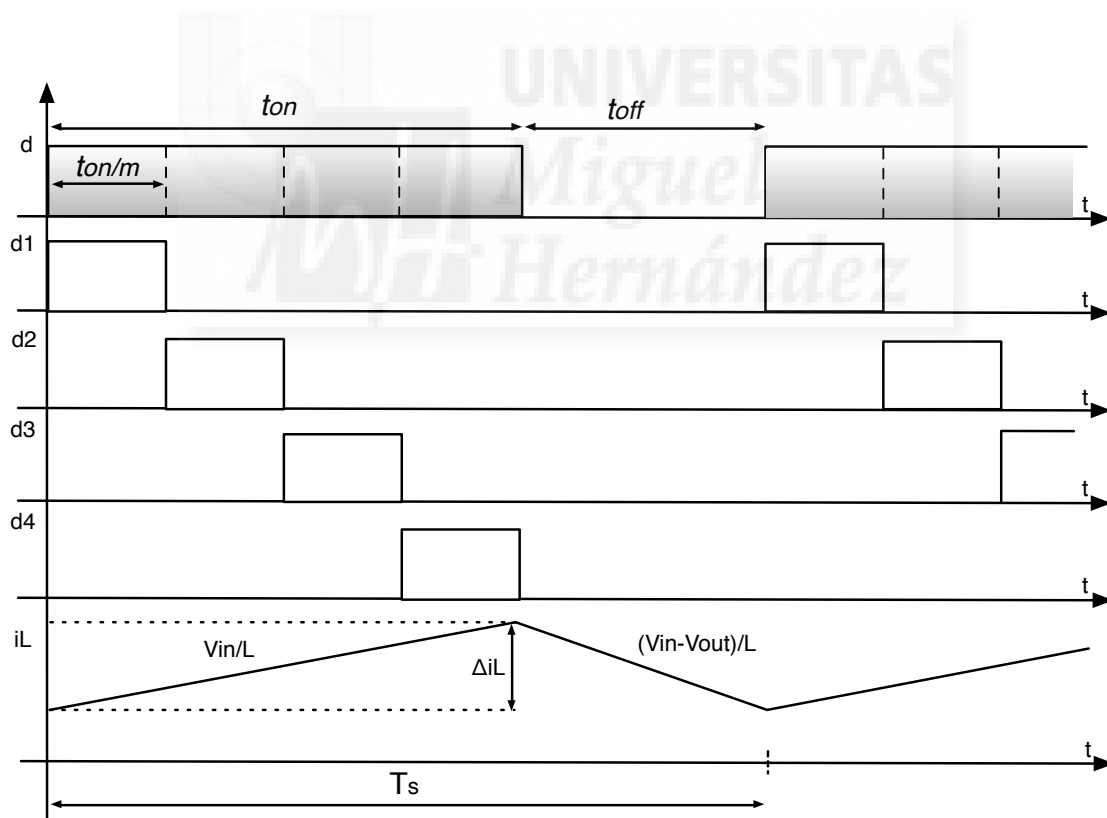


Figura 1.14: Señales de disparo en esquema SDS y corriente en el inductor de un convertidor BOOST multidispositivo con cuatro interruptores en paralelo.

Con este esquema de disparo, cada interruptor conduce de forma individual un cierto intervalo de tiempo toda la corriente por lo que no hay un reparto instantáneo de corriente. A priori y en condiciones ideales, este esquema de disparo no parece aportar ninguna ventaja con respecto al anterior; es necesaria

una mayor capacidad de corriente por interruptor, las pérdidas de conducción, en el mejor de los casos son las mismas, las pérdidas de conmutación serán mayores por la mayor corriente instantánea que circula en cada interruptor y por último la señal de disparo es individual a cada transistor. Por el contrario, este método es una forma eficaz para evitar los problemas de reparto de corriente entre dispositivos y distribuir las pérdidas entre diversos semiconductores de potencia, lo cual es especialmente interesante, como ya se ha mencionado en semiconductores con coeficiente de temperatura negativo en su resistencia de conducción.

Un último esquema de disparo posible es aquel representado en la figura 1.15 y al cual hemos llamado *Distributed Driving Scheme* (DDS). En esta ocasión, se divide el  $t_{on}$  y  $t_{off}$  a partes iguales entre los distintos dispositivos, o visto de otra forma, se produce un desplazamiento de fase de  $2\pi/m$  radianes entre los semiconductores. Esta forma de disparo, empleada por ejemplo en [26], aparte de distribuir las pérdidas entre diversos dispositivos y evitar la problemática del reparto de corriente, modifica la frecuencia de la corriente de entrada (inductor) y salida (condensador), lo cual tiene un impacto importante en otros aspectos como tamaño de los elementos reactivos, rizado de la corriente o respuesta dinámica.

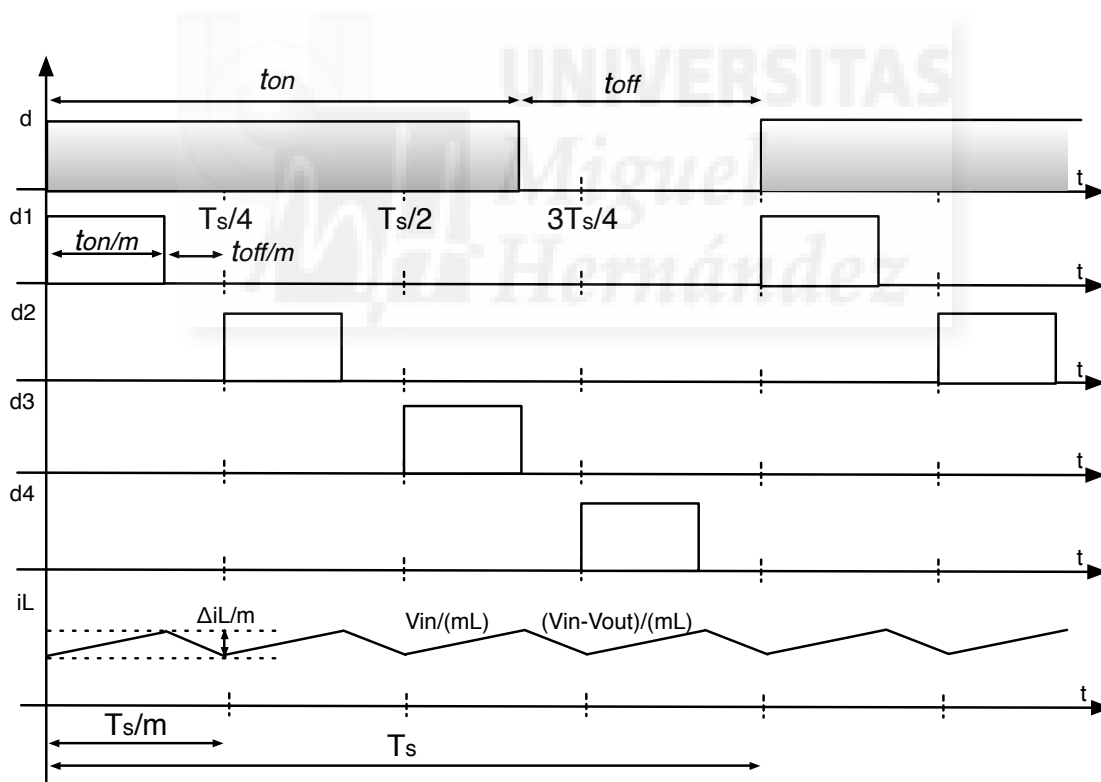


Figura 1.15: Señales de disparo en esquema DDS y corriente en el inductor de un convertidor BOOST multidispositivo con cuatro interruptores en paralelo.

## 1.4. CONVERSIÓN DC/DC SIN AISLAMIENTO: PARALELIZACIÓN DE CONVERTIDORES (MULTIFASE).

Otro enfoque para aumentar el manejo de potencia, consiste en emplear diferentes convertidores de menor tamaño, en una aproximación llamada “multimódulo” o “multifase” . En este caso, a diferencia de la aproximación multidispositivo, se duplica todo el convertidor. Para el caso de conexión paralelo-paralelo, como el representado en la figura 1.16, se tendrán dos puntos comunes, entrada y salida. Obviamente otras configuraciones, derivadas de la posible conexión serie o paralelo en entrada y salida, son posibles [27-30].

Las principales ventajas de una aproximación modular son: su mayor escalabilidad, la potencia del convertidor final se puede alcanzar con un número determinado de módulos; mejor aprovechamiento de los interruptores de potencia, el diseño individual de los módulos puede optimizar un determinado interruptor tanto en tensión de bloqueo como en corriente en conducción; mayor facilidad para obtener diseños redundantes; versatilidad en la fabricación y mantenimiento de distintos equipos basados en el mismo bloque común. Otros aspectos, no menos importantes, son mejora de la respuesta dinámica y distribución de las pérdidas entre los diferentes módulos.

Al igual que en una configuración multidispositivo, una aproximación multifase requiere de un control más complejo que asegure el reparto de potencia entre los módulos, así como la correcta ecualización de tensión y corriente de los mismos.

Dos esquemas de disparo son los que se emplean en convertidores multifase de forma habitual, o bien de forma síncrona, todas las fases comparten la misma señal de disparo para sus semiconductores de potencia, o bien con desplazamiento de fase entre los módulos, en lo que se conoce como “convertidor entrelazado”, *interleaving* o *interleaved*, véase la figura 1.17. La técnica de desplazamiento de fase o *interleaving* [31] está bastante extendida en diversas aplicaciones tanto de baja como media y alta potencia. En baja potencia, la alimentación en continua de circuitos electrónicos de baja tensión, usualmente necesitan grandes *slew rate* en corriente que a su vez son incompatibles con los rizados de corriente especificados. En tal caso, una solución ampliamente empleada, son convertidores BUCK síncronos multifase en *interleaving* [32] como el representado en la figura 1.16. Otras aplicaciones de mayor potencia incluyen cargadores/descargadores de baterías y supercondensadores [33], acondicionamiento de pilas de combustible [34], distribución DC y en general todas aquellas que requieran un intercambio de potencia entre dos fuentes DC de cierta potencia.

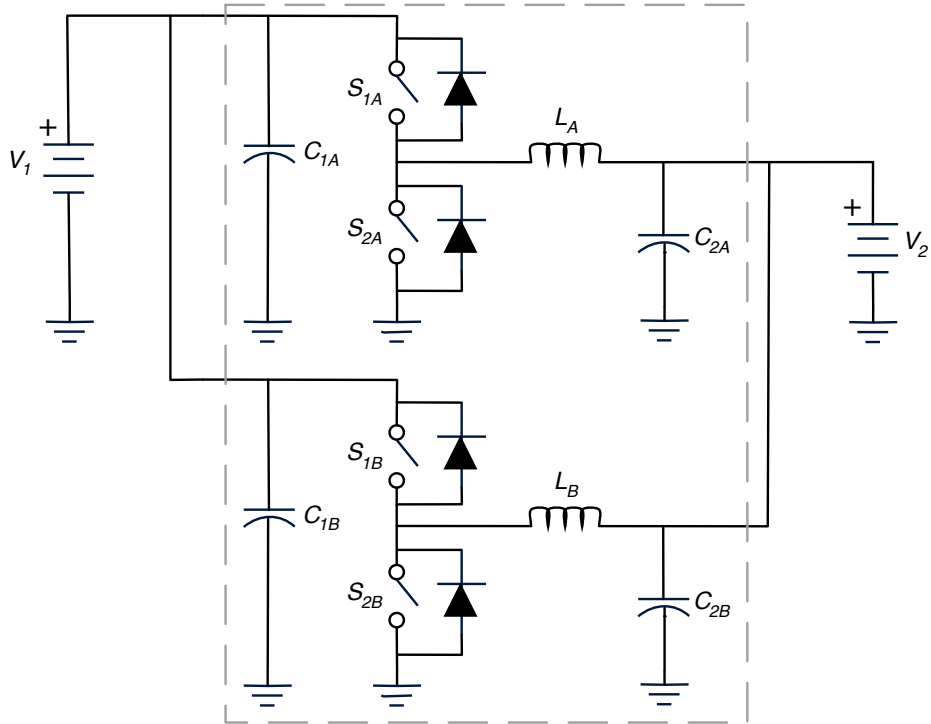


Figura 1.16: Convertidor DC/DC empleando dos convertidores de medio puente en configuración paralelo-paralelo (multimodulo o multifase).

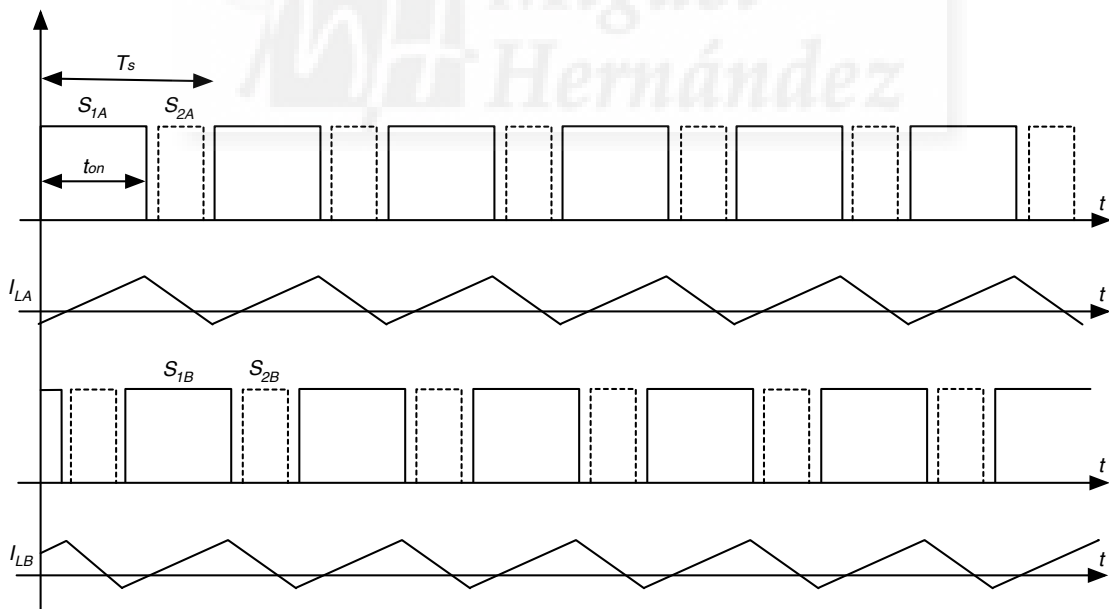


Figura 1.17: Esquema de disparos y corrientes por las bobinas del convertidor de la figura 1.16.

## 1.5. CONVERSIÓN DC/DC SIN AISLAMIENTO: MULTIDISPOSITIVO Y MULTIFASE

Combinando ambas aproximaciones, multidispositivo y multifase, se obtienen nuevas estructuras con  $m$  dispositivos por fase y  $n$  fases. Esta idea supone la base principal de la presente tesis, la cual el autor del trabajo propuso y estudió mediante simulación durante su trabajo fin de master de investigación [35].

Al poco tiempo, Hegazy y demás autores también publicaron el uso de la misma técnica en [36,37], particularizando para un convertidor de dos fases y dos dispositivos por fase ( $n=2, m=2$ ) para su uso en sistemas de tracción de vehículos eléctricos e híbridos. La utilización conjunta de las dos técnicas, como veremos en capítulos posteriores, consigue incrementar el número de ventajas con respecto al uso de una sola de ellas por separado. Las principales razones son, la reducción del tamaño de los elementos pasivos, inductores, condensadores y filtros EMI, mejora de las prestaciones dinámicas y mejora de la eficiencia y fiabilidad.

En la figura 1.18 se muestra el convertidor desarrollado en [37], y en la figura 1.19 se muestran las señales de disparo y las corrientes por los inductores.

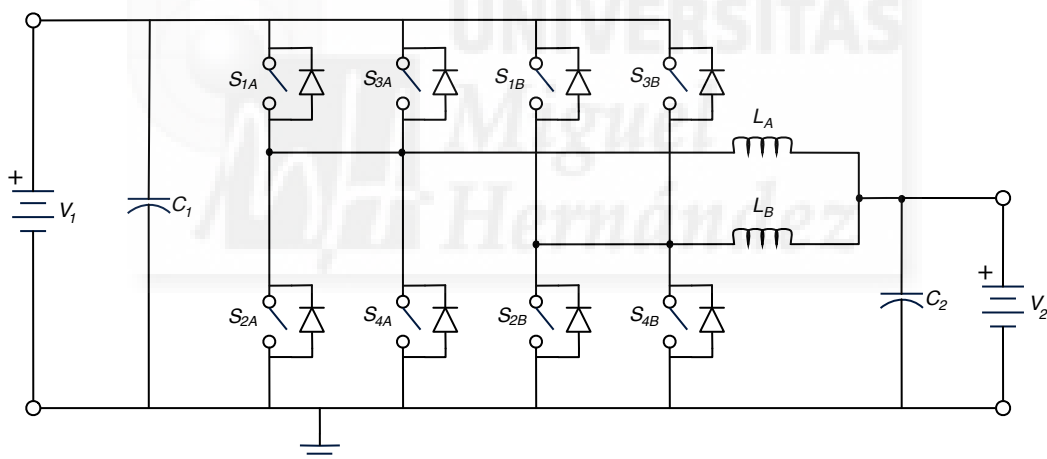


Figura 1.18: Convertidor multifase y multidispositivo ( $n=2; m=2$ ) propuesto por Hegazy y autores en [37].

En opinión del autor un punto de especial interés, derivado de la configuración multidispositivo, es que existe un desacoplamiento entre la frecuencia de conmutación de los semiconductores de potencia y la frecuencia del inductor, con ello se consigue un nuevo grado de libertad para el diseño y optimización del convertidor. Por otro lado, el uso de varios módulos en *interleaving* proporciona otras ventajas adicionales.

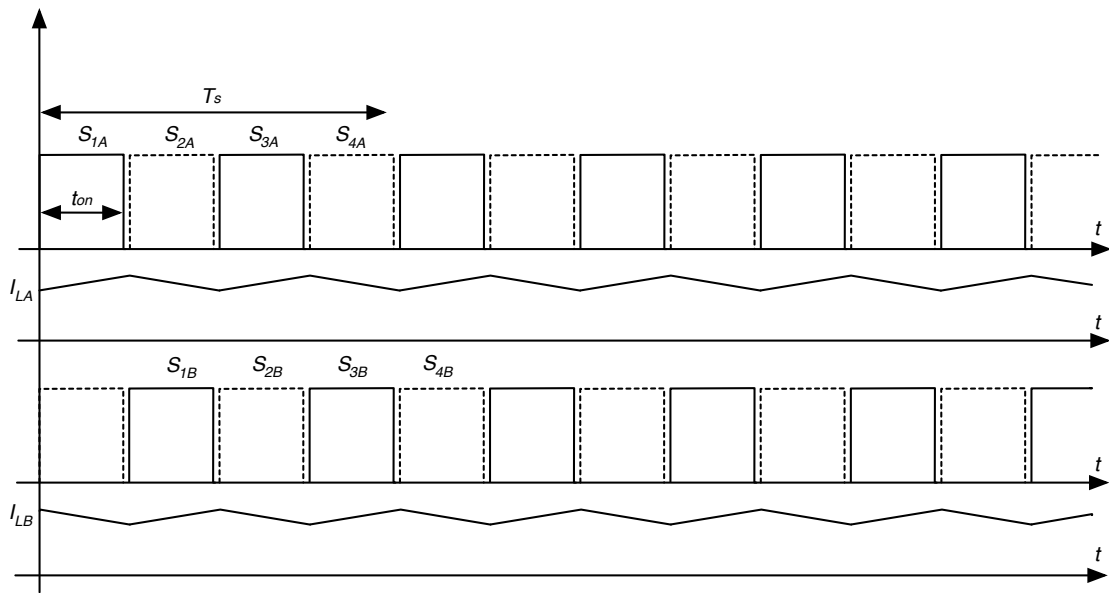


Figura 1.19: Señales de disparo y corrientes por los inductores del convertidor propuesto en [37].



## 1.6. CONMUTACIÓN SUAVE

Otro aspecto a tener en consideración, en especial cuando se habla de convertidores de cierta potencia, son las pérdidas derivadas de la conmutación de los semiconductores y las técnicas existentes para reducirlas. A aquellos convertidores que son capaces de minimizar las pérdidas de conmutación, se les conoce como convertidores de conmutación suave.

La conmutación suave se puede conseguir mediante la conmutación a cero tensión, normalmente conocido ZVS (*Zero-Voltage Switching*), conmutación a cero corriente, ZCS (*Zero-Current Switching*) o ambas ZVZCS (*Zero-Voltage and Zero-Current Switching*).

En la actualidad existen numerosas técnicas establecidas para conseguir conmutación suave en convertidores DC/DC, las más conocidas están recogidas en los siguientes trabajos [38-40].

Una técnica especialmente interesante, por su aplicabilidad en este trabajo, es la descrita por Zhang y autores en [41]. En ella, se emplea el uso de disparos complementarios de medios puentes entrelazados, ajustando los tiempos muertos de cada rama para poder transferir la carga eléctrica entre las capacidades superiores e inferiores de los semiconductores de potencia, *snubbers* capacitivos. A su vez, el uso de estructuras bidireccionales permite corrientes negativas, con independencia del sentido del flujo de la potencia, que son especialmente interesantes para forzar conmutaciones con corrientes cercanas a cero. La figura 1.20 muestra la estructura presentada en [41].

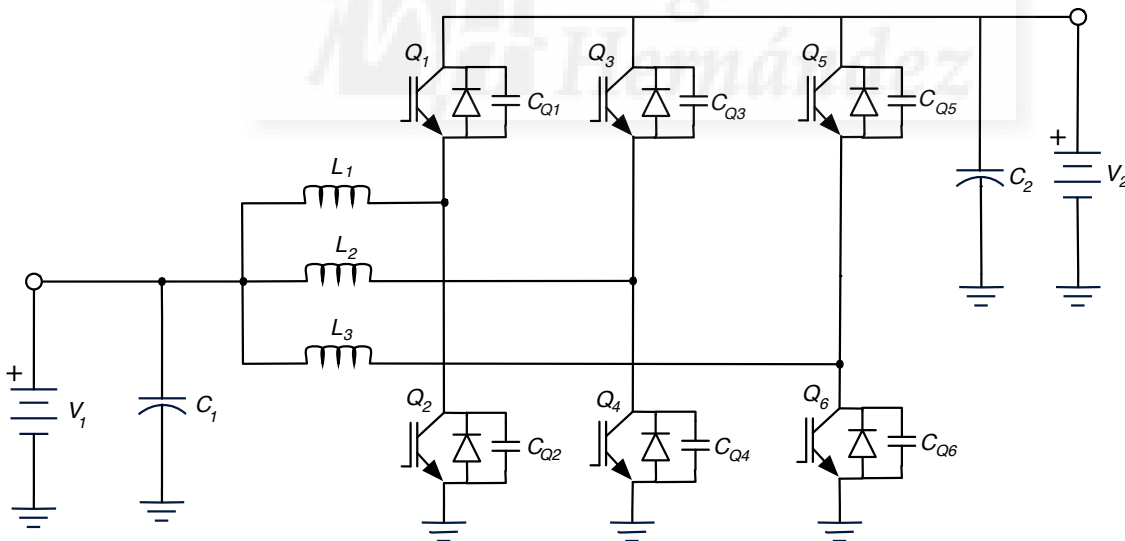


Figura 1.20: Convertidor DC/DC con conmutación suave propuesto por Zhang en [41].

La figura 1.21, muestra las formas de onda características del convertidor de la figura 1.20.

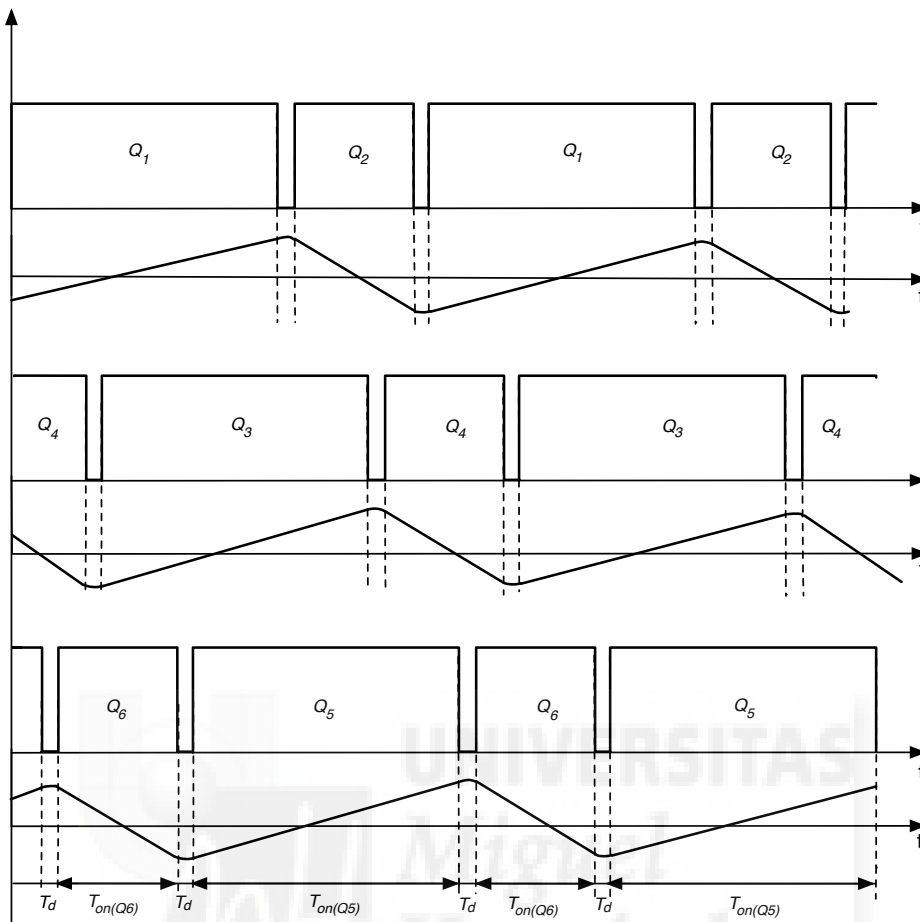


Figura 1.21: Formas de onda características del convertidor DC/DC con conmutación suave propuesto por Zhang y autores en [41].



## 1.7. CONTROL DIGITAL EN CONVERTIDORES DC/DC

Al igual que en otros campos de la Electrónica, los circuitos digitales programables se han introducido de forma progresiva en los sistemas electrónicos de procesamiento de energía eléctrica [42,43]. Si bien, el control analógico todavía está presente en muchos casos, poco a poco se van adoptando las técnicas digitales como alternativa, ya que proporcionan una serie de ventajas que la electrónica analógica no puede alcanzar o implican un nivel de complejidad o coste muy importante.

El control analógico tiene como principal ventaja, el elevado ancho de banda que se puede alcanzar y la sencillez en su implementación. Las técnicas digitales, por el contrario no pueden alcanzar el mismo ancho de banda, y en la gran mayoría de casos, implican mayor complejidad a nivel de diseño electrónico del circuito. Sin embargo, existen un gran número de ventajas asociadas a las técnicas digitales, las cuales las hacen especialmente atractivas:

- **Estabilidad temporal y ante variaciones de temperatura.** Los algoritmos de cálculo no son sensibles a derivas [44], si bien los procesos de conversión analógico-digital, sí pueden verse alterados por estos fenómenos.
- **Exactitud de cálculo.** A diferencia de las técnicas analógicas, los algoritmos y procesos de cálculo digitales, son insensibles a tolerancias de los componentes que forman el circuito de control [45].
- **Reproducibilidad, repetitividad y escalabilidad.** Las técnicas digitales son fácilmente reproducibles y repetitivas, ya que permiten ser integradas múltiples veces y con los mismos resultados. Por otro lado, se benefician de la propiedad de escalabilidad, ya que múltiples controladores pueden ser integrados sobre el mismo dispositivo de control y aumentar la capacidad del sistema de control [46].
- **Espacio ocupado.** Un circuito digital, en especial cuando se trata de controles complejos o altamente paralelizados, ocupará menor espacio debido a la alta integración. Visto de otra manera, también se puede argumentar que para el mismo espacio ocupado, el sistema digital puede proporcionar un control más complejo y versátil.
- **Flexibilidad y reprogramabilidad.** La reprogramabilidad de los circuitos digitales, es una de las grandes ventajas que permite modificaciones de los sistemas de control, sin alterar los circuitos electrónicos asociados. Esta característica proporciona elevada flexibilidad para utilizar diferentes métodos y técnicas de control [47, 48].
- **Inmunidad al ruido.** En comparación a los sistemas analógicos, donde un pequeño cambio en la magnitud analógica puede suponer un efecto negativo sobre el control, los sistemas digitales de control son más inmunes al ruido, pues se apoyan en algoritmos de cálculo [48]. Sin embargo, hay que prestar especial atención a la interfaz de conversión analógico-digital, pues en ella pueden aparecer efectos negativos debido al ruido, u otras consideraciones como filtros anti-aliasing.

- **Comunicaciones.** Otra ventaja de los sistemas digitales, deriva del gran número de opciones existentes para comunicar subsistemas. Esto hace que sistemas de más alto nivel puedan modificar parámetros de control, monitorizar el estado de los subsistemas y pronosticar fallos gracias a la información obtenida.

Obviamente, las técnicas digitales no están exentas de inconvenientes [49,50], en particular, los más importantes son:

- **Discretización de la señal.** Mediante este mecanismo, se empieza a digitalizar la señal y supone una modificación crítica de la misma, por la cual se pierde información entre muestras y por tanto se limita su ancho de banda. A raíz de ello, se limita la velocidad del ancho de banda de todo el sistema de control. La discretización a grandes tasas de muestreo, conlleva cierta complejidad a nivel electrónico, necesitando componentes específicos y técnicas de fabricación de circuitos impresos adecuadas al tipo de señal a discretizar.
- **Cuantificación de la señal.** Este segundo proceso, consiste en asignar niveles lógicos a la señal discretizada. Por tanto, implica, de nuevo, pérdida de información debido al número finito de niveles de cuantificación; este número de niveles de cuantificación depende de la longitud en bits de la muestra. De la misma forma a mayor número de bits, menor pérdida de información por tener más niveles de cuantificación, pero mayor complejidad en el diseño electrónico, en especial aquellos aspectos relacionados con el ruido.
- **Resolución.** Desde el punto de vista de la salida. Las señales de control digital están limitadas por la resolución del circuito digital. En el caso que nos ocupa, los moduladores PWM (Pulse Width Modulation) son implementados mediante contadores digitales, que tienen un número finito de estados de cuenta (bits) y una frecuencia de reloj determinada. Ambos aspectos limitan de forma discreta los valores del ciclo de trabajo que se pueden conseguir. Bajas resoluciones del ciclo de trabajo pueden provocar situaciones de oscilación sobre un punto de trabajo e incluso inestabilidades.
- **Retardos.** Todo proceso de conversión analógico-digital, cálculo de la acción de control del compensador digital y generación de la señal de control, tiene asociado un retardo que puede degradar el ancho de banda del sistema de control. En este caso, es interesante resaltar que dispositivos digitales con elevada capacidad de paralelización pueden mejorar aquellas limitaciones debidas al retardo de todo el proceso de control.

A la hora de implementar un control digital en tiempo real, se puede escoger entre diversas opciones: microcontroladores (uC's) [51], procesadores digital de la señal (DSP's) [52], matriz de puertas programables (FPGA's) [53,54], dispositivos lógicos programables (CPLD's) [55], controladores lógicos programables (PLC's) o computadoras industriales basadas en buses industriales (VME, VXI, PXI), entre otros.

Los dos últimos sólo se utilizan en procesos de control complejos, suelen ser demasiado caros para el uso que se le quiere dar como gestión de convertidores DC/DC y en la mayoría de casos tienen un ancho

de banda insuficiente debido a la gran cantidad de información que manejan, pues no son dedicados a una única acción. Por otro lado, uC's, DSP's y FPGA's son dispositivos más adecuados al control digital de convertidores, más baratos y con un amplio abanico de selección.

Los uC's disponen de CPU, memoria RAM y memoria ROM para realizar las operaciones de control; hacen las operaciones totalmente *en serie* aunque disponen de periféricos como PWM, *timers* o en algunos casos una unidad DSP básica que ayudan en el procesamiento de la información.

Los DSP's disponen de una unidad más avanzada que los uC's, llamada MAC (Multiply-ACcumulate), que multiplican y acumulan en un ciclo de reloj y pueden realizar las operaciones más rápidamente [56]. También disponen de periféricos como PWM, *timers* y otros, pero siguen ejecutando las instrucciones en *serie*.

Las FPGA's son circuitos digitales de alto rendimiento, que permiten la ejecución de algoritmos de forma completamente paralela. Las FPGA's, permiten la integración de uC's para tareas de alto nivel, y compartir el espacio con cualquier circuito digital de bajo nivel para las tareas con mayores requerimientos de sincronización y latencia.

Las FPGA's, internamente constan de un array bidimensional de bloques lógicos configurables con lógica combinacional y secuencial; cada FPGA, contiene millones de bloques lógicos configurables para implementar cualquier circuito lógico. Estos bloques lógicos son fácilmente configurables y se puede cambiar su comportamiento de forma fácil e instantánea. La configuración de las FPGA's se realiza mediante los lenguajes de descripción del hardware como VHDL o Verilog. Estos lenguajes sólo describen el funcionamiento del hardware independientemente de su arquitectura. Las FPGA's solventaron algunos de los inconvenientes de los uC's y DSP's, debido a que están diseñadas de forma genérica, es decir para cubrir cualquier aplicación y no se han diseñado para ninguna función en particular.

Hoy en día, también existen sistemas digitales System on Chip (SoC), que suponen un paso más en el desarrollo de sistemas digitales, e incluyen tecnología FPGA y microprocesador (microcontrolador) en un mismo dispositivo hardware [57]. Si bien, se es consciente de estas tecnologías, en el desarrollo de este trabajo se ha optado por la tecnología FPGA, por ser suficiente para nuestros propósitos y perfectamente asentada en la actualidad en aplicaciones similares.



## ***Capítulo 2: Objetivos y metodología***

---

### **RESUMEN CAPÍTULO 2**

En este capítulo se exponen los objetivos, la motivación y justificación de la investigación realizada, hipótesis, metodología y estructura de esta tesis.



## 2.1. OBJETIVOS.

### 2.1.1. OBJETIVO GENERAL.

El objetivo principal de este trabajo de tesis doctoral es el estudio y verificación experimental de convertidores DC/DC bidireccionales, entrelazados, multidispositivo y multifase con control digital basado en FPGA para sistemas de media y alta potencia que requieran sistemas modulares de conversión de energía eléctrica.

### 2.1.2. OBJETIVOS ESPECÍFICOS.

Los objetivos específicos se enumeran a continuación:

1. Estudio del convertidor DC/DC multidispositivo, multifase, entrelazado basado en la estructura de medio puente con  $m$  ramas y  $n$  fases. Este análisis incluye: a) función de transferencia estática del convertidor; b) formas de onda de los semiconductores de potencia, elementos reactivos y nodos de entrada y salida, así como los valores más característicos de dichas formas de onda; c) dimensionado de la sección de potencia; d) evaluación de pérdidas y f) modelos de pequeña señal.
2. Desarrollo de moduladores PWM digitales (DPWM) para la operación en modo multidispositivo y multifase entrelazado. Desarrollo de técnicas de reconfiguración dinámica de las señales PWM en caso de fallo. Implementación en FPGA.
3. Aplicación de técnicas de conmutación suave mediante el uso de disparos complementarios con ajuste de tiempos muertos. Implementación en FPGA.
4. Desarrollo e implementación de lazos de control digital de tensión y corriente promediada. Implementación en FPGA.
5. Desarrollo de modelos empleando software de simulación de circuitos electrónicos (PSIM, LTspice) y software matemático (MATLAB).
6. Diseño y montaje de un prototipo hardware. Verificación experimental del comportamiento del convertidor multidispositivo y multifase.

## 2.2. JUSTIFICACIÓN.

### 2.2.1. MOTIVACIÓN.

Es indudable que la conversión de energía eléctrica empleando medios electrónicos es una tecnología clave en el mundo actual. La electrónica de potencia, disciplina encargada de estudiar estos procesos de conversión de energía eléctrica, está presente en infinidad de sistemas que nos rodean. Transmisión de energía, energías renovables, sistemas industriales, movilidad eléctrica o electrónica de consumo, son solo un pequeño grupo de aplicaciones donde la electrónica de potencia es de trascendental importancia.

Uno de los campos de estudio y aplicación dentro de la electrónica de potencia lo constituye la **conversión DC/DC bidireccional sin aislamiento**, presente en infinidad de aplicaciones donde aparecen generadores DC y/o sistemas de almacenamiento de energía eléctrica en DC. Sistemas que utilizan alguno de estos elementos, baterías, pilas de combustible, supercondensadores son claros candidatos a necesitar este tipo de procesadores de potencia.

En un gran número de ocasiones, una aproximación modular es la opción preferida para este tipo de sistemas. Escalabilidad, redundancia, eficiencia, respuesta dinámica u otros aspectos son las razones esgrimidas para su uso. En este contexto se enmarca el presente trabajo.

La necesidad de desarrollar nuevas técnicas y contribuir al avance e investigación en este tipo de convertidores de potencia es la motivación del presente trabajo. Métodos para reducir el rizado de la corriente en el lado de baja tensión, la distribución de pérdidas y simplificación del diseño térmico a nivel de convertidor y la reconfiguración y control mediante medios digitales con alto grado de paralelismo son aspectos tratados en los siguientes capítulos.

El elevado número de potenciales aplicaciones que tienen las técnicas aquí presentadas, su aplicación eminentemente práctica y su difusión internacional en revistas y congresos justifican, en opinión del autor, el trabajo de investigación desarrollado en esta tesis doctoral.

### 2.2.2. HIPÓTESIS.

La hipótesis de partida de este trabajo se establece a continuación. Las configuraciones multidispositivo y multifase en convertidores DC/DC bidireccionales basados en ramas de medio puente han sido previamente estudiadas y ampliamente utilizadas por separado en trabajos anteriores. La combinación de ambos métodos, junto a técnicas de conmutación suave y control digital basado en FPGA mejorarán las prestaciones de este convertidor frente a los ya propuestos en la literatura técnica. Su campo de aplicación se puede prever extenso, pero en este trabajo se limitará a aplicaciones de media y alta potencia.



## 2.3. METODOLOGÍA.

Las metodología empleada en el presente trabajo se explica de forma resumida a continuación en una serie de tareas que han sido agrupadas en etapas.

### Etapas primera.

Partiendo de los resultados del trabajo fin de master se realiza una revisión bibliográfica en las principales fuentes de información (IEEEXPLORE, ScienceDirect y Google Scholar) de las topologías empleadas para la conversión DC/DC bidireccional de media y alta potencia sin aislamiento. Se hace especial hincapié en la búsqueda de información relacionada con las técnicas multidispositivo y multifase, estructuras en medio puente con conmutación suave y aplicación de tecnología FPGA en sistemas de conversión de energía eléctrica.

### Etapas segunda.

Se propone la topología DC/DC multidispositivo y multifase basada en estructura de medio puente con esquema de disparo distribuido entre dispositivos y desplazamiento de fase en los distintos módulos (*interleaving* o entrelazados). Se realiza el análisis del convertidor y se desarrollan los modelos de simulación (PSIM) para validar las hipótesis iniciales de funcionamiento.

### Etapas tercera.

Se desarrolla el subsistema de control digital basado en FPGA: moduladores DPWM, generación de tiempos muertos y compensadores digitales. Se realizan modelos de simulación (MATLAB-SIMULINK), se genera el código VHDL mediante "hdlcoder" y se realizan pruebas sobre placa de evaluación de FPGA.

### Etapas cuarta.

Se realiza el diseño y montaje del prototipo experimental utilizado para la validación de las propuestas planteadas y ver su correspondencia con los resultados de simulación previos. El prototipo experimental incluye una placa de circuito impreso base con la sección de potencia y que incluye dispositivos semiconductores, sus circuitos de disparo, alimentación de los subsistemas auxiliares, filtros y sensores para el control. Una segunda placa, conectada sobre la etapa de potencia, incorpora la electrónica de conversión A/D de las variables empleadas en los lazos de control (tensión de entrada, de salida y corrientes por las bobinas) y los conectores necesarios para la conexión de un modulo OEM con la FPGA de control. La tercera y última placa, dispuesta sobre la placa de adquisición, es la placa que contiene la FPGA, este modulo no ha sido desarrollado en esta tesis y se hace uso de un modulo comercial de reducido tamaño que puede ser fácilmente incorporado en el prototipo sin utilización de ningún tipo de cableado.

Etapa quinta.

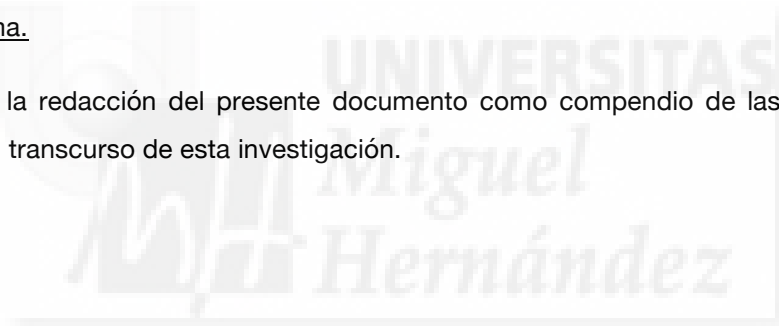
En esta etapa se verifica lo que se ha denominado primer prototipo. Sobre la plataforma experimental se disponen IGBTs de 1200V con diodos en antiparalelo integrados y sistema de control digital básico. En esta etapa se comprueba el funcionamiento básico del convertidor en los dos modos (BUCK) y (BOOST) tanto en lazo abierto como cerrado y se estudian las diferentes formas de onda obtenidas, régimen estático y respuesta transitoria ante saltos de carga.

Etapa sexta.

En esta etapa se realiza lo que se ha denominado segundo prototipo. Es una modificación del prototipo inicial utilizando la misma plataforma experimental al cual se le han cambiado IGBTs originales por IGBTs de menor tensión de bloqueo y se ha añadido un diodo de conmutación rápida por fase en antiparalelo. En este prototipo se realiza una verificación experimental sobre diferentes tiempos muertos junto capacidades auxiliares de ayuda a la conmutación (colector-emisor) y su impacto en la eficiencia del convertidor. Igualmente se verifica la reconfiguración del modulador DPWM para operar con distinto número de dispositivos por fase.

Etapa séptima.

Consiste en la redacción del presente documento como compendio de las distintas actividades realizadas durante el transcurso de esta investigación.



## 2.4. ESTRUCTURA DE LA TESIS.

El documento de tesis se ha dividido en capítulos, los cuales se resumen a continuación.

### Capítulo I.

Incluye la revisión bibliográfica y el establecimiento de las bases de la investigación realizada.

### Capítulo II.

Establece los objetivos, justificación, hipótesis de partida y metodología del trabajo.

### Capítulo III.

Se realiza el estudio teórico del convertidor propuesto y se desarrollan diferentes modelos de simulación para la evaluación y comparación con respecto a otras topologías. El contenido del capítulo tercero queda reflejado en los siguientes trabajos científicos:

[T1] A. Garrigós, F. Sobrino-Manzanares, "Interleaved multi-phase and multi-switch boost converter for fuel cell applications," *International Journal of Hydrogen Energy*, vol. 40, pp. 8419-8432, Jul. 2015.

[T2] F. Sobrino-Manzanares, A. Garrigós, "Interleaved, multi-switch, multi-phase boost converter for battery discharge regulators," 11th European Space Power Conference, 2016 (EN REVISIÓN).

### Capítulo IV.

Engloba el desarrollo de la plataforma experimental y la verificación del primer prototipo. El contenido del capítulo cuarto está reflejado en el artículo científico:

[T3] F. Sobrino-Manzanares, A. Garrigós, "An interleaved, FPGA-controlled, multi-phase and multi-switch synchronous boost converter for fuel cell applications," *International Journal of Hydrogen Energy*, vol. 40, pp. 12447-12456, Sep. 2015.

### Capítulo V.

Describe el desarrollo del segundo prototipo y los resultados derivados de éste. El contenido del capítulo V queda reflejado los trabajos científicos:

[T4] F. Sobrino-Manzanares, A. Garrigós, "Bidirectional, interleaved, multiphase, multidevice, soft-switching, FPGA controlled, buck-boost converter with PWM real-time reconfiguration," *IEEE Trans. Power Electron.* (EN REVISIÓN)

[T5] F. Sobrino-Manzanares, A. Garrigós, "A generic FPGA based PWM generator with automatic device fault recovery for fuel cell, interleaved, multi-phase and multi-switch DC/DC boost converters," *World Hydrogen Energy Conference, 2016.*

Capítulo VI.

Se desarrollan las conclusiones y las líneas futuras de trabajo derivadas del presente trabajo de tesis doctoral.



# **Capítulo 3: Análisis y modelado del convertidor**

---

## **RESUMEN DEL CAPÍTULO 3**

En este capítulo se detalla el funcionamiento del convertidor y se describe de forma cuantitativa, tanto en su comportamiento estático como dinámico. Se obtienen las expresiones de diseño más relevantes y se modela el sistema mediante herramientas software de simulación de circuitos electrónicos y matemáticas. Como resultados relevantes del capítulo se tiene un artículo en revista [T1], dedicado a la comparación de un convertidor IBC de cuatro fases y un convertidor MIBC de dos fases y dos ramas como *front-end* de un sistema basado en pila de combustible, y una conferencia internacional [T2], dedicada a la comparación de un IBC de ocho fases con el convertidor MIBC de cuatro fases y dos ramas y el convertidor MIBC de dos fases y cuatro ramas como descargador de baterías en aplicaciones espaciales.



### 3.1.- INTRODUCCIÓN

En el presente capítulo se llevará cabo el análisis del convertidor DC/DC multidispositivo, multifase basado en la estructura de medio puente con  $m$  ramas y  $n$  fases. El diagrama simplificado del circuito se representa en la figura 3.1.

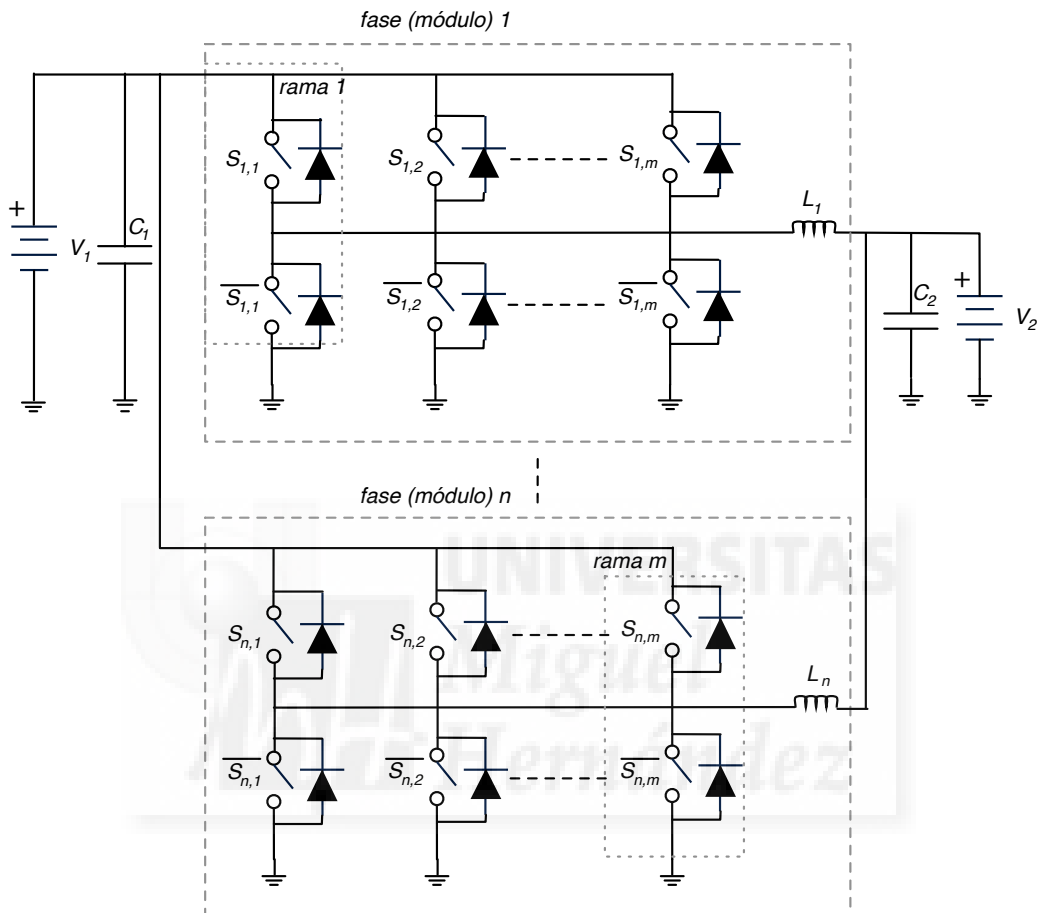


Figura 3.1: Convertidor multifase y multidispositivo de  $n$  fases y  $m$  ramas.

Puesto que se pretende emplear un esquema de disparo complementario en los dispositivos semiconductores, sólo se realizará el análisis en modo continuo (CCM). Indicar también que el tiempo muerto de las señales de disparo será lo suficientemente pequeño en comparación al período de conmutación, despreciando su efecto en el análisis de las funciones estáticas y dinámicas del convertidor.

### 3.2.- ANÁLISIS EN RÉGIMEN ESTACIONARIO

La primera parte del análisis se centra en el estudio de la función de transferencia estática del convertidor, las principales formas de onda y sus expresiones más relevantes a la hora de modelar y diseñar el convertidor.

#### 3.2.1.- FUNCIÓN DE TRANSFERENCIA ESTÁTICA

Al igual que en otros convertidores básicos, BUCK o BOOST, la función de transferencia estática se obtiene del balance voltios-segundo en el inductor de una única fase. Debido al disparo distribuido de los distintos interruptores de una fase, desde el punto de vista del inductor, una fase cualquiera (A) se puede considerar como un único medio puente cuyos semiconductores conmutan a una frecuencia igual a  $m$  veces la frecuencia de conmutación, véase la figura 3.2.

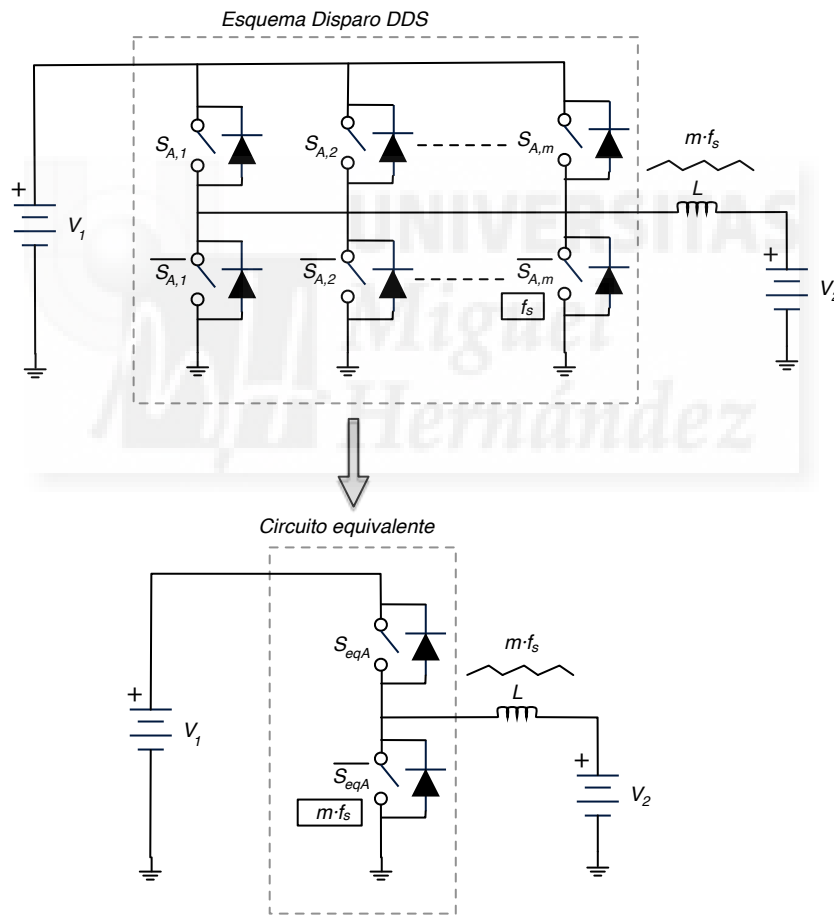


Figura 3.2: Equivalencia entre convertidor DC/DC multidispositivo con esquema de disparo DDS y convertidor en medio puente convencional.

Asumiendo que el interruptor de control es el superior ( $SA,x$ ) y el inferior es el auxiliar ( $/SA,x$ ), definimos el ciclo de trabajo del transistor superior ( $D_s$ ) como el cociente entre el tiempo que está en estado ON ( $t_{ON}$ ) y el periodo de conmutación ( $T$ ). Puesto que durante el tiempo  $T$  tienen que activarse secuencialmente las  $m$  ramas de transistores, la suma de los tiempos que  $SA,x$  y  $/SA,x$  están a ON debe



ser siempre menor al periodo de conmutación dividido entre  $m$ . En otras palabras  $D_s$  será menor a uno dividido entre  $m$ , (3.1).

$$D_s = t_{on\_SA,x} / T$$

$$D_s < 1/m$$
(3.1)

Es importante resaltar que la señal de activación del interruptor inferior ( $\overline{SA,x}$ ) debe volver a cero antes de  $T/m$ , ya que en caso contrario se produciría un cortocircuito de la fuente  $V1$ .

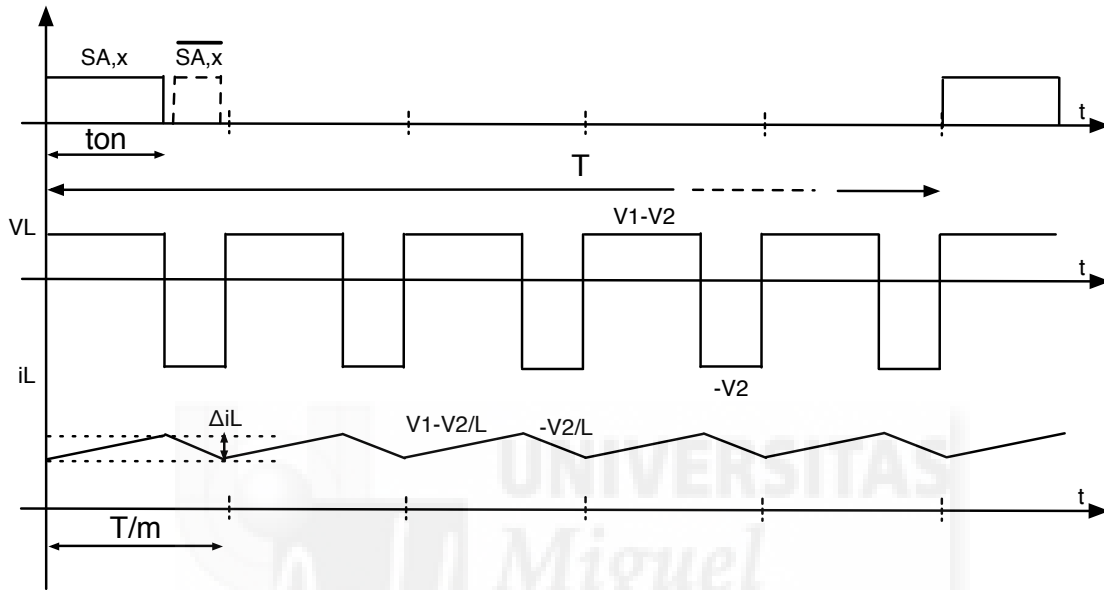


Figura 3.3: Esquema de las principales señales de una fase del convertidor trabajando en modo BUCK.

Aplicando el balance voltios-segundo en el inductor se obtiene la función de transferencia estática del convertidor en modo BUCK ( $M_{BUCK}$ ), (3.2).

$$M_{BUCK} = \frac{V_2}{V_1} = mD_s$$
(3.2)

La relación de tensión entre  $V1$  y  $V2$  es equivalente a la de un convertidor BUCK con un ciclo de trabajo equivalente igual a  $m$  veces el ciclo de trabajo del interruptor superior, igualmente se puede observar que la frecuencia del inductor ( $f_L$ ) es  $m$  veces la frecuencia de conmutación de un interruptor ( $f$ )

De forma similar se puede realizar el análisis para el modo BOOST, en el cual, la corriente circula del nodo de menor tensión  $V2$  al nodo de mayor tensión  $V1$ . En este caso, el interruptor de control pasa a ser el transistor inferior ( $\overline{SA,x}$ ), mientras que el auxiliar es el superior ( $SA,x$ ). Definimos el ciclo de trabajo del transistor inferior ( $D_i$ ) como el tiempo en estado ON del transistor inferior ( $\overline{SA,x}$ ) entre el periodo de conmutación ( $T$ ). Siguiendo el mismo razonamiento que en el caso anterior  $D_i$  debe ser menor a uno dividido el número de ramas  $m$ .

$$D_i = t_{on\_SAx} / T \tag{3.3}$$

$$D_i < 1/m \tag{3.3}$$

A continuación aplicando el balance voltios-segundo al inductor se llega a la función de transferencia estática en modo BOOST, (3.4).

$$M_{BOOST} = \frac{V_1}{V_2} = \frac{1}{1 - mD_i} = M \tag{3.4}$$

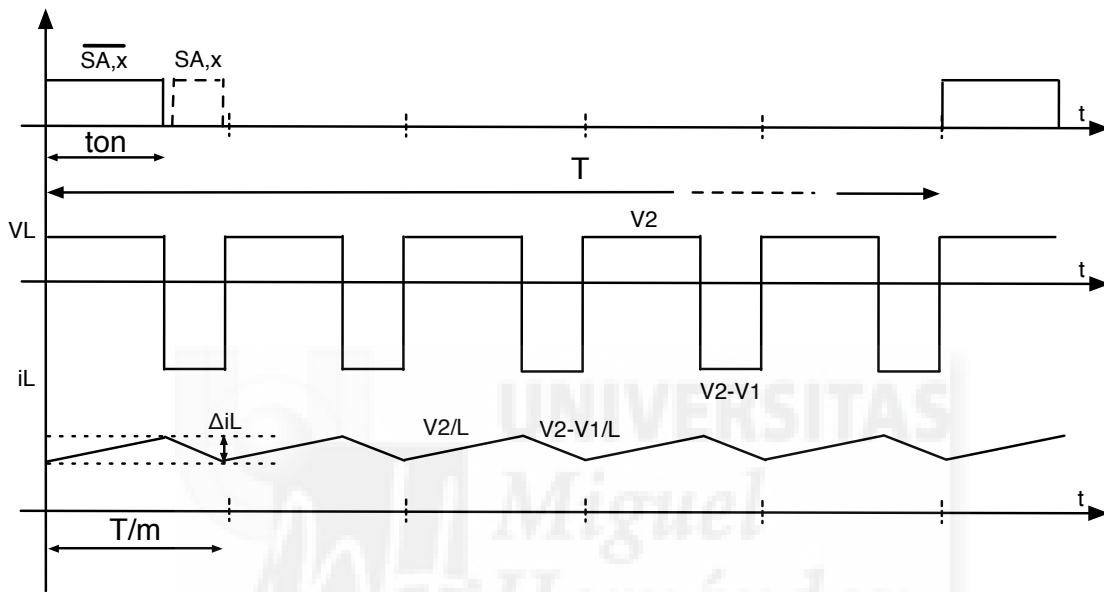


Figura 3.4: Esquema de las principales señales de una fase del convertidor trabajando en modo BOOST.

### 3.2.2.- ANÁLISIS DE LA CORRIENTE POR EL INDUCTOR

Tal y como está representado en la figura 3.2, el inductor está conectado directamente a la fuente V2 correspondiendo al nodo de menor tensión. Debido a la reciprocidad del convertidor, los valores resultantes de las expresiones de interés son iguales para el modo BUCK y BOOST, así que con el objeto de no repetir las mismas expresiones, se realizará el análisis considerando que el convertidor trabaja en modo BOOST.

En este apartado se incluyen los diferentes parámetros que definen la corriente por el inductor: rizado pico a pico, valor medio, valor RMS, valor máximo, valor mínimo y la frecuencia de la corriente por el inductor.

El rizado pico a pico se obtiene fácilmente a partir de la expresión de la corriente del inductor y asumiendo constante V1 y V2 en un periodo de conmutación, resultando (3.5).

$$\Delta i_L = \frac{1}{m} \frac{V_1 M' (1 - M')}{L f} \quad (3.5)$$

$$M' = 1/M$$

Donde se ha denominado, por comodidad,  $M$  a la relación  $V_1/V_2$  y  $M'$  al cociente  $V_2/V_1$ . La frecuencia de conmutación de un transistor es  $f$ .

Para mayor claridad, la relación de transformación se puede expresar mediante las combinaciones expuestas en (3.6)

$$M = \frac{V_1}{V_2} = \frac{1}{m D_s} = \frac{1}{1 - m D_i} \quad (3.6)$$

$$M' = \frac{V_2}{V_1} = m D_s = 1 - m D_i$$

Asumiendo que en todas las fases se reparte equitativamente la corriente, la corriente media que circula por el inductor corresponde a la corriente total proporcionada por  $V_2$  dividido por el número de fases  $n$  considerado, véase la figura 3.5.

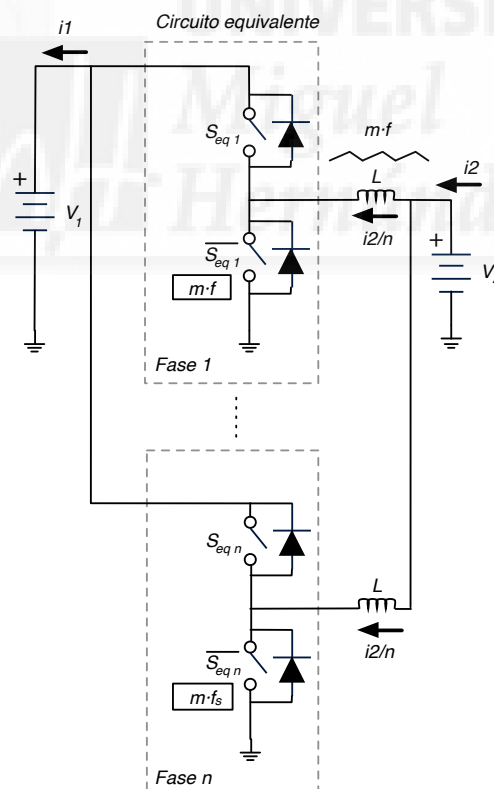


Figura 3.5: Esquema simplificado con la rama equivalente del sistema de  $n$  fases.

Igualmente la corriente de cada inductor se puede expresar en función de la corriente de la fuente  $V_1$  mediante un simple balance de potencias (3.7), donde  $\eta_{2,1}$  indica la eficiencia de la fase con el flujo de

potencia desde la fuente V2 a la fuente V1, es decir, en modo BOOST. En modo BUCK, se puede obtener una expresión similar, considerando la eficiencia desde la fuente V1 a la fuente V2,  $\eta_{1,2}$ .

$$\langle i_L \rangle = i_2/n = \frac{Mi_1}{n\eta_{2,1}} \quad (3.7)$$

El valor máximo se obtiene fácilmente sumando a la corriente media la mitad del rizado pico a pico, (3.8). De forma similar, el valor mínimo se calcula restando a la corriente media la mitad del rizado pico a pico, (3.9).

$$i_{L_{\max}} = \langle i_L \rangle + \frac{\Delta i_L}{2} \quad (3.8)$$

$$i_{L_{\min}} = \langle i_L \rangle - \frac{\Delta i_L}{2} \quad (3.9)$$

El valor RMS de la corriente por el inductor se obtiene de manera sencilla descomponiendo la forma de onda de la corriente en su componente DC y su rizado triangular, para aplicar seguidamente la definición de valor eficaz, (3.10).

$$I_{L_{RMS}} = \left( \int_0^T i_L^2(t) dt \right)^{1/2} = \left( \langle i_L \rangle^2 + \frac{\Delta i_L^2}{12} \right)^{1/2} \quad (3.10)$$

Finalmente indicar que la frecuencia de la corriente (tensión) del inductor es la frecuencia de conmutación multiplicada por el número de dispositivos, ya que cada dispositivo conduce de forma multiplexada mientras el resto de dispositivos permanecen en corte, (3.11).

$$f_L = mf \quad (3.11)$$

### 3.2.3.- ANÁLISIS DE LA CORRIENTE EN EL NODO DE MENOR TENSIÓN: SUMA DE LAS CORRIENTES DE LOS $n$ INDUCTORES

Debido al efecto del desfase de los distintos módulos, la corriente que resulta de la suma de todos los nodos de los inductores tiende a cancelarse, siendo éste uno de los principales beneficios de la estructura entrelazada a la hora de obtener bajo rizado de corriente, o visto desde otro punto de vista, reducción del valor de la inductancia para unas especificaciones dadas de rizado. El análisis de la corriente resultante en el nodo de menor tensión en convertidores entrelazados es un aspecto ampliamente tratado en la literatura, en especial en los años noventa y primera década de este siglo, debido al interés que produjo esta técnica en aplicaciones de alimentación de dispositivos digitales de baja tensión [58,59].

Puesto que el circuito equivalente de una fase se puede expresar, desde el punto de vista del inductor, como un medio puente que conmuta a  $m$  veces la frecuencia de conmutación, el rizado de la corriente del inductor equivale al rizado de un circuito equivalente que conmuta a  $m$  veces dicha frecuencia, tal y como se expresa en (3.5). Así pues, el rizado de la corriente en el nodo V2, corresponde al de un convertidor con  $n$  fases que incluyen un puente equivalente conmutando a  $m$  veces la frecuencia de conmutación, véase la figura 3.5. En tal caso, el rizado de la corriente del nodo V2 se obtiene al sustituir la expresión conocida del rizado de la corriente en el nodo V2 [59,60], considerando que la frecuencia que ve el inductor es  $m$  veces la frecuencia de conmutación del semiconductor (3.12).

$$\Delta i_{V_2} = \frac{n}{m} \frac{V_1}{Lf} R \left[ \frac{1}{n} - R \right] \quad (3.12)$$

$$R = M' \bmod n^{-1}$$

Donde R se define como el índice de modulación eficaz [60].

La expresión anterior pone de manifiesto, que a igual número de fases, igual frecuencia de conmutación e igual valor de inductancia, el incremento de ramas disminuye en un factor  $m$  el rizado de la corriente en el nodo V2. Esta conclusión es obvia porque lo que ocurre es que la frecuencia equivalente vista por el inductor aumenta en un factor  $m$ . Lo que no es tan inmediato de deducir es considerando un número fijo de semiconductores de potencia Z, ¿qué combinación de  $n$  y  $m$  proporciona el menor rizado?

La figura 3.6 representa  $\Delta i_{V_2}$  en función de  $M'$ , es decir  $V_2/V_1$ , para tres combinaciones posibles de  $Z=8$  ( $n=8, m=1$ ;  $n=4, m=2$ ;  $n=2$  y  $m=4$ ) y normalizada al valor máximo de  $\Delta i_{V_2}$  de las tres combinaciones. Se considera la misma frecuencia de conmutación y misma inductancia.

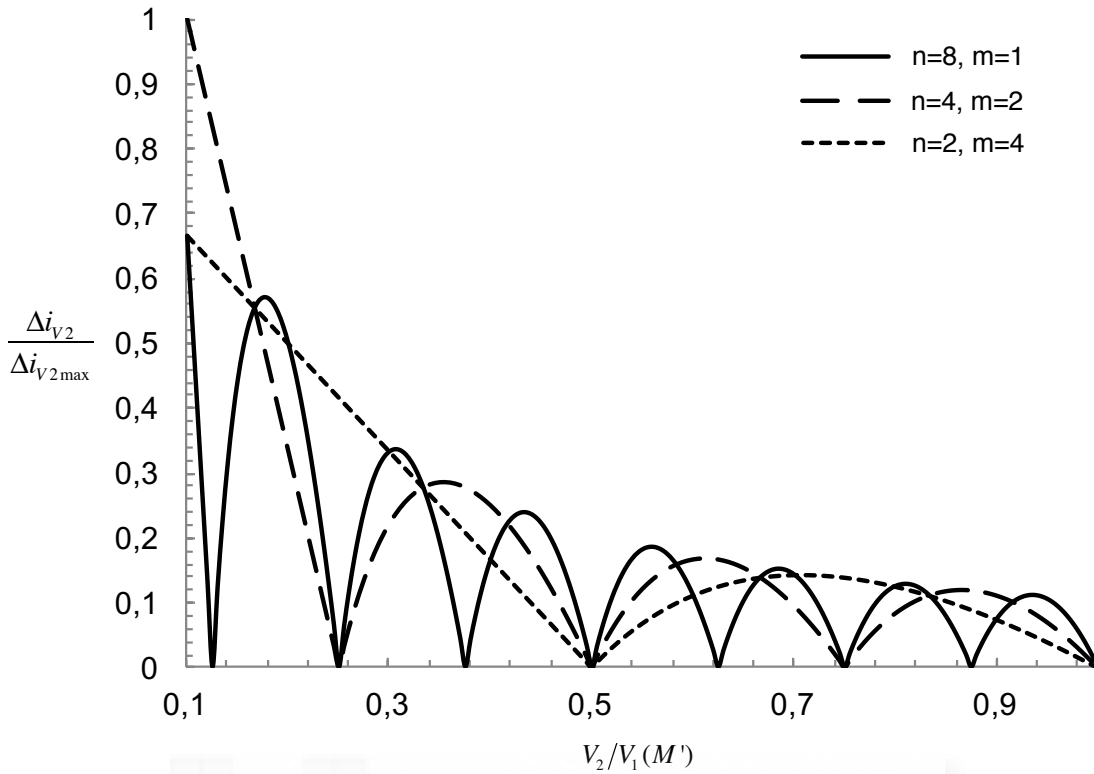


Figura 3.6: Rizado de la corriente en el nodo V2 normalizado al mayor de los valores para distintas configuraciones de  $n$  y  $m$ , manteniendo los otros parámetros iguales.

La figura 3.6 pone de manifiesto que desde el punto de vista del rizado, a medida que aumenta  $n$  existen más puntos de cancelación de rizado; en realidad el número de puntos de cancelación de rizado es igual a  $n$ . Sin embargo, el valor máximo del rizado disminuye conforme aumenta  $m$  para el mismo valor de  $Z$ . Es decir, para un diseño donde se persigue un menor rizado con un amplio margen de operación de la relación de transformación es más adecuado aumentar el número de ramas que aumentar el número de fases. Es importante remarcar que en cualquier caso estamos considerando la misma frecuencia de conmutación, misma inductancia y mismo número de dispositivos. Evidentemente se obtendría la misma característica que en la figura 3.6 para la configuración  $n=2, m=4$ , si considerásemos una configuración de  $n=2$  y  $m=1$  pero con frecuencia de conmutación  $m$  veces mayor que la representada en la gráfica.

La frecuencia de la corriente en el nodo V2, al igual que en el nodo V1, será  $n$  veces la frecuencia del inductor, que a su vez es  $m$  veces la frecuencia de conmutación (3.13).

$$f_{V2(V1)} = nmf \tag{3.13}$$

Para finalizar con este apartado resaltar que el rizado de la corriente en el nodo V2 tiene especial relevancia, bien sea para el rizado que puede soportar dicha fuente bien sea para el cálculo del condensador de filtro necesario en ese nodo.

### 3.2.4.- ANÁLISIS DE LA CORRIENTE EN EL NODO DE MAYOR TENSIÓN: SUMA DE LAS CORRIENTES EN EL CONDENSADOR DE FILTRO

El análisis de la corriente en el nodo V1 también es de especial interés ya que las corrientes individuales que confluyen en ese punto son altamente pulsadas y los rizados que se generan son mayores a los del nodo V2 [61], lo que en definitiva supone que el condensador de filtro necesario en dicho nodo deba ser mayor. En particular, el valor RMS de la corriente en el nodo V1 suele ser el parámetro de mayor interés para dimensionar dicho filtro.

Al igual que el rizado de la corriente del nodo de menor tensión, en el nodo V1 se puede adaptar la expresión de un convertidor entrelazado de  $n$  fases y una sola rama [59] a un convertidor de  $n$  fases y  $m$  ramas considerando que la frecuencia del inductor es  $m$  veces la frecuencia de conmutación (3.14).

$$I_{1\text{RMS}} = \langle i_2 \rangle \sqrt{\left[ \left( M' - \frac{X}{n} \right) \left( \frac{X+1}{n} - M' \right) \right] + \frac{n}{12M'^2} \left( \frac{V_2(1-M')}{\langle i_2 \rangle m L f} \right)^2 \left[ (X+1)^2 \left( M' - \frac{X}{n} \right)^3 + X^2 \left( \frac{X+1}{n} - M' \right)^3 \right]} \quad (3.14)$$

$X = \text{floor}(nM')$

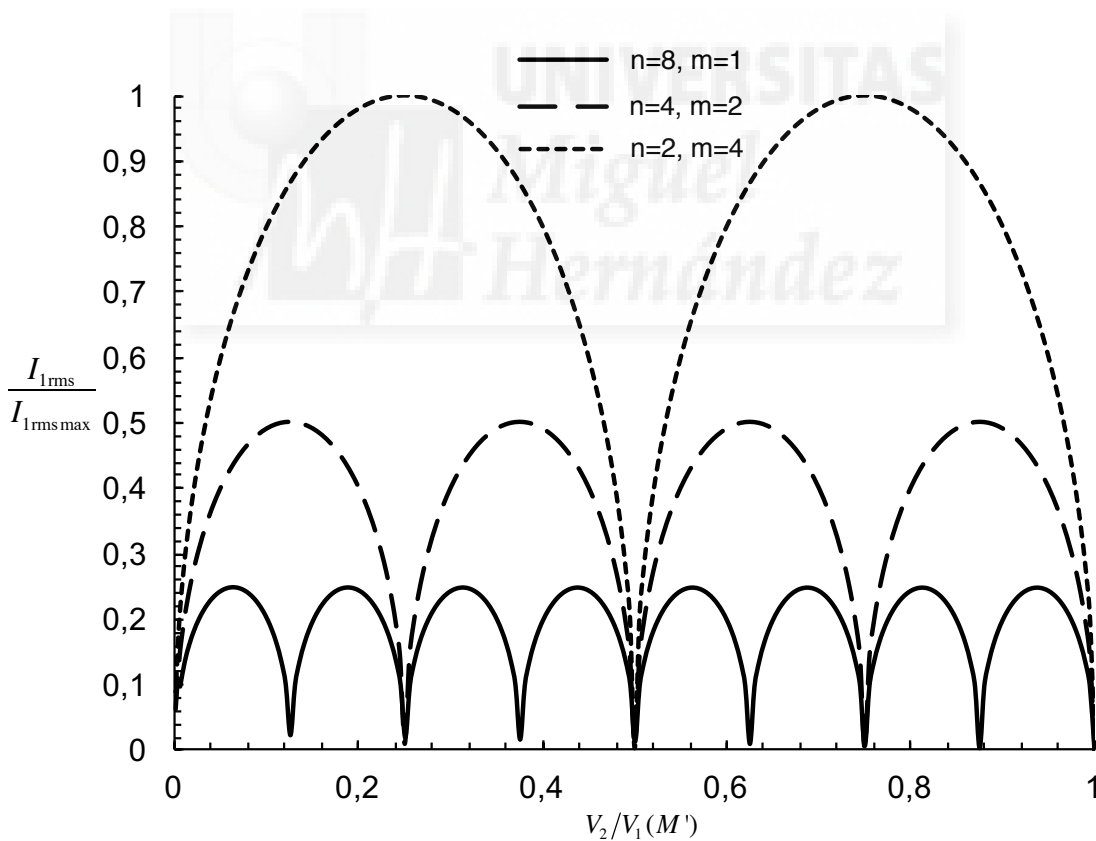


Figura 3.7: Corriente RMS en el nodo V1 normalizada al mayor de los valores para distintas configuraciones de  $n$  y  $m$ , manteniendo los otros parámetros iguales.

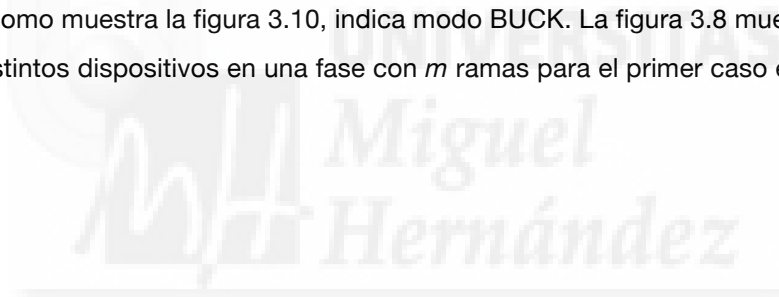
En la figura 3.7 se ha representado el valor eficaz de la corriente en el nodo V1 normalizada para el máximo valor de las tres configuraciones consideradas. Los parámetros considerados han sido P2 igual a

1000W,  $V_2$  igual a 48V, las inductancias de 1mH y la frecuencia de conmutación de 100kHz. De la figura se desprende que el aumento del número de ramas por fase no tiene prácticamente impacto en el valor de la corriente eficaz en el nodo V1 y sí el número de fases elegidas.

Así pues, este resultado indica que en el caso de emplear sistemas con menor número de fases pero con mayor número de ramas hay que prestar atención al condensador de filtro del nodo de mayor tensión pues va estar sometido a corrientes eficaces mayores y por tanto será necesario emplear condensadores con mejores prestaciones en ESR [61].

### 3.2.5.- ANÁLISIS DE LA CORRIENTE EN LOS DISPOSITIVOS DE POTENCIA.

Antes de empezar a realizar el análisis de la corriente por los semiconductores de potencia es importante recordar que la estructura es bidireccional y por tanto la corriente por los semiconductores puede ser positiva y negativa [62], atendiendo al modo de disparo considerado. En el estudio que nos ocupa se pueden considerar tres casos distintos dependiendo del valor de la corriente por el inductor. Los distintos casos son: corriente del inductor siempre positiva, siguiendo el sentido de la corriente de la figura 3.8 estamos en modo BOOST, corriente del inductor positiva y negativa, como se muestra en la figura 3.9, con un valor medio distinto de cero que indicará el sentido de la transferencia de potencia, y por último corriente negativa, que tal y como muestra la figura 3.10, indica modo BUCK. La figura 3.8 muestra la corriente por el inductor y de los distintos dispositivos en una fase con  $m$  ramas para el primer caso enunciado, es decir en modo BOOST.





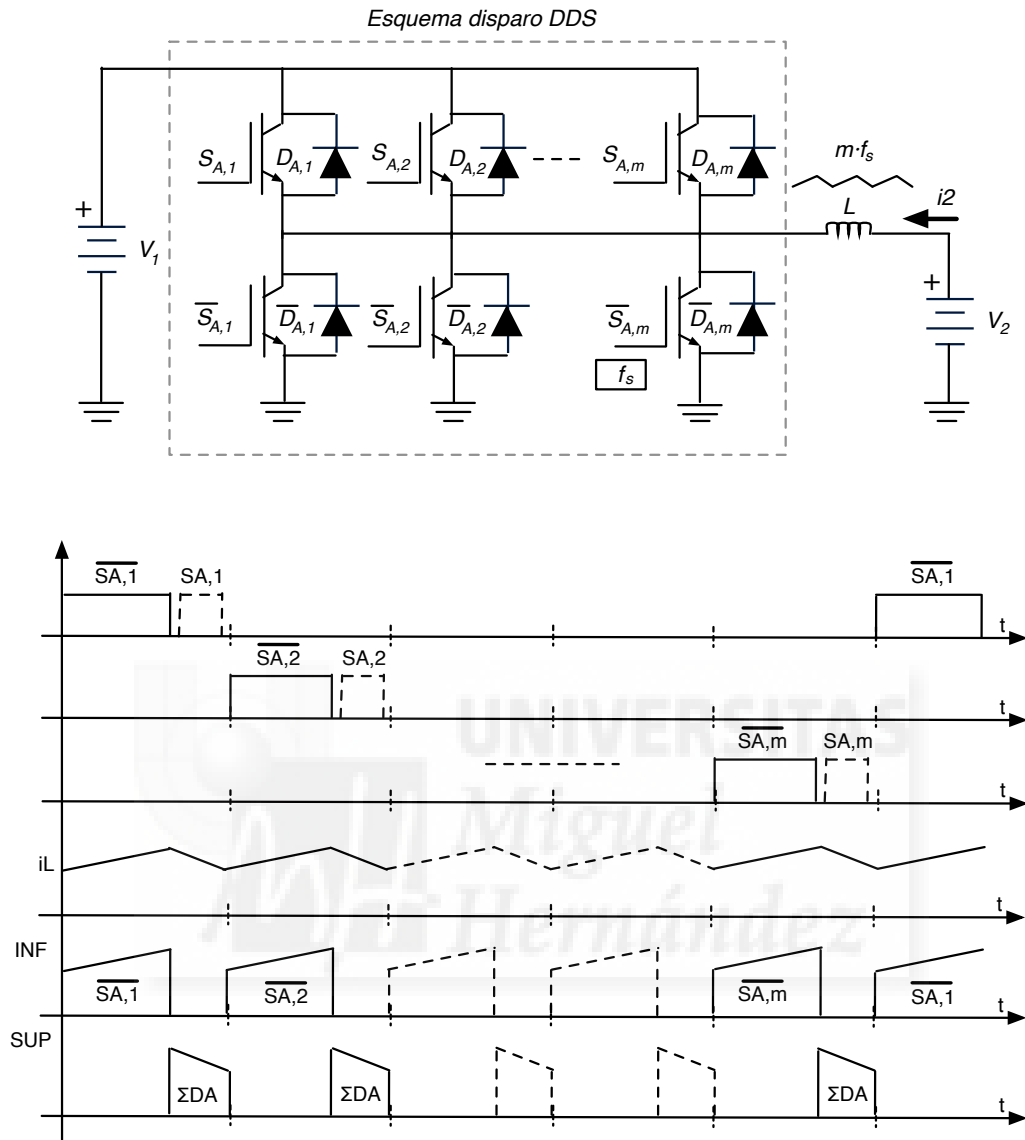


Figura 3.8: Señales de disparo, corriente del inductor y corriente por los semiconductores de potencia trabajando en modo BOOST en todo momento.

En el supuesto de la figura 3.8, se observa que solamente conducen los interruptores controlados inferiores, se ha considerado IGBTs, y los diodos de libre circulación superiores. En principio, la corriente que circula por los diodos se reparte entre ellos, aunque la equalización de la corriente por los mismos no está garantizada.

A partir del análisis de las formas de onda de la figura 3.8, se puede calcular la corriente media, eficaz y máxima por los IGBTs inferiores, ecuaciones (3.15), (3.16) y (3.17) respectivamente.

$$\langle i_{i_{SA,x}} \rangle = \frac{1-M'}{m} \langle i_L \rangle \quad (3.15)$$

$$I_{/SA,x} = \sqrt{\frac{1-M'}{m}} I_{L} \quad (3.16)$$

$$i_{/SAmax} = \langle i_L \rangle + (\Delta i_L / 2) \quad (3.17)$$

Para el caso de los semiconductores superiores, en este modo de funcionamiento, solamente en los diodos se puede plantear el mismo análisis, si bien es cierto que el reparto de la corriente por ellos no está asegurado y pueden aparecer diferencias entre los distintos dispositivos. Con el objeto de seguir con la idea planteada en la figura 3.8, se calcula la corriente por todo el conjunto de diodos como si fuera un único dispositivo equivalente. Esto también tiene su razón de ser, porque en apartados posteriores de este trabajo se considerará una configuración con único diodo de libre circulación superior y otro inferior. El valor medio, eficaz y máximo de la corriente por este diodo equivalente viene dado por (3.18), (3.19) y (3.20) respectivamente.

$$\langle i_{\Sigma DA} \rangle = M' \langle i_L \rangle \quad (3.18)$$

$$I_{\Sigma DA} = \sqrt{M'} I_{L} \quad (3.19)$$

$$i_{\Sigma DAmax} = \langle i_L \rangle + (\Delta i_L / 2) \quad (3.20)$$

El siguiente supuesto considera que la corriente por el inductor es tanto positiva como negativa, véase la figura 3.9. En este caso, se observa que conducen todos los semiconductores de la fase.

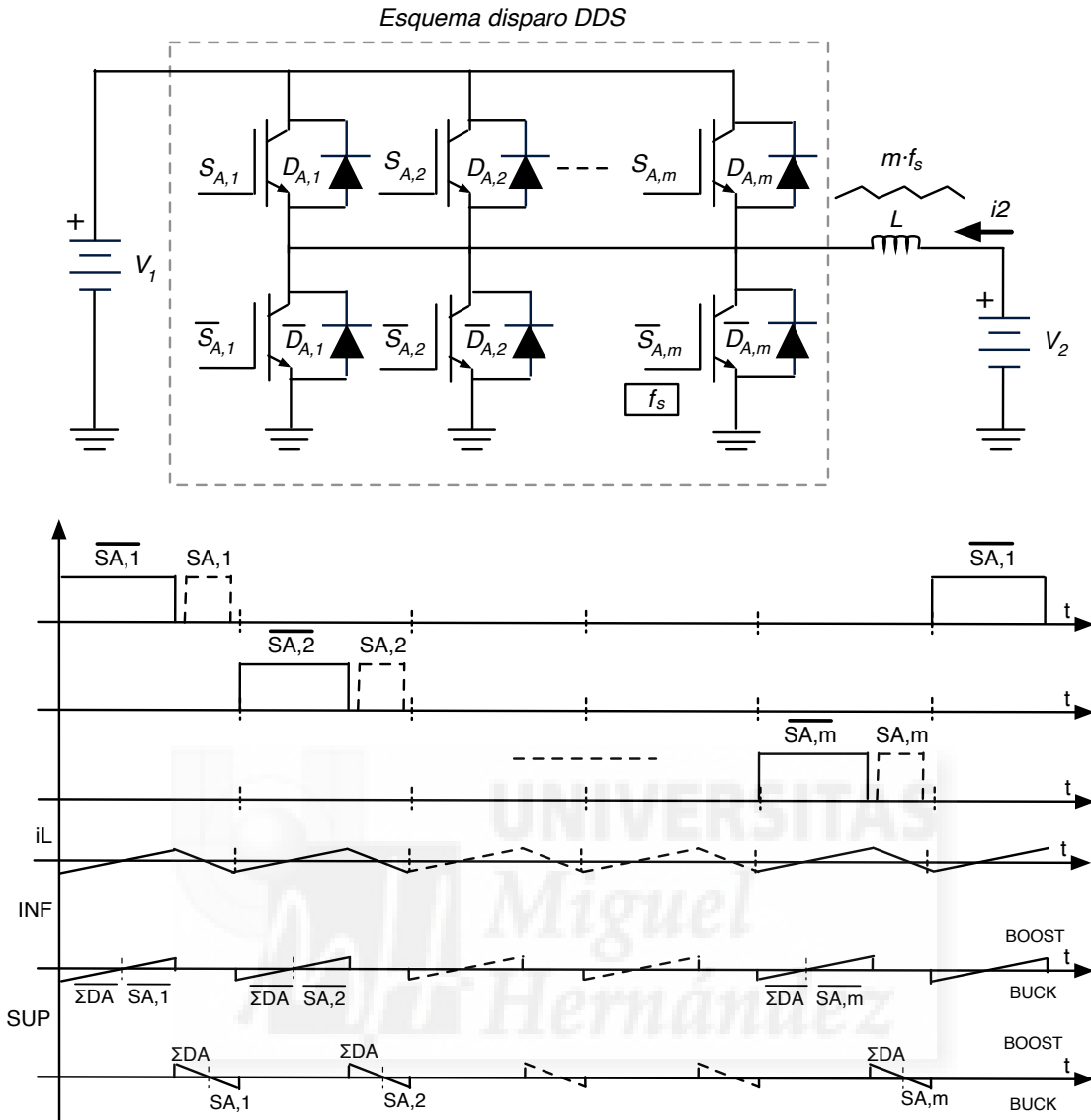


Figura 3.9: Señales de disparo, corriente del inductor y corriente por los semiconductores de potencia trabajando en modo BUCK y BOOST.

Haciendo funcionar al convertidor en ese modo se obtienen una serie de características interesantes que se mencionan a continuación. Por un lado, se evita el modo discontinuo, DCM, que provoca oscilaciones de alta frecuencia debidas a la resonancia entre la capacidad parásita del IGBT y las inductancias del circuito; el modo DCM también modifica las funciones de transferencia del convertidor, complicando el diseño del compensador, que debe garantizar unas prestaciones tanto en modo de conducción continua como discontinua [63]. La segunda característica importante es la detallada en [41]; empleando este esquema de disparo y apoyándose en un snubber capacitivo se consigue una transición suave en la conmutación de los dispositivos, lo cual disminuye las pérdidas de los semiconductores, aumenta la eficiencia y simplifica el diseño térmico. En posteriores apartados se volverá a este punto para tratarlo con más detalle.

A partir del análisis de las formas de onda de la figura 3.9, se puede calcular la corriente media, eficaz y máxima por los IGBTs inferiores, ecuaciones (3.21), (3.22) y (3.23) respectivamente.

$$\langle i_{/SA,x} \rangle = \frac{Lf_s}{2V_1M'} [i_{L,avg} (\delta - 1)]^2 \quad (3.21)$$

$$I_{/SA,x}^{rms} = \sqrt{\frac{Lf_s [i_{L,avg} (\delta - 1)]^3}{3V_1M'}} \quad (3.22)$$

$$i_{/SA,max} = \langle i_L \rangle + (\Delta i_L / 2) \quad (3.23)$$

Donde se ha definido un nuevo parámetro,  $\delta$ , que es el cociente de la corriente media máxima entre la corriente media por la bobina; la ecuación de este parámetro se muestra en (3.24).

$$\delta = \frac{\Delta i_L / 2}{i_{L,avg}} \quad (3.24)$$

En las ecuaciones (3.25), (3.26) y (3.27) se muestra el valor medio, eficaz y máximo de la corriente por los diodos inferiores; se ha considerado un diodo de libre circulación superior equivalente.

$$\langle i_{/\Sigma DA} \rangle = \frac{mLf_s}{2V_1M'} [i_{L,avg} (\delta + 1)]^2 \quad (3.25)$$

$$I_{/\Sigma DA}^{rms} = \sqrt{\frac{mLf_s [i_{L,avg} (\delta + 1)]^3}{3V_1M'}} \quad (3.26)$$

$$i_{/\Sigma DA,min} = \langle i_L \rangle - (\Delta i_L / 2) \quad (3.27)$$

En las ecuaciones (3.28), (3.29) y (3.30) se muestra la corriente media, eficaz y máxima que circula por los IGBTs superiores.

$$\langle i_{SA,x} \rangle = \frac{Lf_s}{2V_1(1-M')} [i_{L,avg} (\delta + 1)]^2 \quad (3.28)$$

$$I_{SA,x} = \sqrt{\frac{Lf_s [i_{L\text{avg}} (\delta + 1)]^3}{3V_1(1 - M')}} \quad (3.29)$$

$$i_{SA\text{min}} = \langle i_L \rangle - (\Delta i_L / 2) \quad (3.30)$$

En las ecuaciones (3.31), (3.32) y (3.33) se muestra la corriente media, eficaz y máxima que circula por la suma de los diodos superiores.

$$\langle i_{\Sigma DA} \rangle = \frac{mLf_s}{2V_1(1 - M')} [i_{L\text{avg}} (\delta - 1)]^2 \quad (3.31)$$

$$I_{\Sigma DA} = \sqrt{\frac{mLf_s [i_{L\text{avg}} (\delta - 1)]^3}{3V_1(1 - M')}} \quad (3.32)$$

$$i_{\Sigma DA\text{max}} = \langle i_L \rangle + (\Delta i_L / 2) \quad (3.33)$$

Por último, en el caso en el que la corriente es siempre negativa en el inductor, asumiendo el sentido indicado en la figura 3.8 y 3.9, se trabaja en modo BUCK, en el cual de nuevo solo los IGBTs superiores y los diodos inferiores conducirán.

La figura 3.10 muestra la corriente por el inductor y de los distintos dispositivos en una fase con  $m$  ramas para el tercer caso enunciado, en modo BUCK. La corriente aparece ahora positiva en modo BUCK porque se ha cambiado el sentido indicado de la corriente.

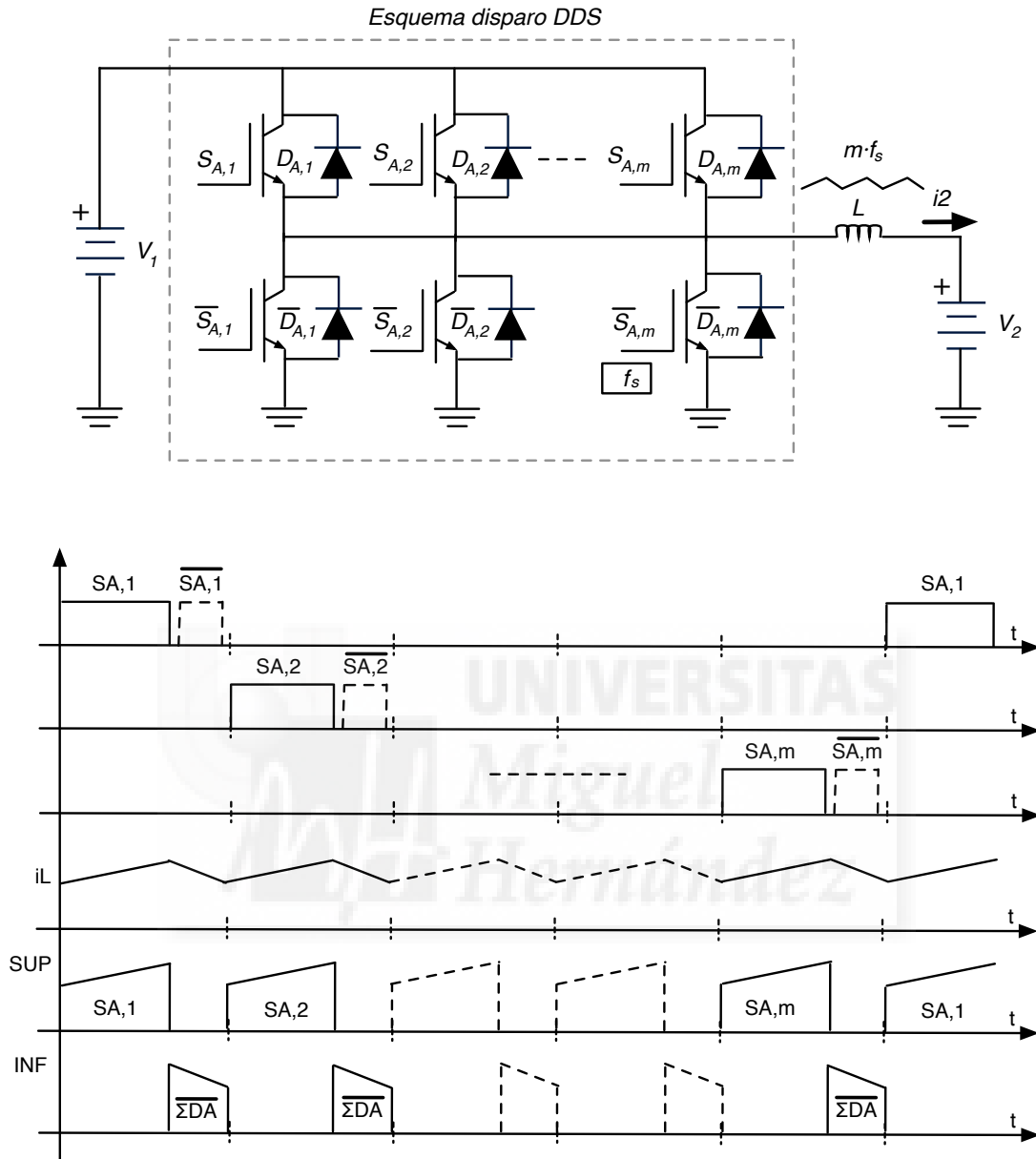


Figura 3.10: Señales de disparo, corriente del inductor y corriente por los semiconductores de potencia trabajando en modo BUCK.

En el supuesto de la figura 3.10, se observa que solamente conducen los IGBTs superiores y los diodos de libre circulación inferiores. En principio, la corriente que circula por los diodos se reparte entre ellos, aunque la eculalización de la corriente por los mismos no está garantizada.

A partir del análisis de las formas de onda de la figura 3.10, se puede calcular la corriente media, eficaz y máxima por los IGBTs superiores, ecuaciones (3.34), (3.35) y (3.36) respectivamente.

$$\langle i_{SA,x} \rangle = \frac{M'}{m} \langle i_L \rangle \tag{3.34}$$

$$I_{SA,x}^{\text{rms}} = \sqrt{\frac{M'}{m}} I_L^{\text{rms}} \quad (3.35)$$

$$i_{SA\text{max}} = \langle i_L \rangle + (\Delta i_L / 2) \quad (3.36)$$

Para los diodos inferiores, como se comentó antes en el modo BOOST, el reparto de corriente no va a ser equitativo, si bien, en el análisis se considerará un solo diodo equivalente en la obtención de las corrientes. En las figuras (3.37), (3.38) y (3.39) se muestran las corrientes media, eficaz y máxima que circula por los diodos superiores.

$$\langle i_{\Sigma DA} \rangle = (1 - M') \langle i_L \rangle \quad (3.37)$$

$$I_{\Sigma DA}^{\text{rms}} = \sqrt{(1 - M')} I_L^{\text{rms}} \quad (3.38)$$

$$i_{\Sigma DA\text{max}} = \langle i_L \rangle + (\Delta i_L / 2) \quad (3.39)$$

### 3.2.6. ANÁLISIS EN PEQUEÑA SEÑAL DEL CONVERTIDOR

Para obtener un modelo promediado del convertidor se ha de tener un modelado comportamental promediado del elemento principal que es la célula de conmutación del convertidor. Existen diversas técnicas de modelado ampliamente utilizadas; de todas ellas, en nuestro caso emplearemos el modelo del conmutador PWM [64]. La célula de conmutación del medio puente se muestra en la figura 3.11a, el modelo promediado en modo BUCK en la figura 3.11b y el modelo promediado en modo BOOST en la figura 3.11c. A efectos del análisis en pequeña señal se puede considerar un único conmutador equivalente por fase, de forma que el el circuito equivalente es el resultante de considerar  $n$  fases independientes, tal y como se ha representado en la figura 3.5 [64].

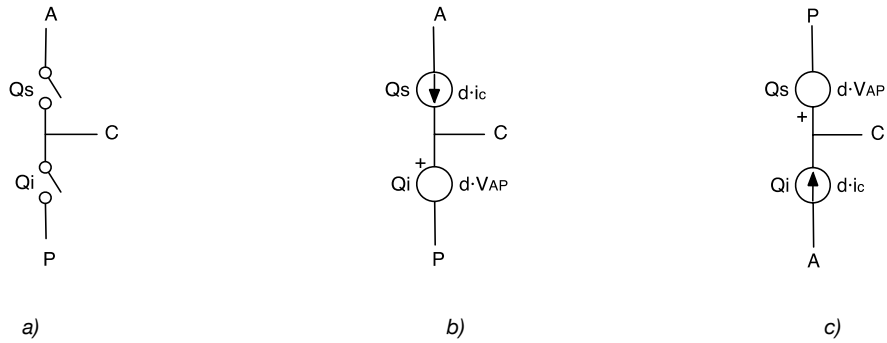


Figura 3.11: Célula de conmutación del convertidor DC/DC: a) Modelo real, b) Modelo promediado modo BUCK, c) Modelo promediado modo BOOST.

La figura 3.12a se muestra el circuito de pequeña señal en modo BUCK, mientras que el circuito equivalente en modo BOOST se muestra en la figura 3.12b. Se ha considerado en este análisis que la carga, tanto en modo BUCK como en modo BOOST es resistiva. Para el análisis se asume que todas las inductancias tienen el mismo valor  $L$ .

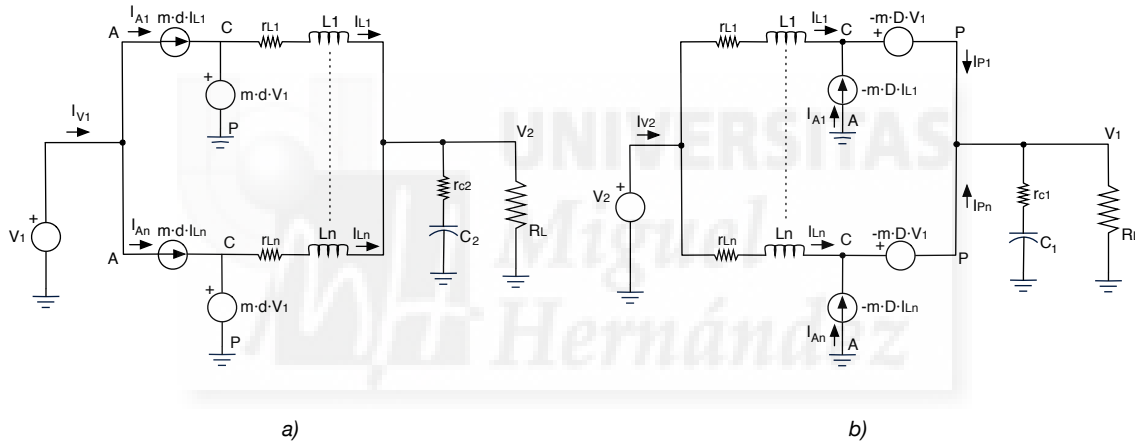


Figura 3.12: Circuitos equivalentes genéricos del convertidor: a) en modo BUCK, b) en modo BOOST.

Donde:

$$i_{Ax} = mdi_{Lx} \tag{3.40}$$

$$v_{CP} = mdv_1 \tag{3.41}$$

Las variables de las fuentes del circuito de la figura 3.12 ( $d$ ,  $i_{V1}$  y  $V_1$ ) se descomponen en parte constante que determinan el régimen permanente y perturbación de pequeña señal que se utiliza para obtener la respuesta dinámica. Las ecuaciones (3.42a), (3.42b) y (3.42c) se corresponden con la figura 3.12a en modo BUCK y las ecuaciones (3.43a), (3.43b) y (3.43c) se corresponden con la figura 3.12b en modo BOOST.



$$d = D + \tilde{d} \quad (3.42a)$$

$$i_{V1} = I_{V1} + \tilde{i}_{V1} \quad (3.42b)$$

$$v_1 = V_1 + \tilde{v}_1 \quad (3.42c)$$

Si se sustituyen las ecuaciones (3.22a), (3.22b) y (3.22c) en (3.20) y (3.21) se obtienen las ecuaciones de pequeña señal y de estado estacionario. Las expresiones que determinan el comportamiento en pequeña señal se muestran en las ecuaciones (3.43a) y (3.43b).

$$i_{Ax} = mD\tilde{i}_{Lx} + m\tilde{d}I_{Lx} \quad (3.43 a)$$

$$V_{CP} = mD\tilde{v}_1 + m\tilde{d}V_1 \quad (3.43b)$$

Las funciones de transferencia más relevantes para el análisis del convertidor y la posterior implementación de los lazos de control son en este caso  $G_{vd} = v_o/d$ ,  $G_{id} = i_L/d$  y  $G_{rc} = v_o/i_L$ , tanto en modo BUCK como en modo BOOST. Estas funciones dependen únicamente del ciclo de trabajo  $d$ , por tanto se obviarán los términos que no sean dependientes de las variaciones de  $d$ ; también se obviarán los términos de variaciones de segundo orden.

La figura 3.13 muestra el circuito equivalente resultante de pequeña señal en modo BUCK, con el cual se obtienen las funciones  $G_{vd}$  y  $G_{id}$ .

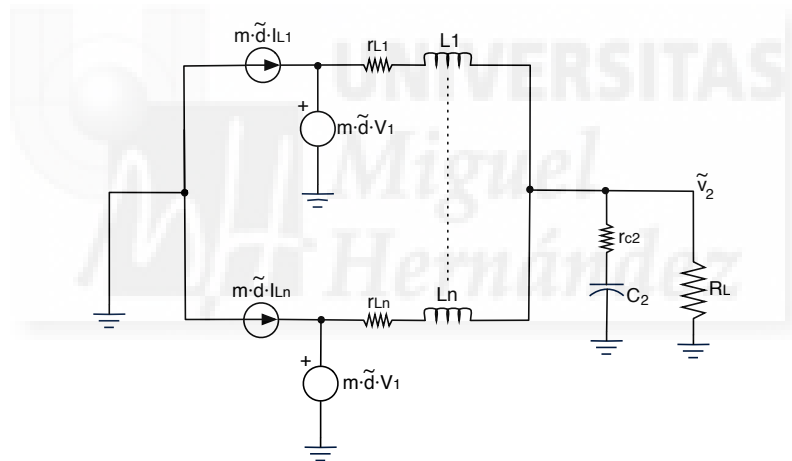


Figura 3.13: Circuito equivalente de pequeña señal para cálculo de la  $G_{vd}$  y la  $G_{id}$  en modo BUCK.

Del circuito de la figura 3.13 se obtienen las funciones de transferencia del control a la tensión de salida (3.44) y del control a la corriente en la bobina (3.45).

$$G_{vd} = \left. \frac{\tilde{v}_2}{\tilde{d}} \right|_{\tilde{v}_1=0} = \frac{V_1 \frac{R_L (r_{c2} C_2 s + 1)}{(r_{c2} + R_L) LC_2}}{s^2 + \left[ \frac{1}{(r_{c2} + R_L) C_2} + \frac{r_L r_{c2} + R_L r_L + R_L r_{c2}}{(r_{c2} + R_L) L} \right] s + \frac{r_L + n R_L}{(r_{c2} + R_L) LC_2}} \quad (3.44)$$

$$G_{id_x} = \left. \frac{\tilde{i}_{Lx}}{\tilde{d}} \right|_{\tilde{v}_1=0} = \frac{V_1 \frac{(r_{c2} + R_L)C_2 s + 1}{(r_{c2} + R_L)LC_2}}{s^2 + \left[ \frac{1}{(r_{c2} + R_L)C_2} + \frac{r_L r_{c2} + R_L r_L + R_L r_{c2}}{(r_{c2} + R_L)L} \right] s + \frac{r_L + nR_L}{(r_{c2} + R_L)LC_2}} \quad (3.45)$$

Para obtener la función  $G_{rc}$  no hay más que dividir la  $G_{vd}$  por la suma de las  $G_{id}$  de todas las fases.

$$G_{rc} = \left. \frac{\tilde{v}_2}{\tilde{i}_{Lr}} \right|_{\tilde{v}_1=0} = \frac{G_{vd}}{\sum_{x=1}^{x=n} G_{id_x}} = \frac{R_L (r_{c2} C_2 s + 1)}{(r_{c2} + R_L) C_2 s + 1} \quad (3.46)$$

A continuación se hace lo mismo para el modo BOOST, en la figura 3.14 se muestra el circuito equivalente del convertidor en pequeña señal para el cálculo de  $G_{vd}$  y  $G_{id}$ .

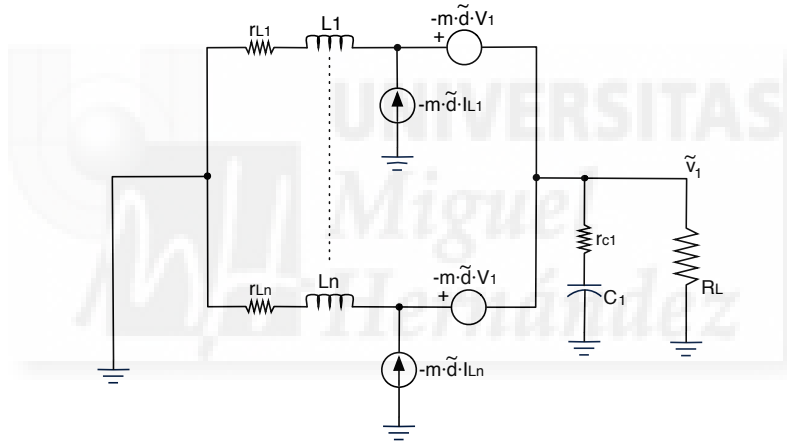


Figura 3.14: Circuito equivalente de pequeña señal para cálculo de la  $G_{vd}$  y la  $G_{id}$  en modo BOOST.

La función de transferencia de control a tensión de salida  $G_{vd}$  se muestra en la ecuación (3.47):

$$G_{vd} = \left. \frac{\tilde{v}_1}{\tilde{d}} \right|_{\tilde{v}_2=0} = \frac{\frac{V_2}{(1-mD_i)^2} \left( s - \frac{n(1-mD_i)^2 r_e - r_L}{L} \right) \left( s + \frac{1}{r_{c1} C_1} \right)}{s^2 + \frac{\left( R_L r_L + r_L r_{c1} + r_{c1} R_L n(1-mD_i)^2 \right) C_1 + L}{(R_L + r_{c1}) LC_1} s + \frac{nR_L (1-mD_i)^2 + r_L}{(R_L + r_{c1}) LC_1}} \quad (3.47)$$

Donde:

$$r_e = \frac{R_L^2}{r_c + R_L} \quad (3.48)$$

Las funciones de transferencia de control a corriente en los inductores 1 a  $n$  se muestran en la ecuación (3.49):

$$G_{id_x} = \left. \frac{\tilde{i}_{L_x}}{\tilde{d}} \right|_{v_2=0} = \frac{V_2 \frac{(R_L + r_{c1})C_1 s + \frac{R_L}{r_{c1} + R_L} + 1}{(1 - mD_i) (R_L + r_{c1})LC_1}}{s^2 + \frac{(R_L r_L + r_L r_{c1} + r_{c1} R_L n (1 - mD_i)^2)C_1 + L}{(R_L + r_{c1})LC_1} s + \frac{nR_L (1 - mD_i)^2 + r_L}{(R_L + r_{c1})LC_1}} \quad (3.49)$$

Para obtener la función de transferencia  $G_{rc}$  en modo BOOST, no se procede de la misma manera que en modo BUCK, ya que en este caso las bobinas no están conectadas a la salida directamente, primero se calcula la función de transferencia  $G_{v1/p}$  de corriente en el nodo de salida ( $i_p$ ) a tensión de salida y después otra función de transferencia  $G_{i_{px}/i_{Lx}}$  de corriente por la bobina a corriente en el nodo de salida.

$$G_{v1/p_x} = \frac{\tilde{v}_1}{\tilde{i}_{p_x}} = \frac{R_L (r_c C_1 s + 1)}{(r_c + R_L) C_1 s + 1} \quad (3.50)$$

$$G_{i_{px}/i_{Lx}} = \frac{\tilde{i}_{p_x}}{\tilde{i}_{L_x}} = (1 - mD_i) - \frac{I_{L1}}{G_{id_x}} \quad (3.51)$$

$$G_{v1/i_{LT}} = \frac{\tilde{v}_1}{\tilde{i}_{L_T}} = G_{v1/p_x} \sum_{x=1}^{x=n} G_{i_{px}/i_{Lx}} \quad (3.52)$$

### 3.3. EVALUACIÓN DE ESTUDIOS DE CASO DE APLICACIÓN.

Para evaluar las potenciales ventajas y desventajas de la estructura multidispositivo y multifase con entrelazado, se han considerado dos casos en los cuales se ha empleado una estructura multifase entrelazada tradicional con un rama de semiconductores por cada módulo. Ambos casos consideran un Interleaved Boost Converter (IBC) como sistema procesador de potencia y se va a comparar con un convertidor multifase y multidispositivo llamado Multi Interleaved Boost Converter (MIBC).

Si bien, ambos casos de estudio presentan en esencia el mismo convertidor, el primero de ellos se centra en un front-end para pilas de combustible mientras que el segundo está orientado a un descargador de baterías para aplicaciones espaciales.

El análisis comparativo está apoyado únicamente en resultados obtenidos mediante simulación, dejando la parte de diseño y verificación experimental para capítulos posteriores.

En esta sección se expondrá únicamente un breve resumen de los resultados obtenidos, dejando al lector la libertad de poder leer los trabajos completos [T1, T2], que se encuentran en el capítulo de trabajos derivados de la tesis.

#### 3.3.1- IBC & MIBC: ACONDICIONAMIENTO EN SISTEMAS BASADOS EN PILA DE COMBUSTIBLE

En el acondicionamiento de pilas de combustible, el IBC es uno de los convertidores más empleados [34,65]. Las razones para ello son, entre otras: a) reparto de corriente y potencia en los módulos, de forma que se puede optimizar el uso de los semiconductores; b) reparto de las pérdidas simplificando el diseño térmico; c) escalabilidad, aumentando o reduciendo el número de módulos en paralelo; d) mejora de la respuesta dinámica del sistema, tal y como se ha detallado en apartados anteriores, la inductancia equivalente del sistema es inversamente proporcional al número de fases y e) reducción del rizado de la corriente de entrada, debido a la cancelación de las distintas corrientes desplazadas en fase de cada una de las fases. Este último aspecto, la minimización del rizado de la corriente de entrada, cobra especial importancia en este tipo de aplicaciones, ya que diversos estudios muestran una fuerte dependencia entre la vida útil de este tipo de generadores y la forma de onda de la corriente que deben proporcionar [66,67].

En esta ocasión el trabajo consistía en evaluar los potenciales beneficios del uso del convertidor MIBC con respecto al rizado de la corriente de entrada, para ello se parte del convertidor IBC desarrollado por el Grupo de Electrónica Industrial de la UMH, el cual se encuentra detallado en [14].

El análisis comparativo entre IBC y MIBC parte de las siguientes hipótesis iniciales: a) se considera el mismo número de MOSFET, por lo que las opciones a comparar son  $n=4$ ,  $m=1$  (original,  $n=4$ ) y  $n=2$ ,  $m=2$

y b) se consideran las mismas especificaciones básicas (potencia, tensión, frecuencia de conmutación, inductancia,...). Los esquemáticos de ambos convertidores se pueden observar en la figura (3.15).

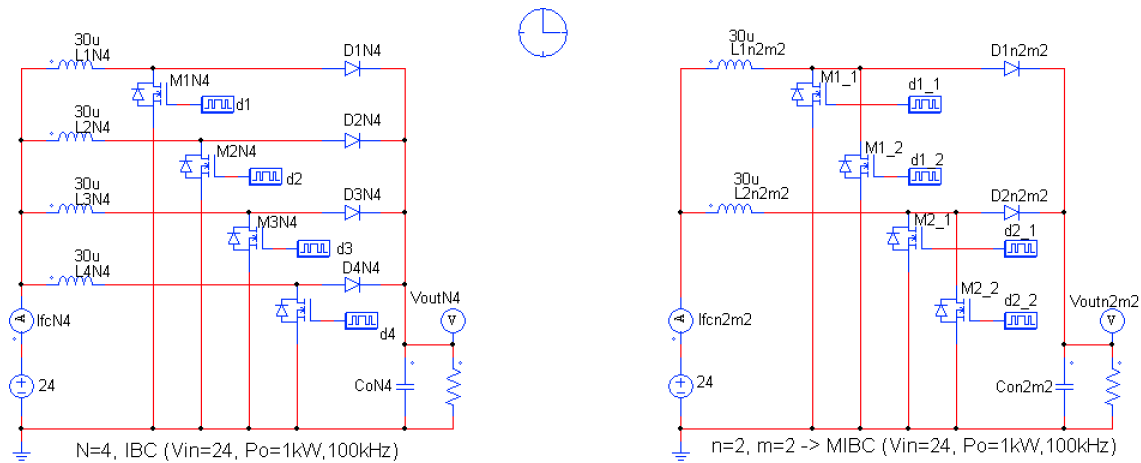


Figura 3.15: Convertidor 4-IBC (izquierda), convertidor 2-2-MIBC (derecha).

Comparando con el 4-IBC, el convertidor 2-2-MIBC del estudio proporciona los siguientes resultados y prestaciones:

- Reducción de un 15% del máximo rizado, considerando la peor condición de ciclo de trabajo en cada caso.
- Reducción en un factor 4 de la corriente media necesaria para trabajar en modo CCM. Esta característica es especialmente atractiva desde el punto de vista del control, pues el convertidor es capaz de trabajar en el mismo modo de funcionamiento a menor carga debido a dos factores, mayor corriente por fase y menor rizado de la corriente del inductor.
- Aumento en un factor 2 de la corriente RMS del condensador de salida, considerando la peor condición de ciclo de trabajo en cada caso.
- Respuesta dinámica. Reducción del sobreimpulso de la tensión de salida debido a un cambio escalón del ciclo de trabajo y aumento del mismo sobreimpulso debido a un cambio de tipo escalón en la corriente de salida.
- Número de componentes. Reducción en un factor 2 de diodos de potencia, inductores de potencia, sensores de corriente y amplificadores de error del lazo de corriente.
- Inductores de potencia. Aumento de la masa total de los inductores en un 4%; reducción de un 25% del área ocupada por los inductores; aumento del volumen de los inductores de un 2%; aumento de las pérdidas totales en un 1%.
- Eficiencia estimada. Pérdida de un 1% de la eficiencia.

A grandes rasgos, observando la figura 3.16 se concluye que manteniendo unas prestaciones similares, incluso mejorando el rizado de la corriente de la pila de combustible y la mínima corriente necesaria para trabajar en modo CCM, se puede conseguir una importante reducción de área del convertidor, así como una reducción en el número de componentes necesarios.

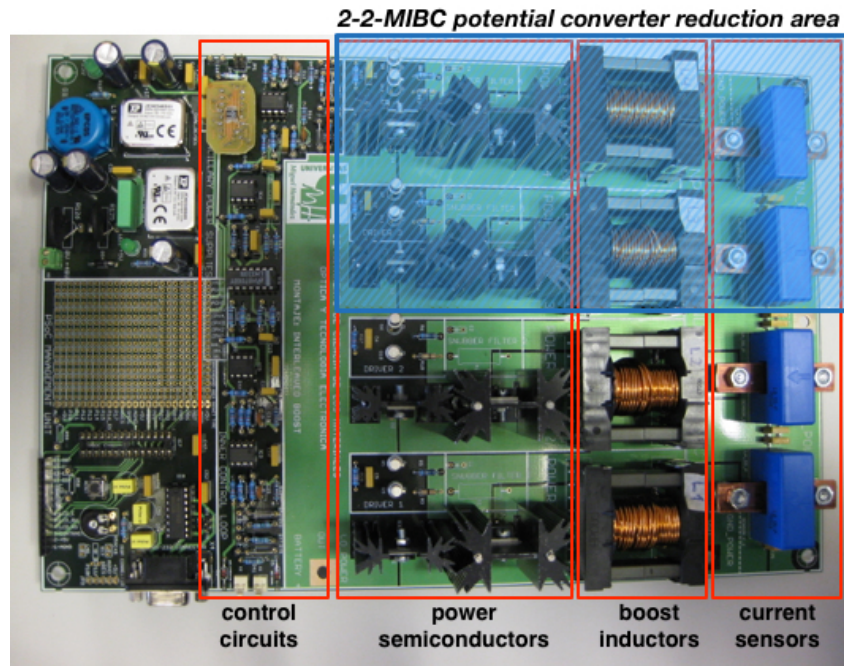


Figura 3.16: Convertidor 4-IBC (descrito en [14]) y la potencial reducción de área al emplear el 2-2-MIBC.

### 3.3.2- IBC & MIBC: DESCARGADOR DE BATERÍAS PARA APLICACIONES ESPACIALES

Otro potencial campo de interés para emplear esta técnica, se encuentra en el ámbito espacial y en particular en los descargadores de baterías, BDRs (Battery Discharge Regulator). En este caso, se ha partido de un 8-IBC propuesto en [68] y se han estudiado las dos opciones posibles que mantienen el mismo número de MOSFETs, 4-2-MIBC y 2-4-MIBC. Al igual que en la sección anterior, para dar consistencia al estudio, se mantienen inalterados el resto de parámetros.

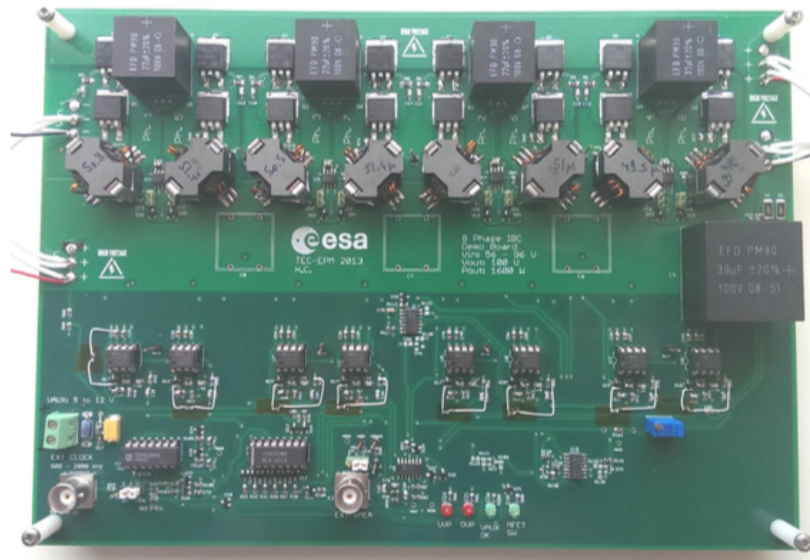


Figura 3.17: Convertidor 8-IBC, reproducido y descrito en [68]

Comparando el 8-IBC propuesto y las dos variantes del MIBC, 4-2-MIBC y 2-4-MIBC, se obtienen los siguientes resultados:

- Importante reducción del rizado de la corriente de entrada, en especial en los valores más relevantes de ciclo de trabajo. Para la máxima relación de transformación, se consigue una reducción del 26% del rizado con la estructura 4-2-MIBC y del 56% con la estructura 2-4-MIBC. Estos datos corresponden a las condiciones de máxima descarga de la batería, es decir en condiciones de *End of Discharge* (EOD). También se consiguen importantes diferencias en las condiciones de mínima relación de transformación, es decir en los momentos iniciales en los cuales el BDR entra en funcionamiento. En tal caso se obtiene una reducción de rizado del 28% para la configuración 4-2-MIBC y del 60% para la configuración 2-4-MIBC.
- Remarcable es también la reducción de la potencia de entrada necesaria para trabajar en modo CCM. En el caso original, 8-IBC, se necesitan 883W, frente a los 221W en 4-2-MIBC y los tan solo 55W en 2-4-MIBC.
- En relación a los inductores de potencia, el estudio compara inductores diseñados con núcleos toroidales de MPP de la casa Magnetics. Los resultados indican que la configuración 4-2-MIBC ofrece la menor área y masa de las tres opciones, 38.7 cm<sup>2</sup> y 202g, frente a los 41.4 cm<sup>2</sup> y 257g de la opción 2-4-MIBC y los 57.4 cm<sup>2</sup> y 220.8 g de la opción original 8-IBC. En cuanto a las pérdidas, la opción 2-4-MIBC es la que ofrece unos mejores resultados 16.3W frente a los 17.2W de la opción 4-2-MIBC y los 22.6W de la opción 8-IBC.
- En relación al estrés que sufren los componentes semiconductores de potencia es importante remarcar los siguientes resultados. El producto ciclo de trabajo por corriente RMS del MOSFET al cuadrado, indicador de las pérdidas de conducción, es prácticamente la misma en los tres casos, 2.47A<sup>2</sup> en 2-4-MIBC y 4-2-MIBC, frente a los 2.41A<sup>2</sup> de la opción 8-IBC. Esto es así porque si bien, la corriente RMS decrece de forma importante a medida que aumenta el número de fases, también se incrementa el tiempo de conducción. La corriente máxima si que es considerablemente mayor a medida que se reducen el número de fases, 14.8 A, 8.1 A y 5.5 A, en 2-4-MIBC, 4-2-MIBC y 8-IBC respectivamente. Esto hace que sea muy interesante evaluar posibles técnicas de conmutación suave para que las pérdidas de conmutación no perjudiquen la eficiencia del convertidor y dificulten el diseño térmico. Igualmente la corriente por los diodos es mayor con menor número de fases, 8 A, 4 A y 2 A, para las configuraciones 2-4-MIBC, 4-2-MIBC y 8-IBC respectivamente. En caso de problemas de disipación, se puede considerar la paralelización de diodos como posible solución.
- Desde el punto de vista de la generación analógica de la señal PWM, dos opciones se han considerado. Por un lado un sistema basado en  $n$  señales portadoras, una por cada fase y desfasadas un ángulo igual a  $n \cdot m$  con una señal de control a la cual se le suma un offset proporcional a la tensión de la portadora dividido por  $m$ . Otro sistema, consiste en emplear  $n \cdot m$  portadoras, desfasadas  $2\pi/(n \cdot m)$  radianes, intercalando las señales por fases. En este caso, se tiene que limitar la máxima tensión de control a un valor igual a la tensión de pico dividido por  $m$ .

De nuevo, el uso de la técnica multidispositivo y multifase entrelazada, ofrece ciertas ventajas con respecto al uso únicamente de la técnica multifase entrelazada.

Incidir de nuevo que se remite al lector a los trabajos [T1,T2] para conocer más en profundidad los estudios realizados sobre estos dos ejemplos de aplicación.





# **Capítulo 4: Diseño y pruebas experimentales del prototipo I: convertidor multidispositivo, multifase, bidireccional (buck-boost)**

---

## **RESUMEN DEL CAPÍTULO 4**

En este capítulo se presenta el diseño e implementación del primer prototipo del convertidor propuesto en esta tesis. Para este prototipo se ha considerado un convertidor multidispositivo, multifase, bidireccional (BUCK-BOOST) con IGBTs con diodo en antiparalelo integrado. A esta topología se le ha propuesto el acrónimo MIB3C, *Multi-Interleaved Bidirectional (Buck-Boost) Converter*. La estructura seleccionada es de dos fases ( $n=2$ ) y cuatro ramas ( $m=4$ ). En este capítulo se trata el diseño de la etapa de potencia, las diferentes formas de generar los esquemas de disparo descritos en el capítulo tercero y en particular el diseño hardware del modulador PWM digital multifase y multidispositivo, así como el diseño de los compensadores digitales y su implementación. En la fase de experimentación se comprueba el correcto funcionamiento en lazo abierto y lazo cerrado, se realizan medidas de las funciones de pequeña señal más relevantes (planta y función de lazo) para el ajuste del lazo de control y se realizan pruebas dinámicas con saltos de carga. Finalmente también se realizan medidas de eficiencia. Todas estas actividades están parcialmente recogidas en el artículo en revista [T3].



## 4.1. INTRODUCCIÓN

En el capítulo anterior se ha descrito el convertidor multidispositivo, multifase basado en estructuras de medio puente. En este capítulo se va a particularizar para un caso en concreto, se va a diseñar, construir y verificar experimentalmente un convertidor multidispositivo, multifase y bidireccional (BUCK-BOOST) con  $n=2$  fases y  $m=4$  dispositivos, 2-4-MIB3C. El esquema del convertidor se muestra en la figura 4.1.

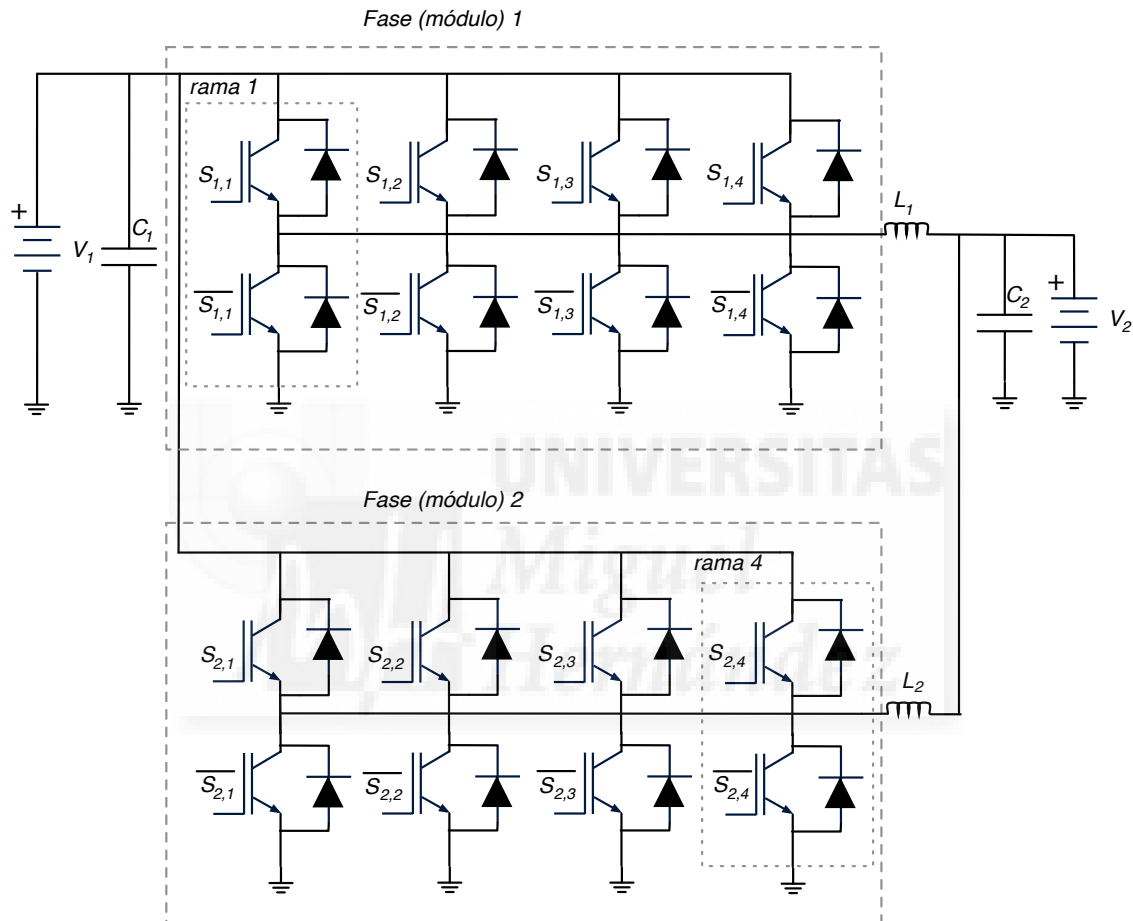


Figura 4.1: Convertidor bidireccional de 2 fases y 4 dispositivos (2,4-MIB3C).

Las características del convertidor implementado han venido determinadas por diversos criterios, entre los que se incluyen versatilidad para la prueba de diferentes configuraciones, limitaciones de los equipos disponibles para las pruebas experimentales y finalmente las limitaciones presupuestarias debidas a que es un trabajo que no tiene asociado ninguna fuente de financiación particular.

## 4.2. CONSIDERACIONES GENERALES EN EL DISEÑO DEL PROTOTIPO I

En este apartado se discute brevemente cuales han sido las directrices y criterios para establecer los diversos valores de los parámetros del prototipo diseñado. Los distintos aspectos se enumeran a continuación:

- Número de fases y número de ramas. Dichos valores vienen determinados por los siguientes factores. En primer lugar, minimizar el número inductores de potencia, lazos de control de corriente y su electrónica de acondicionamiento (sensores, amplificadores, A/Ds...), el número de ramas totales y circuitos de disparo asociados, los cuales representan un coste sustancial en todo el prototipo. En segundo lugar, dotar de cierta flexibilidad al convertidor desde el punto de vista multidispositivo para probar diversos esquemas de disparo y distintas configuraciones de número de dispositivos trabajando al mismo tiempo. Finalmente se han escogido dos fases,  $n=2$ , y cuatro ramas (estructura de medio puente) por fase,  $m=4$ .
- Frecuencia de conmutación. La elección de la frecuencia de conmutación está condicionada por dos factores fundamentales. Por un lado se ha considerado una frecuencia de conmutación acorde a la tecnología del interruptor de potencia escogido, en este caso IGBT, trabajando en un principio en condiciones de conmutación dura y sin requerimientos especiales de refrigeración. Ello hace que dicha frecuencia se establezca en valores de unas pocas kHz o decenas de kHz como máximo. Por otro lado, se tiene en consideración las limitaciones hardware del dispositivo digital. En nuestro caso se trabaja con señales de reloj para la generación de señales de disparo de 100MHz, lo cual define finalmente una frecuencia de conmutación de 12.2kHz para los dispositivos de potencia.
- Valor de la inductancia. El valor de la inductancia ha venido determinado principalmente por las limitaciones de los equipos de laboratorio, en particular de la fuente de alimentación disponible, de 150V y 10A. Así pues, por un lado se pretende un rizado de la corriente por el inductor lo suficientemente elevado para poder cruzar el límite de corriente cero por el inductor en un rango elevado de potencia, pero a su vez queda limitado por el valor máximo de la corriente que puede ofrecer la fuente. Finalmente, teniendo una frecuencia del inductor de 48.8kHz y estableciendo un rizado pico a pico de la corriente de 16A, se llega a un valor de inductancia de 23.6uH. El inductor de potencia se ha realizado mediante núcleo toroidal *MPP powder core*. Este tipo de núcleo magnético ofrecen bajas pérdidas debido al airgap distribuido y muy buena estabilidad. El inductor emplea un núcleo Magnetics/MPP/55440A2 con 20 vueltas.
- Valor de la capacidad de filtro. La capacidad de filtro se ha escogido siguiendo criterios de bajo rizado de tensión, reducida frecuencia de resonancia para el diseño de los lazos de control y disponibilidad en el laboratorio. Finalmente se ha escogido un condensador electrolítico de baja ESR de 2200uH y 400V.
- Interruptores de potencia. La elección de IGBTs como dispositivo de potencia viene dada por las características del esquema de disparo. En principio, el convertidor aquí propuesto, presenta como uno de sus principales atractivos, el ser especialmente indicado en dispositivos con dificultad para el reparto de corriente cuando se paralelizan, siendo el IGBT un ejemplo claro de

este tipo de dispositivos. Por otro lado, se considera que la tecnología IGBT es actualmente la clara favorita en sistemas de media y alta potencia, y si bien las limitaciones experimentales no permiten un uso óptimo del mismo, se reconoce su aplicabilidad. Finalmente se escoge el dispositivo IRG7PH42UD1, IGBT con diodo antiparalelo integrado de 1200V con bajas pérdidas de conmutación y con encapsulado TO247, lo cual simplifica notablemente la implementación del prototipo.

- Drivers de potencia. Se han empleado unos drivers comerciales, que claramente sobrepasan los requerimientos de los IGBTs empleados. Su elección viene dada por la disponibilidad en el laboratorio, sus buenas prestaciones y porque finalmente queda fuera del estudio la optimización de dichos subsistemas, aunque no por ello no sea interesante, debido al elevado número de circuitos necesarios. El driver utilizado es el CONCEPT IHD660.
- FPGA. El sistema de control se ha integrado en una FPGA XC3S1400A de Xilinx. Para ello se ha empleado una placa de desarrollo DLP-HS-FPGA3 de DLP design, que puede ser conectada directamente a la sección de acondicionamiento de señal y a su vez a la sección de potencia. Su elección viene determinada esencialmente por su pequeño factor de forma y su reducido coste en comparación con otros sistemas de desarrollo.

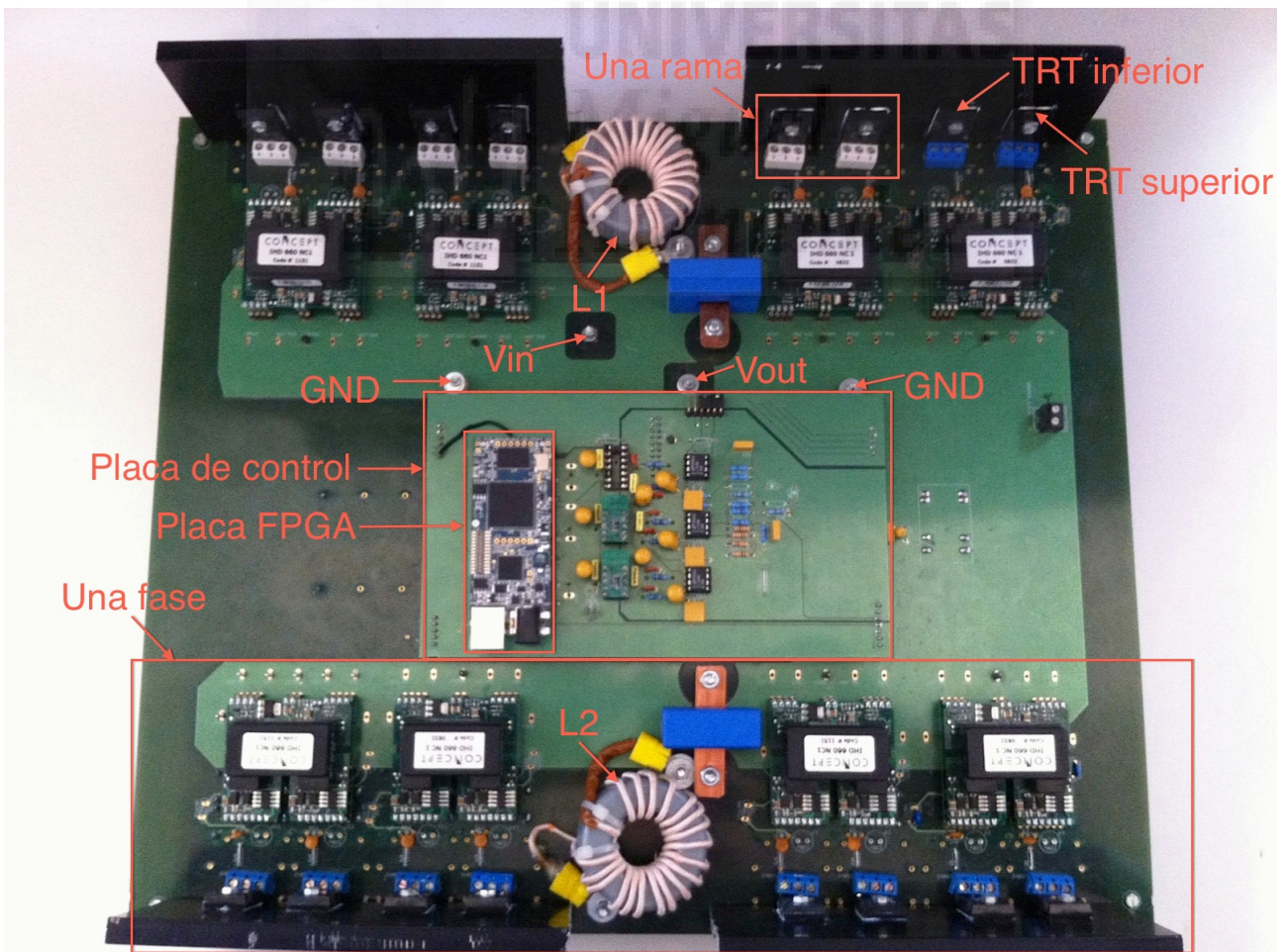


Figura 4.2: Convertidor bidireccional implementado de 2 fases y 4 dispositivos (2,4-MIB3C).

### 4.3. CONTROL DIGITAL DEL CONVERTIDOR PROPUESTO

Las bondades del control digital han sido ya descritas en la sección 1.7 del presente trabajo, siendo las más destacables la exactitud de cálculo, reproducibilidad, repetitividad y escalabilidad, estabilidad temporal y ante variaciones de temperatura, espacio ocupado, flexibilidad y reprogramabilidad, inmunidad al ruido y comunicaciones. Sin embargo, la utilización de técnicas digitales no están exentas de problemas y supone una complejidad asociada. El proceso de digitalización, es decir discretización y cuantificación, es crítico en los dos aspectos, por un lado el proceso de discretización tiene su impacto inmediato en el diseño del lazo de control a partir del retardo asociado a la acción del muestreo; por otra parte, el proceso de cuantificación también incide en la exactitud de la digitalización y en el diseño del controlador. Pocos bits de resolución puede acarrear problemas de exactitud en la digitalización de la señal analógica, dificultando el ajuste del lazo de control y pudiendo inestabilizarlo. A mayor número de bits el uso de recursos necesarios aumenta de forma considerable y aumentan los problemas asociados al ruido, siendo necesario finalmente un balance entre los distintos factores.

Desde el punto de vista de la señal digital PWM, el número de bits de control y la frecuencia base del oscilador tienen su correspondencia directa con la capacidad de control del convertidor y la resolución temporal, pero de nuevo hay que encontrar un equilibrio entre las diversas variables y las capacidades del sistema FPGA empleado.

Por último comentar que aunque existen diversas tecnologías digitales susceptibles de ser empleadas en esta aplicación (uC, DSP, System on Chip...), se escoge la tecnología basada en FPGA debido a su mejor adecuación en este caso, paralización hardware, elevada frecuencia de operación y reducido tiempo de respuesta. Además de esto, la disponibilidad de herramientas informáticas permite un diseño complejo donde se combina el modelado, la generación de código VHDL y su simulación conjunta.

#### 4.3.1. GENERACION DE LA SEÑAL PWM DIGITAL: ESQUEMA DDS Y SDS

En el siguiente apartado se describe la implementación hardware del modulador PWM digital para el MIB3C en las versiones DDS, disparo distribuido, y SDS, disparo secuencial.

El funcionamiento del modulador PWM digital en modo DDS se puede explicar a partir de la figura 4.3, la cual está particularizada para una configuración  $n=2$ ,  $m=4$ . Se parte de dos señales en diente de sierra, que en la práctica corresponden a la salida de sendos contadores digitales ( $x_{ctr1}, x_{ctr2}$ ). Para conseguir un entrelazado de las fases, se debe proporcionar un desfase entre las dos señales siguiendo la ecuación (4.1).

$$\phi_j = \frac{2^N(j-1)}{nm} \quad j = 1 \dots n \quad (4.1)$$

Donde  $N$  corresponde al número de bits del contador y  $j$  cada una de las fases desde 1 a  $n$ . En el caso de la figura resulta  $\phi_1=0$  y  $\phi_2=2^N/nm$ . A su vez, cada señal en diente de sierra está subdividida en un número de intervalos igual al número de ramas por cada fase, de forma que los valores que debe tomar el contador para cambiar de intervalo vienen determinados por (4.2). Estos valores  $k_i$  son empleados como límites de comparadores de ventana al igual que la señal de control ( $x_c$ ) más cada uno de los valores  $k_i$ . Así pues, para el disparo  $S1,1$  se tiene lo siguiente, mientras la señal del contador ( $x_{ctr1}$ ) está entre  $k_1$  y  $x_c+k_1$ , la salida digital del comparador está a nivel alto, mientras que en otro caso permanece a estado bajo. El disparo complementario  $/S1,1$  pasará a estado alto siempre y cuando la señal del contador ( $x_{ctr1}$ ) esté entre  $x_c+k_1$  y  $k_2$ . El resto de señales de la misma fase tienen la misma forma de operación, tal y como se observa en la figura 4.3. Dos aspectos importantes a resaltar son la generación de tiempos muertos, la cual se trata a continuación y el valor máximo de la señal de control ( $x_c$ ) que viene dado por (4.3)

$$k_i = \frac{2^N(i-1)}{m} \quad i=1\dots m \quad (4.2)$$

$$x_{c_{max}} = 2^N/m \quad (4.3)$$

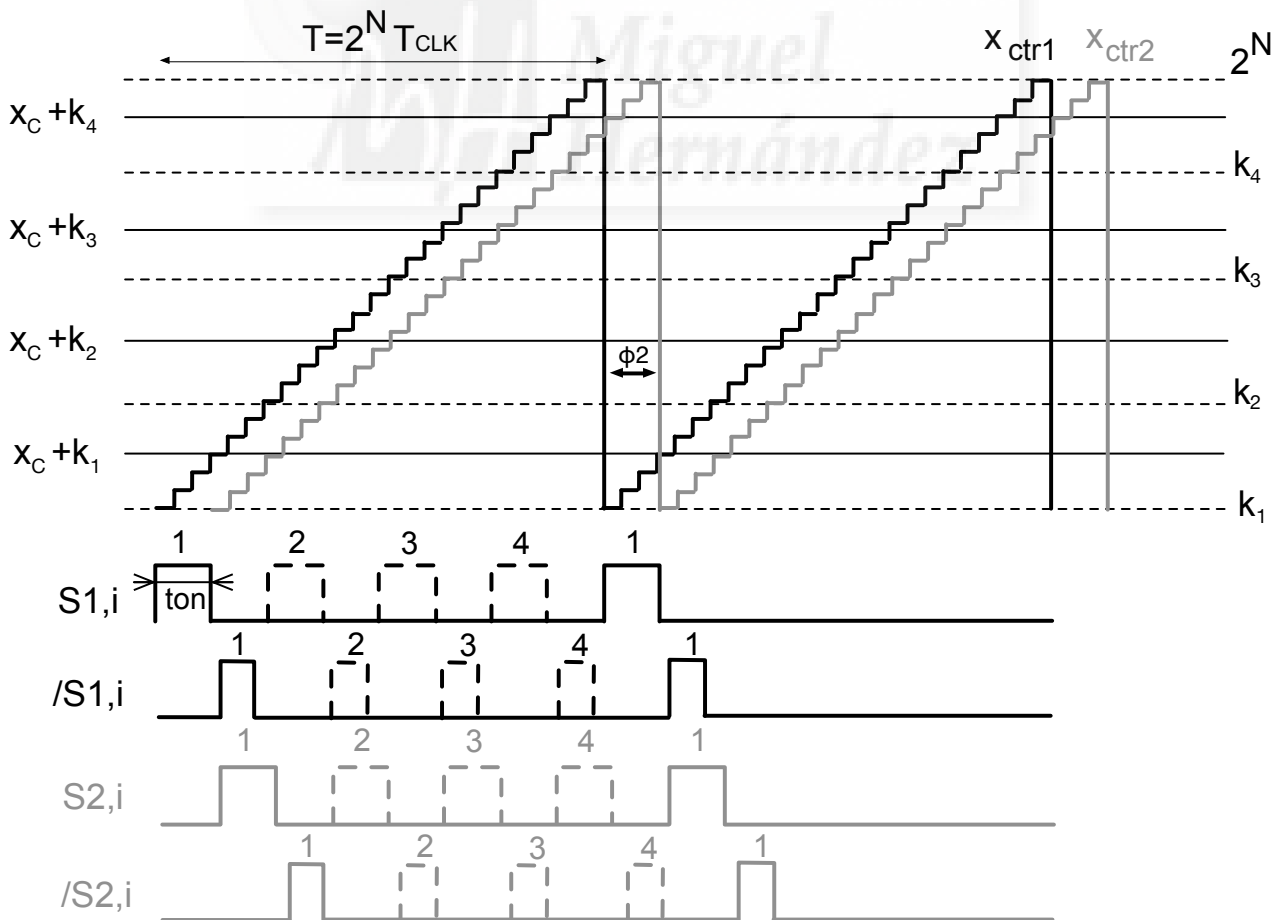


Figura 4.3: Funcionamiento del generador de PWM digital en modo DDS.

Las expresiones (4.2) y (4.3) determinan finalmente la resolución del modulador DPWM. En el caso que nos ocupa se ha escogido una resolución de la señal de control ( $x_c$ ) de 11 bits, lo que implica que el número de bits del contador ( $N$ ) debe ser de 13 bits. Por otro lado la relación entre la frecuencia de conmutación y la frecuencia del oscilador del contador vendrá determinada por (4.4).

$$f_{CLK} = 2^N f \quad (4.3)$$

Considerando una frecuencia de conmutación de 12.2kHz resulta finalmente, para el caso de estudio, una frecuencia de la señal del contador de 100MHz.

El diagrama de bloques del modulador PWM digital en modo DDS para dos fases y cuatro ramas se muestra en la figura 4.4. Para su implementación hardware se han empleado dos contadores y ocho comparadores de ventana digitales. El circuito está descrito en VHDL y puede encontrarse detallado en el anexo III.

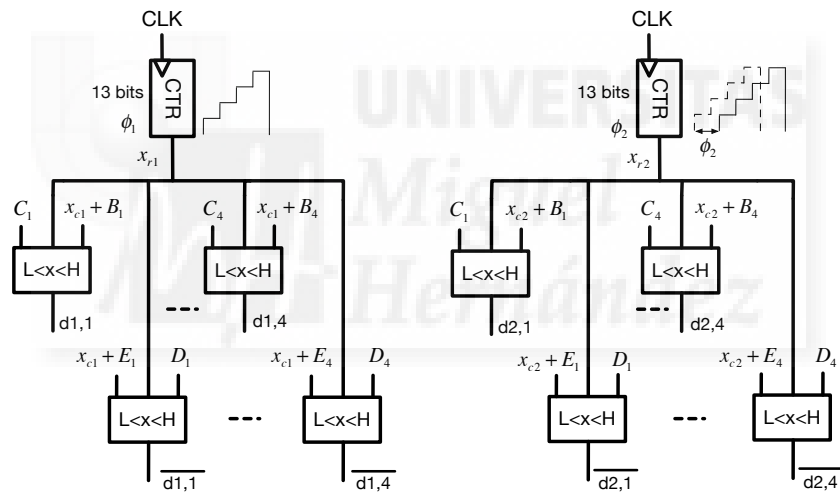


Figura 4.4: Diagrama de bloques del generador de PWM en modo DDS para 2 fases y 4 ramas.

Un punto importante a considerar concierne a los tiempos muertos necesarios entre los dos dispositivos de una misma rama y por ello se han modificado los límites de los comparadores teniendo en cuenta las ecuaciones desde (4.4) a (4.7).

$$B_i = k_i - \tau_{bst\_I\ min} \quad (4.4)$$

$$C_i = k_i + \tau_{bst\_I\ max} \quad (4.5)$$

$$D_i = k_{i+1} - \tau_{bck\_I\ min} \quad (4.6)$$

$$E_i = k_i + \tau_{bck\_I\ max} \quad (4.7)$$



Donde  $\tau$  es el tiempo muerto que se añade a las constantes para modificar los instantes de conmutación. Nótese que hay dos tipos de tiempo muerto, el que se aplica cuando se trabaja en modo BUCK (*bck*) y el que se emplea en modo BOOST (*bst*). Dentro de cada caso aparecen dos tipos de tiempo muerto, el tiempo muerto que se aplica cuando la corriente por la bobina es mínima (*lmin*) y cuando la corriente es máxima (*lmax*). Durante el modo BUCK,  $\tau_{bst}$  es igual a cero, y de forma análoga, en modo BOOST,  $\tau_{bck}$  es cero. Nótese también que los tiempos muertos  $\tau$  son valores numéricos y para obtener el tiempo muerto real habría que multiplicar este valor por el periodo de reloj del sistema digital.

Remarcar que los diferentes parámetros del modulador  $\phi$ ,  $k$  y  $\tau$  se traducen, en la práctica, en distintas constantes.

En la figura 4.5 se puede observar el funcionamiento del modulador PWM digital en modo DDS. Se aprecia como las cuatro señales correspondientes a los interruptores superiores están desfasadas una con respecto a la otra. Entre dos flancos de subida consecutivos de dos señales se encuentra el correspondiente disparo del transistor inferior.

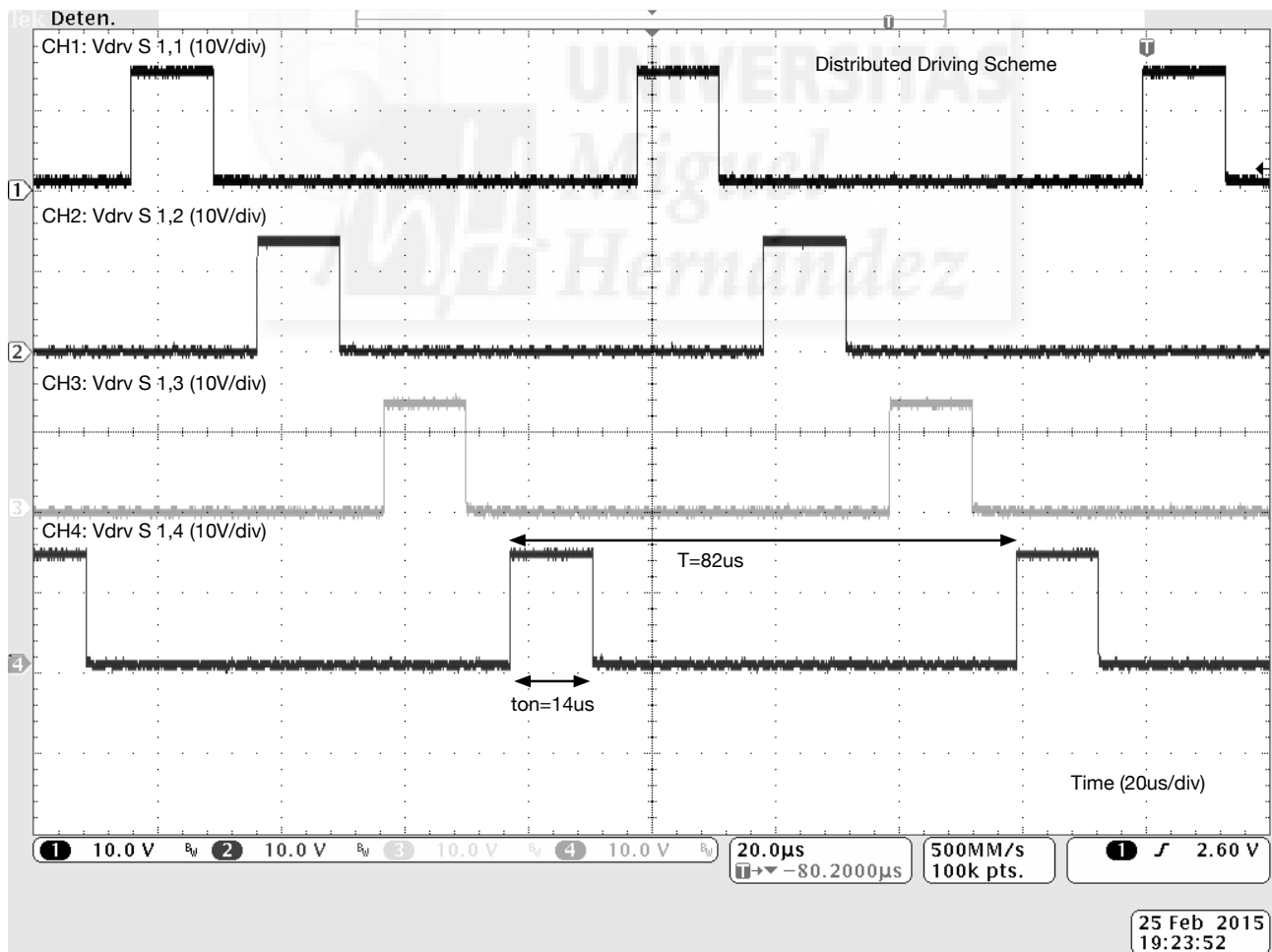


Figura 4.5: Señales de disparo (modo DDS,  $n=2$ ,  $m=4$ ) de los dispositivos superiores de la fase 1.

En la figura 4.6 se muestra la señal de disparo de un transistor superior de una fase y la corriente del nodo V2, resultante de la suma de las corrientes desfasadas de los inductores L1 y L2. En esta figura se observa claramente como la frecuencia de la corriente del nodo V2 es ocho veces la frecuencia de conmutación de un dispositivo de potencia.

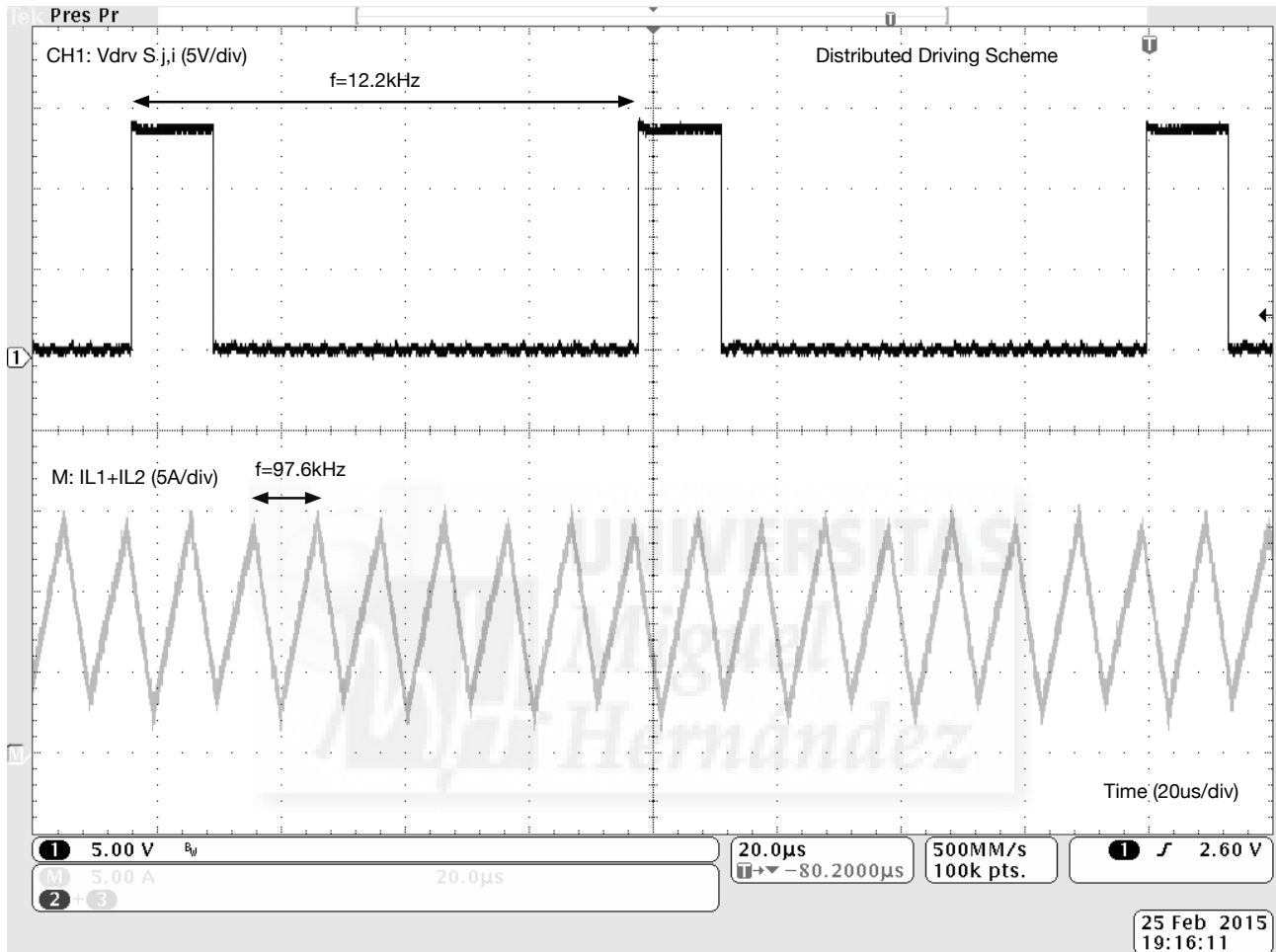


Figura 4.6: Señales de disparo (modo DDS,  $n=2$ ,  $m=4$ ) de un dispositivo superior y la corriente del nodo de menor tensión.

El modulador PWM en modo SDS ha sido implementado de forma similar al DDS. Con la ayuda de la figura 4.7 se muestra el funcionamiento del mismo. En este caso las dos señales del contador ( $x_{ctr1}$  y  $x_{ctr2}$ ) están desfasadas  $180^\circ$  y la señal de control ( $x_c$ ) se divide en cuatro niveles, de forma que dos niveles consecutivos determinan los límites inferior y superior del correspondiente comparador de ventana. De esta forma, mientras la señal de contador está entre los límites la salida del modulador se mantiene en estado alto y en estado bajo en caso contrario.

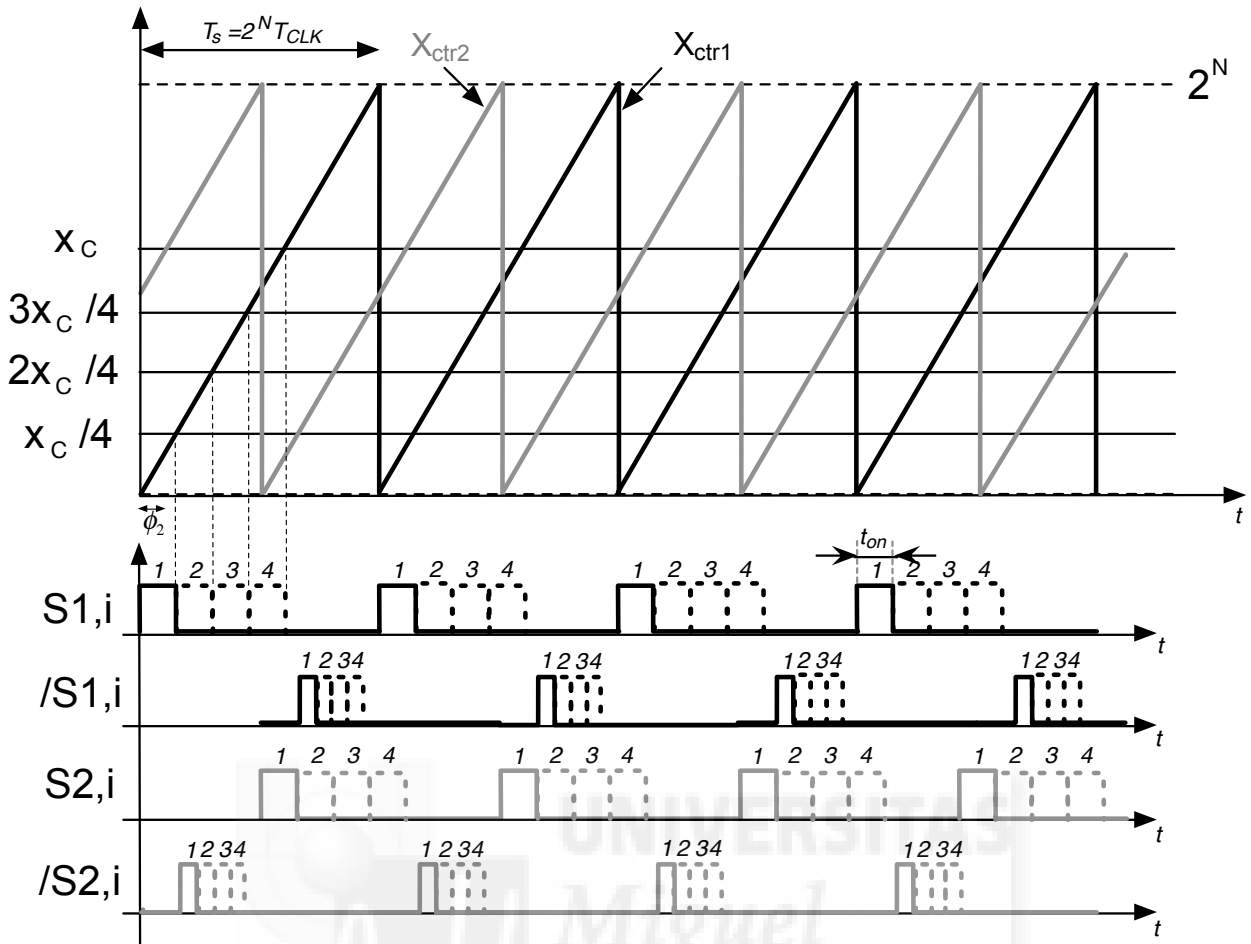


Figura 4.7: Funcionamiento del generador de PWM digital en modo SDS.

El diagrama de bloques del modulador PWM digital en modo SDS para dos fases y cuatro ramas se muestra en la figura 4.8; para su implementación hardware se han empleado dos contadores y ocho comparadores de ventana digitales; el circuito está descrito en VHDL y puede encontrarse detallado en el anexo III. Para evitar que haya instantes donde dos interruptores consecutivos se queden en abierto, se introduce un solapamiento entre señales consecutivas (ov); las expresiones que definen los distintos límites de los comparadores de ventana vienen dadas por las ecuaciones (4.8) a (4.15).

$$C_1 = x_c + \tau_{UPboost} \quad (4.8)$$

$$C_i = \frac{(i-1)x_c}{m} - ov \rightarrow i = 2, 3, \dots, m \quad (4.9)$$

$$B_i = \frac{ix_c}{m} + ov \rightarrow i = 1, 2, \dots, m-1 \quad (4.10)$$

$$B_4 = x_c - \tau_{LOboost} \quad (4.11)$$

$$E_1 = x_c + \tau_{UPbuck} \quad (4.12)$$

$$E_i = \frac{(i-1)(2^N - \tau_{UPbuck} - \tau_{LObuck} - x_c)}{m} + x_c + \tau_{UPbuck} - ov \rightarrow i = 2, 3, \dots, m \quad (4.13)$$

$$D_i = \frac{i(2^N - \tau_{UPbuck} - \tau_{LObuck} - x_c)}{m} + x_c + \tau_{UPbuck} + ov \rightarrow i = 1, 2, \dots, m-1 \quad (4.14)$$

$$D_4 = 2048 - \tau_{LObuck} \quad (4.15)$$

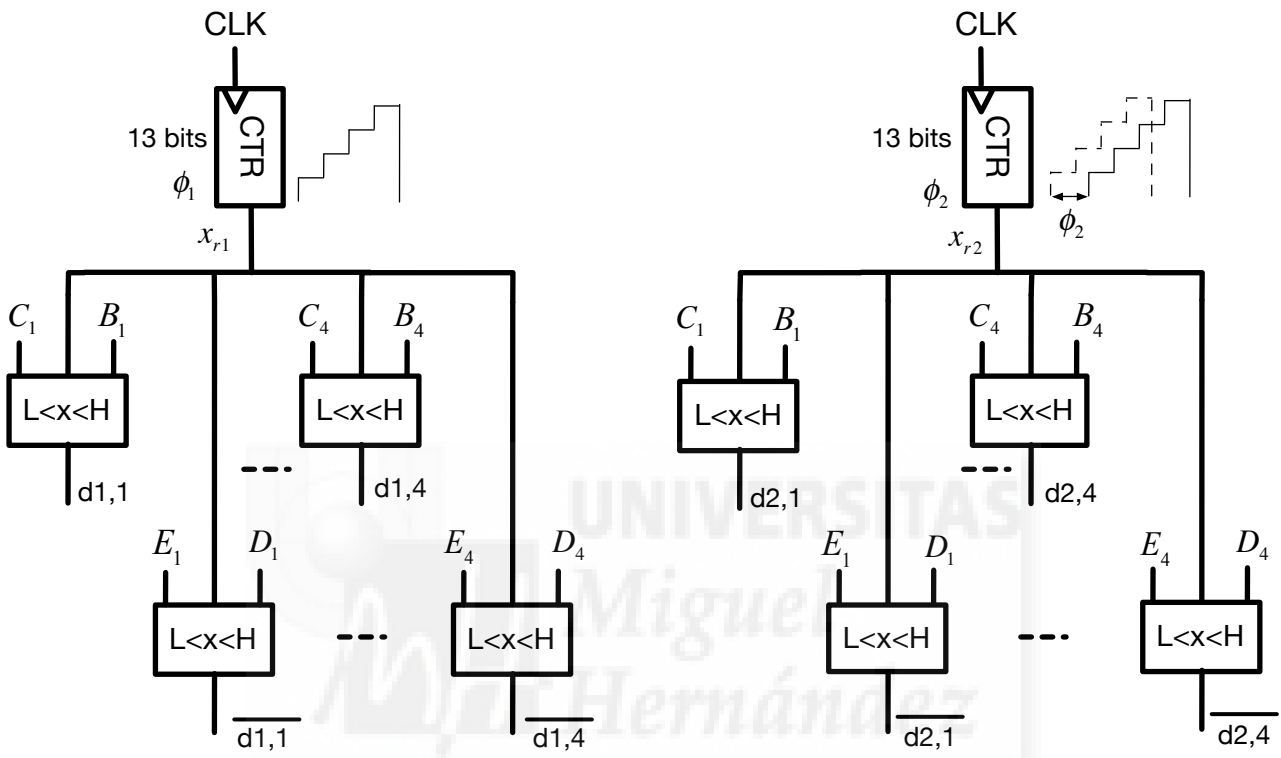


Figura 4.8: Diagrama de bloques del generador de PWM en modo SDS para 2 fases y 4 ramas.

En la figura 4.9 se observa el funcionamiento del modulador PWM en modo SDS. De forma similar a lo que se ha representado en la figura 4.5, se muestran las cuatro señales de disparo de los dispositivos superiores de una fase. Se observa que las señales están solapadas un pequeño tiempo para garantizar en todo momento que alguno de los dispositivos superiores estén en conducción. Es por ello, que las dos señales intermedias presenten un ancho de pulso mayor a las de los extremos. Para obtener en estas condiciones el mismo rizado de corriente y frecuencia de la corriente del nodo V2 que con DDS, se ha reducido el periodo de conmutación en un factor cuatro.

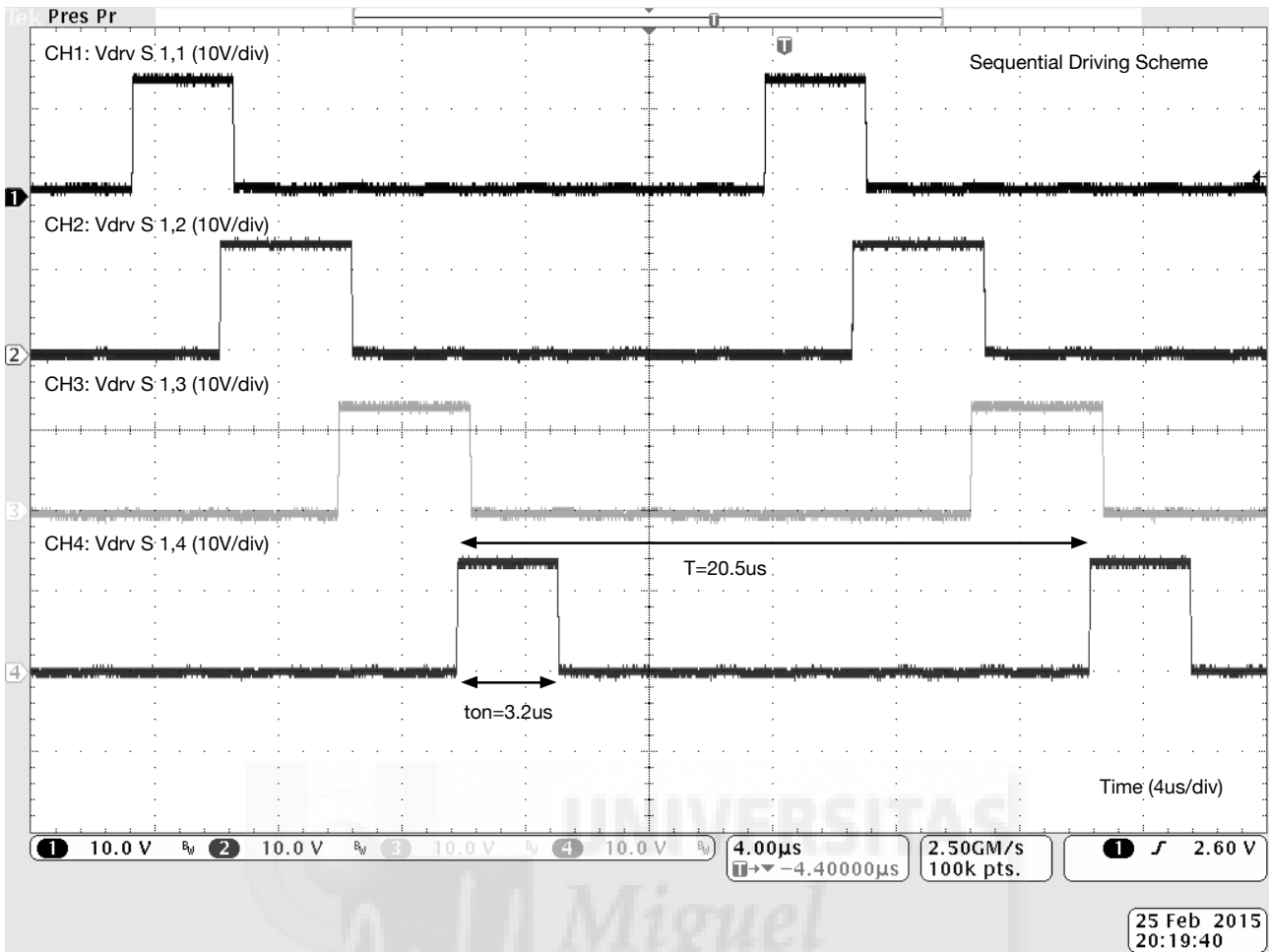


Figura 4.9: Señales de disparo (modo SDS,  $n=2$ ,  $m=4$ ) de los dispositivos superiores de la fase 1.

En la figura 4.10 se muestra la señal de disparo de un transistor superior de una fase y la corriente del nodo V2, resultante de la suma de las corrientes desfasadas de los inductores L1 y L2 para el modo SDS. De la figura se desprende claramente que la frecuencia de la corriente del nodo V2 es dos veces la frecuencia de conmutación de un dispositivo de potencia.

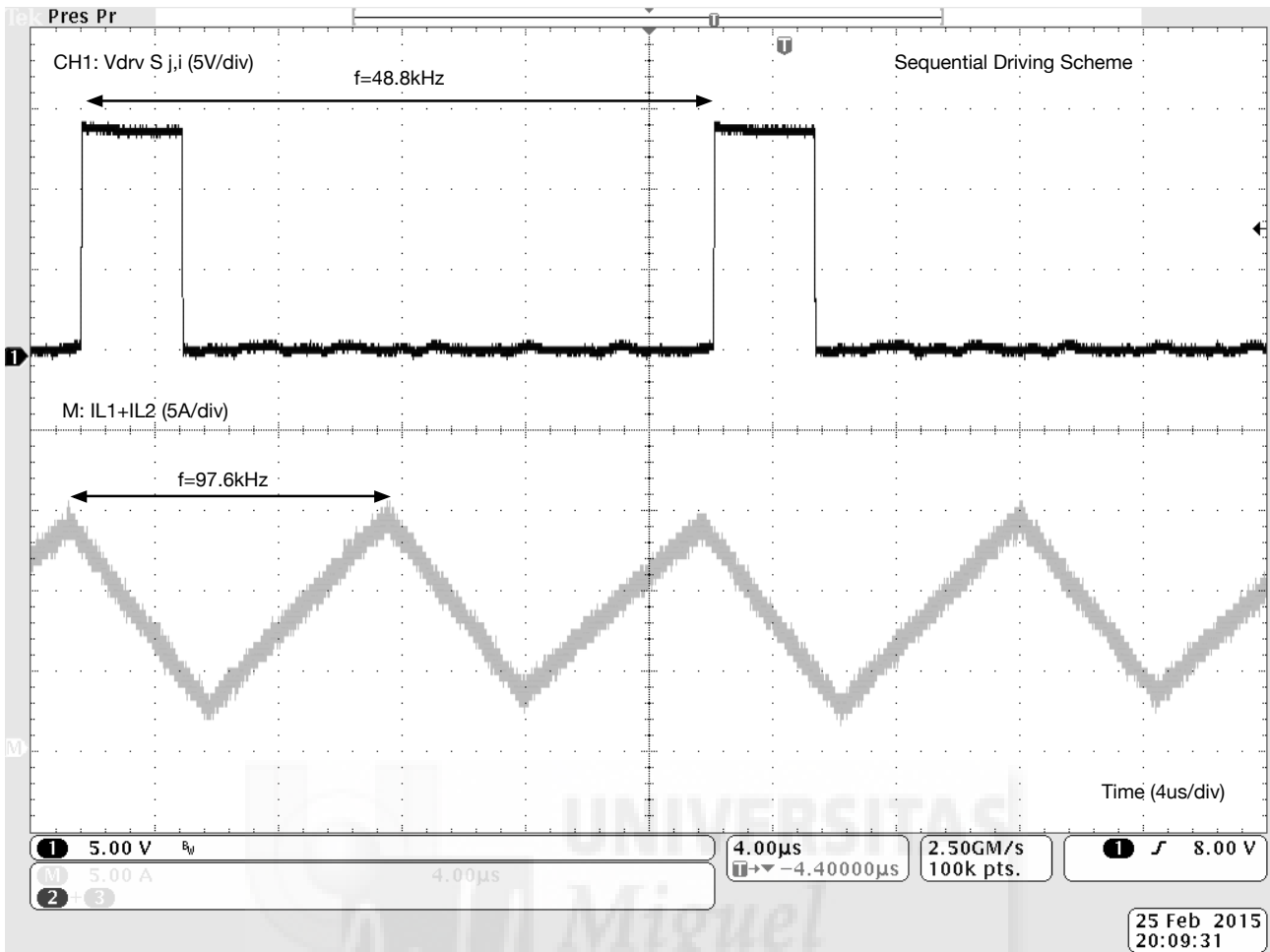


Figura 4.10: Señales de disparo (modo SDS,  $n=2$ ,  $m=4$ ) de un dispositivo superior y la corriente del nodo de menor tensión.

### 4.3.2. DISEÑO E IMPLEMENTACIÓN DE LOS CONTROLADORES DIGITALES.

A la hora de realizar el subsistema de control, éste se realizará de forma completamente digital, el controlador de tensión, el de corriente y el bloque PWM se implementarán dentro de la FPGA; de esta manera se integra todo sobre una misma plataforma simplificando el hardware. El esquema de control empleado corresponde al modo corriente promediado; en la figura 4.11 se muestra el modelo con el control discretizado del convertidor DC/DC. Todo el estudio descrito a partir de esta sección hace únicamente referencia al modo de disparo DDS.

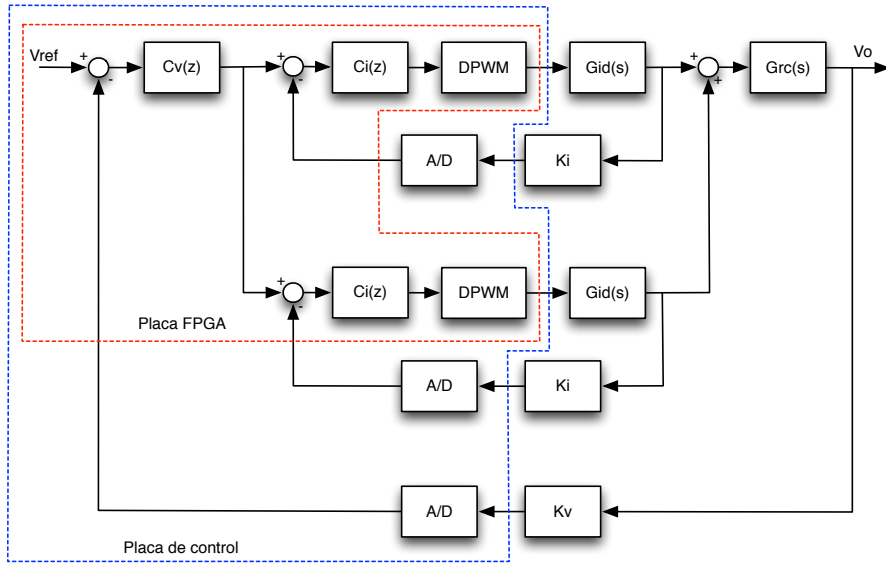


Figura 4.11: Modelo en lazo cerrado del convertidor DC/DC en tiempo discreto

Antes de diseñar los controladores  $C_v(z)$  y  $C_i(z)$ , es necesario conocer las funciones de transferencia corriente por el inductor frente a tensión de salida  $G_{rc}$  y la de corriente por el inductor frente al ciclo de trabajo  $G_{id}$ . Estas funciones se obtienen de los circuitos equivalentes del modelo promediado tanto en modo BUCK como en modo BOOST.

Empezando por el modo BUCK, la función de transferencia de corriente por el inductor frente al ciclo de trabajo está descrita, para  $n$  fases, por la ecuación (3.45). Particularizando para  $n=2$ , se obtiene la función de transferencia dada (4.16).

$$G_{id_1} = \frac{\tilde{i}_{L1}}{d} = \frac{\tilde{i}_{L2}}{d} \Big|_{\tilde{v}_1=0} = \frac{V_1 \frac{(r_{c2} + R_L)C_2s + 1}{(r_{c2} + R_L)LC_2}}{s^2 + \left[ \frac{1}{(r_{c2} + R_L)C_2} + \frac{r_L r_{c2} + R_L r_L + R_L r_{c2}}{(r_{c2} + R_L)L} \right] s + \frac{r_L + 2R_L}{(r_{c2} + R_L)LC_2}} \quad (4.16)$$

La otra función de transferencia necesaria para cerrar el lazo de tensión, viene dada por la ecuación (3.46), la cual particularizada para  $n=2$  resulta en (4.17).

$$G_{rc} = \frac{\tilde{v}_2}{\tilde{i}_{Lr}} \Big|_{\tilde{v}_1=0} = \frac{G_{vd}}{\sum_{x=1}^{x=n} G_{id_x}} = \frac{R_L (r_{c2} C_2 s + 1)}{(r_{c2} + R_L) C_2 s + 1} \quad (4.17)$$

Asimismo, para el modo BOOST la función de transferencia corriente del inductor frente al ciclo de trabajo está determinada, de forma general, por la ecuación (3.49), obteniéndose (4.18) al particularizar para el caso  $n=2$  y  $m=4$ .

$$G_{id_1} = \left. \frac{\tilde{i}_{L1}}{\tilde{d}} = \frac{\tilde{i}_{L2}}{\tilde{d}} \right|_{v_2=0} = \frac{\frac{V_2}{(1-4D_i)} \frac{(R_L+r_{c1})C_1s + \frac{R_L}{r_{c1}+R_L} + 1}{(R_L+r_{c1})LC_1}}{s^2 + \frac{(R_L r_L + r_L r_{c1} + r_{c1} R_L 2(1-4D_i)^2)C_1 + L}{(R_L+r_{c1})LC_1} s + \frac{2R_L(1-4D_i)^2 + r_L}{(R_L+r_{c1})LC_1}} \quad (4.18)$$

Para realizar el control de la tensión del nodo V1 en función de la corriente de los inductores se emplean las distintas funciones de transferencia (4.19) a (4.22).

$$G_{v_1 i_{pt}} = \frac{\tilde{v}_1}{\tilde{i}_{p_t}} = \frac{R_L(r_c C_1 s + 1)}{(r_c + R_L)C_1 s + 1} \quad (4.19)$$

$$G_{i_{p_1} i_{L1}} = \frac{\tilde{i}_{p_1}}{\tilde{i}_{L1}} = (1-4D_i) - \frac{I_{L1}}{G_{id_1}} \quad (4.20)$$

$$G_{i_{p_2} i_{L2}} = \frac{\tilde{i}_{p_2}}{\tilde{i}_{L2}} = (1-4D_i) - \frac{I_{L2}}{G_{id_2}} \quad (4.21)$$

$$G_{v_1 i_{Lr}} = \frac{\tilde{v}_1}{\tilde{i}_{Lr}} = G_{v_1 i_{pt}} (G_{i_{p_1} i_{L1}} + G_{i_{p_2} i_{L2}}) \quad (4.22)$$

Una vez obtenidas todas las funciones de planta en ambos modos, se procede a digitalizarlas. El método escogido para digitalizar las funciones de planta es el método de invarianza impulsional, ya que con este método se muestrea la señal objeto, que es lo que realmente se pretende hacer cuando pasemos del dominio analógico al digital en la circuitería de control.

En las ecuaciones (4.23) y (4.24) se muestran las funciones de planta digitalizadas  $i_L/d$  y  $v_o/i_L$  con el método de la invarianza al impulso en modo BUCK.

$$G_{id} = \frac{i_{L1}(z)}{d(z)} = \frac{i_{L2}(z)}{d(z)} = 2.6754 \frac{z^{-2} - 1}{1 - 1.973z^{-1} - 0.9731z^{-2}} \quad (4.23)$$

$$G_{rc} = \frac{v_2(z)}{i_{Lr}(z)} = 0.017276 \frac{1 - 0.9664z^{-1}}{1 - 0.999971z^{-1}} \quad (4.24)$$

En las ecuaciones (4.25), (4.26) se muestran las funciones de planta digitalizadas  $i_L/d$  y  $v_o/i_L$  con el método de la invarianza al impulso en modo BOOST.

$$G_{id} = \frac{i_{L1}(z)}{d(z)} = \frac{i_{L2}(z)}{d(z)} = 2.67677312 \frac{1 - 0.999972776z^{-1}}{1 - 1.971886115z^{-1} + 0.971923348z^{-2}} \quad (4.25)$$

$$G_{rc} = \frac{v_1(z)}{i_{Lr}(z)} = 0.009876389 \frac{1 - 5.5650817z^{-1} - 6.47291198z^{-2}}{1 - 0.2722 \cdot 10^{-6} z^{-1} + 0.999972776z^{-2}} \quad (4.26)$$



Para el diseño de los controladores del convertidor se han escogido estructuras del tipo PI, proporcional-integral, para ambos lazos con el objetivo de garantizar elevada ganancia a bajas frecuencias, cancelación del error estático, junto a buena estabilidad y respuesta dinámica. Igualmente se ha empleado la herramienta “sisotool” de MATLAB® para el ajuste de dichos controladores.

Para el modo BUCK, los controladores diseñados vienen dados por (4.27) para el lazo de corriente y (4.28) para el lazo de tensión.

$$C_2(z) = 0.14981206 \frac{1 - 0.96428034z^{-1}}{1 - z^{-1}} \quad (4.27)$$

$$C_1(z) = 8.37545045 \frac{1 - 0.99908398z^{-1}}{1 - z^{-1}} \quad (4.28)$$

El lazo interno de corriente se ha diseñado con una frecuencia de cruce de 4.8kHz y un margen de fase de 90°, mientras que en el lazo externo de tensión se ha considerado una frecuencia de cruce de unos 320Hz y un margen de fase también de 90°. La representación de Bode de la función de lazo de los dos bucles de realimentación se muestra en la figura 4.12.

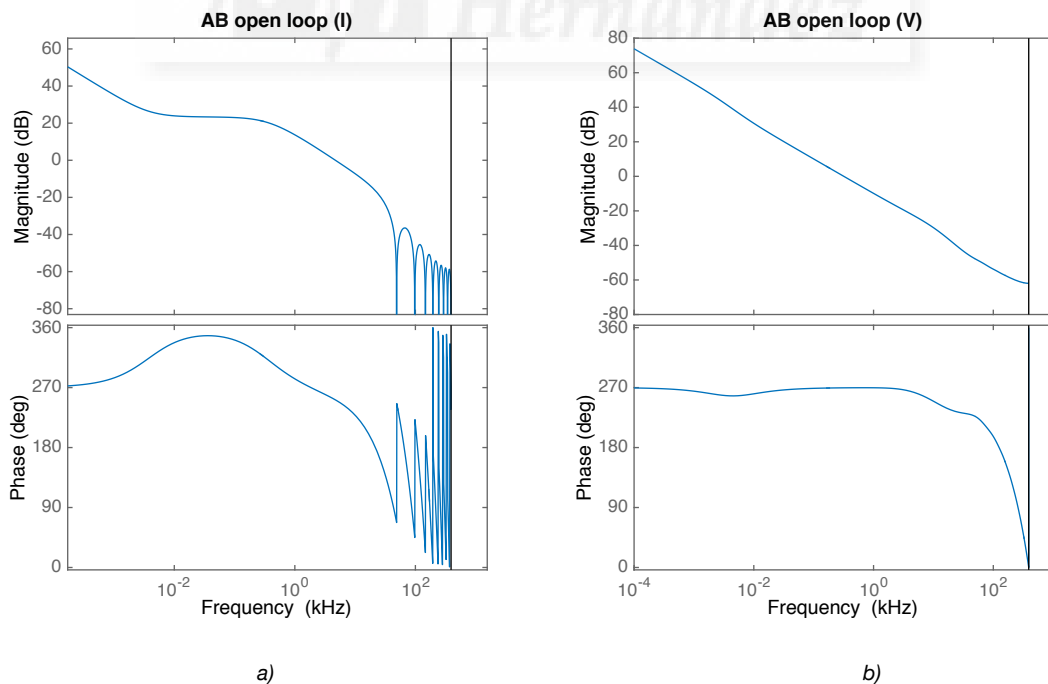


Figura 4.12: Funciones de lazo en simulación en modo BUCK: a) de corriente, b) de tensión.

El diseño de los controladores, así como los distintos *scripts* empleados para la generación de las funciones de lazo se encuentran detallados en el anexo II de la presente tesis.

Las funciones de lazo (AB), experimental y simulada, trabajando con los dos lazos de control en modo BUCK se muestran en la figura 4.13. La medida corresponde al lazo externo de tensión. La medida de la función de lazo se ha realizado siguiendo el esquema detallado en el anexo IV.

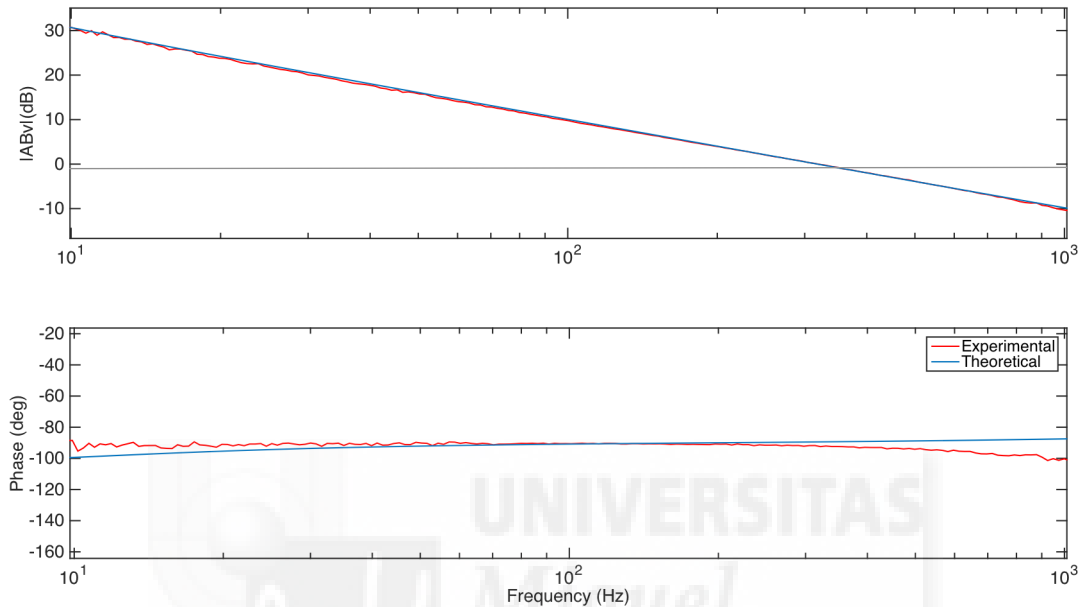


Figura 4.13: Funciones de lazo experimental (rojo) y teórica (azul) en modo BUCK trabajando con los dos lazos de control. Medida del lazo externo (tensión).

Para el modo BOOST, los controladores diseñados vienen dados por (4.29) para el lazo de corriente y (4.30) para el lazo de tensión.

$$C_2(z) = 0.069497 \frac{1 - 0.9693z^{-1}}{1 - z^{-1}} \quad (4.29)$$

$$C_1(z) = 6.6252 \frac{1 - 0.9999z^{-1}}{1 - z^{-1}} \quad (4.30)$$

En esta ocasión, el lazo interno de corriente se ha diseñado con una frecuencia de cruce de 2.4kHz y un margen de fase de 90°. En modo BOOST se ha escogido un menor ancho de banda para el lazo debido al cero en el semiplano derecho que aparece en la función de transferencia. Para el lazo externo de tensión se ha considerado una frecuencia de cruce de unos 160Hz y un margen de fase también de 90°. La representación de Bode de la función de lazo de los dos bucles de realimentación se muestra en la figura 4.14.

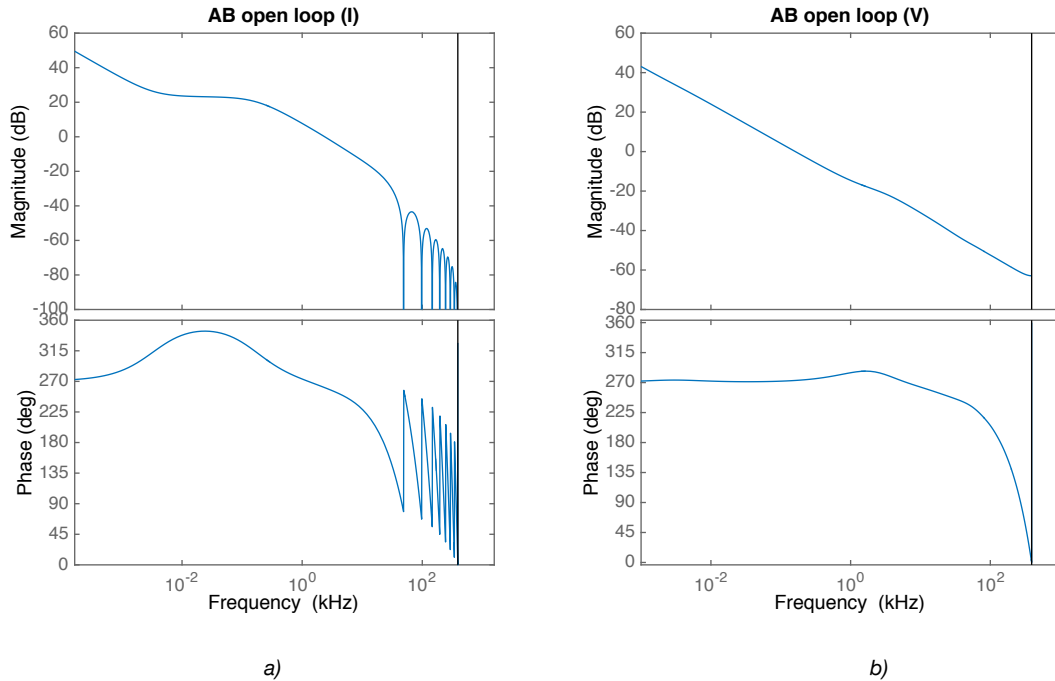


Figura 4.14: Funciones de lazo en simulación en modo BOOST: a) de corriente, b) de tensión.

Las funciones de lazo (AB), experimental y simulada, trabajando con los dos lazos de control en modo BOOST se muestran en la figura 4.15. La medida corresponde al lazo externo de tensión. La medida de la función de lazo se ha realizado siguiendo el esquema detallado en el anexo IV.

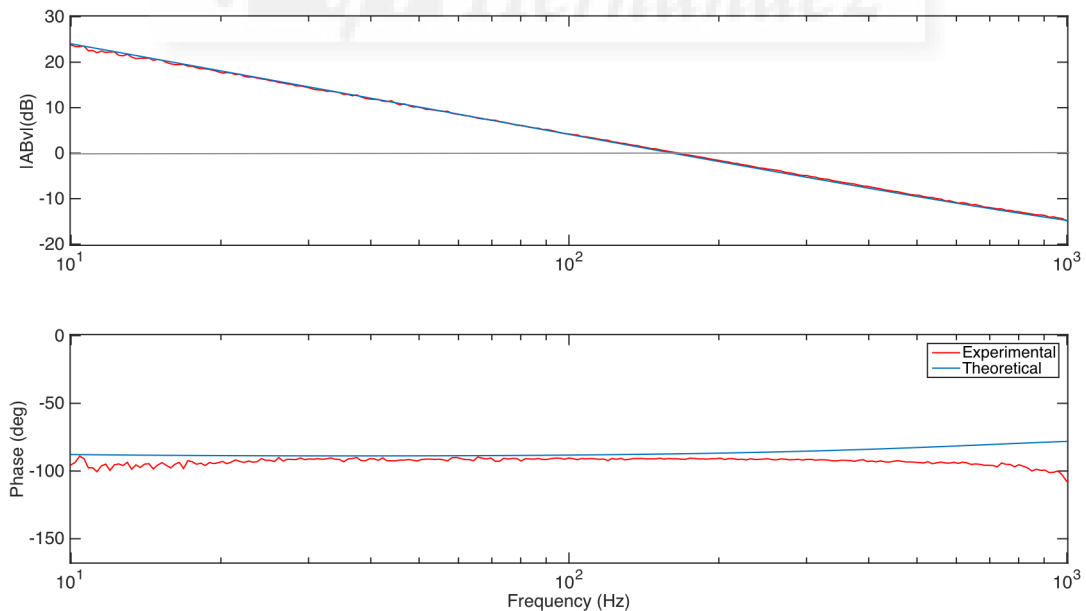


Figura 4.15: Funciones de lazo experimental (rojo) y teórica (azul) en modo BOOST trabajando con los dos lazos de control. Medida del lazo externo (tensión).

### 4.3.3. ACONDICIONAMIENTO DE LAS VARIABLES SENSADAS Y ARRANQUE SUAVE.

La medida y digitalización de las variables empleadas para los lazos de control es otro aspecto importante a considerar. En el prototipo diseñado se han utilizado cuatro variables para el control  $V_1$ ,  $V_2$ ,  $iL_1$  e  $iL_2$ . El circuito de medida y digitalización de voltaje se muestra en la figura 4.16. Este circuito está repetido para cada una de las tensiones a medir,  $V_1$  y  $V_2$ .

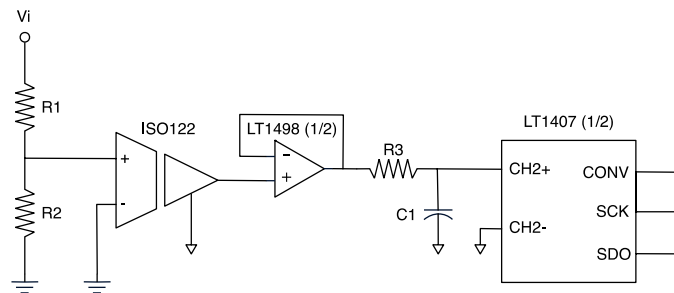


Figura 4.16: Circuito de medida de voltajes  $V_1$  y  $V_2$ .

El circuito de medida de tensión incluye amplificador de aislamiento para proporcionar aislamiento galvánico entre la parte de potencia y la de control, a continuación un buffer para adaptar impedancias y un pequeño filtro paso-bajo de primer orden anti-aliasing. Los valores escogidos para la ganancia de los divisores de tensión son  $K_{V1} = K_{V2} = 0,02148$ .

El circuito de medida y digitalización de la corriente del inductor  $L_1$  aparece en la figura 4.17, el mismo circuito se repite para la medida de corriente de  $L_2$ .

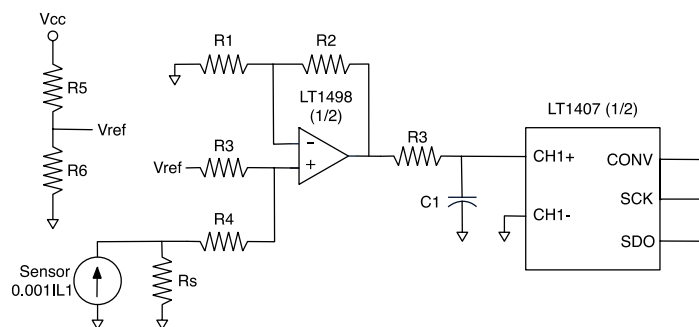


Figura 4.17: Circuito de medida de corriente  $iL_1$  y  $iL_2$ .

La medida de corriente se realiza mediante un sensor de corriente de efecto Hall, LEM LA-55P. La ganancia del sensor de corriente, a través de su resistencia de salida, se ha escogido de valor  $K_{iL1,iL2} = 0,047V/A$ . Para adaptar los niveles de tensión de la salida del sensor con los del conversor A/D, que solo admite valores positivos de tensión, se ha empleado una etapa amplificadora con desplazamiento del nivel de continua. Igualmente se ha incluido un filtro paso-bajo anti-aliasing.

El convertor A/D es en ambos casos de 14-bits con comunicación SPI, LT1407. La elección de la frecuencia de muestreo escogida es de 781.25kHz (periodo de muestreo  $T_s = 1.28\mu s$ ), siendo dieciséis veces la frecuencia del inductor. Al adquirir dieciséis muestras por periodo se simplifica el posterior proceso de promediado, pues la división implica un desplazamiento de 4 bits.

Para la transmisión de los datos del convertor A/D a través del protocolo SPI, el elemento central (FPGA) envía la señal de reloj al periférico (A/D) y éste envía los datos a la cadencia que marca dicho reloj. Para poder recoger las muestras de los convertores A/D se ha implementado una máquina de estados, cuyo diagrama se encuentra en la figura 4.18.

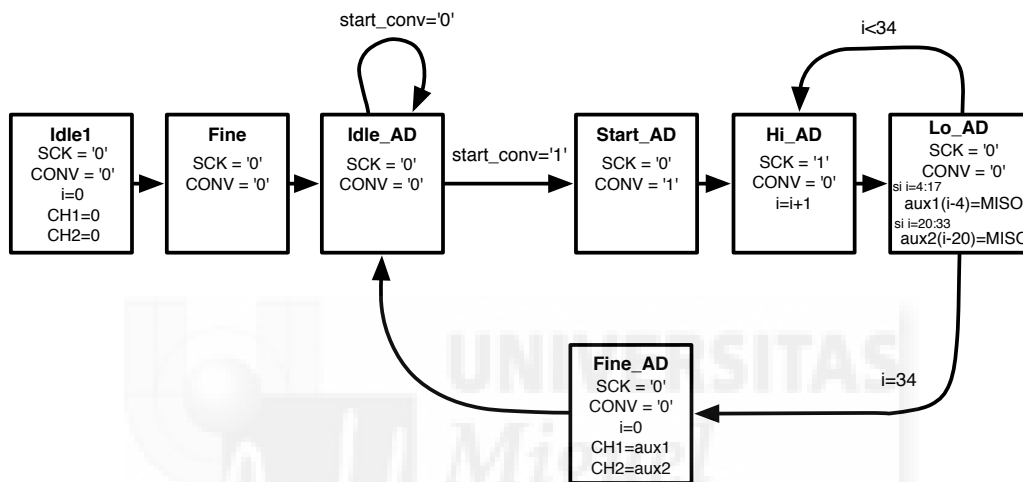


Figura 4.18: Diagrama de estados de la máquina de estados de la interfaz SPI de los convertores A/D.

Por otro lado, el sistema de control debe reducir el tamaño de la parte entera de la señal adquirida, que es de 14 bits, al tamaño de palabra utilizado por el modulador, que es de 11 bits; es decir se pasa de 14 a 11 bits de parte entera, para ello se desplaza la coma fija 3 bits a la izquierda dividiendo por 8, o multiplicando por  $2^{-3}$  el valor del convertor A/D.

La figura 4.19 muestra el diagrama completo del subsistema de control digital del convertidor en modo BUCK y la figura 4.20 hace lo propio para el modo BOOST.

Con el objeto de promediar la corriente del inductor digitalizada, se ha implementado un filtro FIR de dieciséis muestras, el cual suma todos los últimos dieciséis valores digitalizados y divide por dieciséis desplazando cuatro bits a la derecha el resultado de la suma (4.31).

$$y_n = \frac{1}{16} \sum_{i=0}^{15} x_{n-i} \quad (4.31)$$

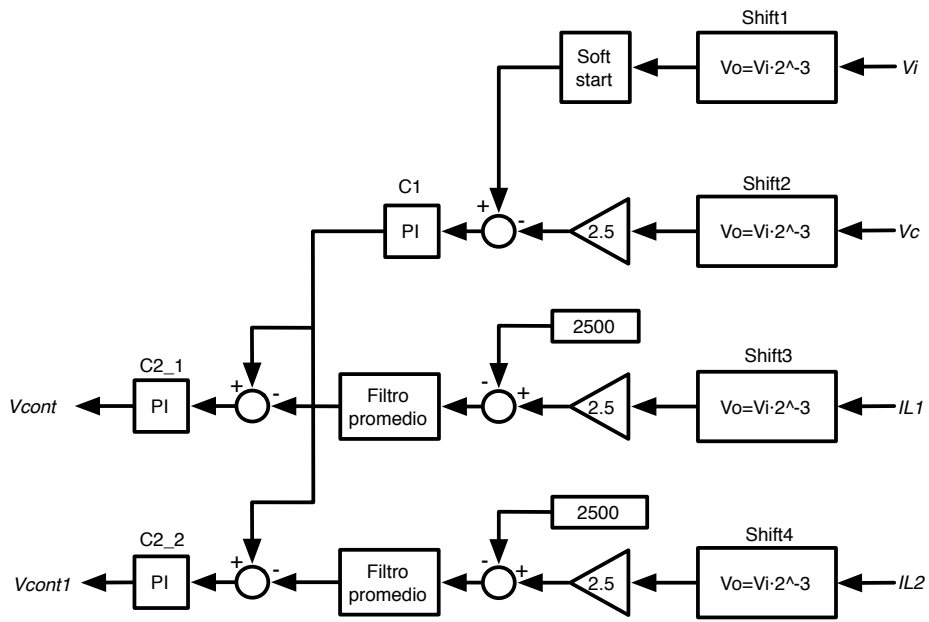


Figura 4.19: Diagrama del subsistema de control digital en modo BUCK.

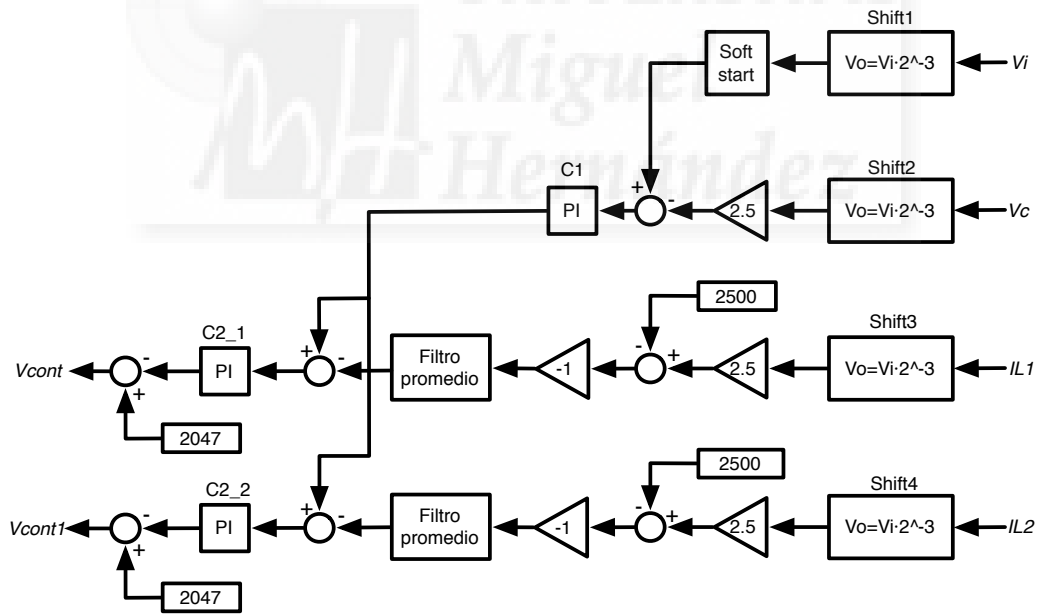


Figura 4.20: Diagrama del subsistema de control digital en modo BOOST.

La figura 4.21 se muestran medidas de las variables internas de la FPGA medidas con el programa *Chipscope* del ISE de XILINX. Las variables internas, son los valores digitales de los conversores A/D de la tensión de salida,  $v_2$  ( $v_{out}$ ) y corrientes por los inductores  $iL1$  e  $iL2$  inmediatamente después de atravesar el desplazador de coma fija (*Shift 1* a *Shift 4* en la figura 4.20) y la variable de control  $d$  que controla el ciclo de trabajo. El convertidor está trabajando en modo BUCK con  $V1 = 100V$ ,  $V2 = 75V$ ,  $I2 = 4A$ . Nótese que los valores digitalizados de la corriente por el inductor presentan cierto desplazamiento, están centrados en 1024, ya que dicho valor es el punto de referencia para corriente cero. Se puede observar claramente el desfase de la corriente en ambos inductores, las dieciséis muestras adquiridas por periodo y el correcto funcionamiento de ambos lazos de realimentación. Por un lado, el lazo de corriente independiente a cada fase asegura un reparto equitativo de la corriente y el lazo de tensión establece una tensión en el nodo V2 estable. Finalmente es remarcable indicar que la variable  $d$  (ciclo de trabajo) apenas sufre cambios en esta situación de estado estacionario.

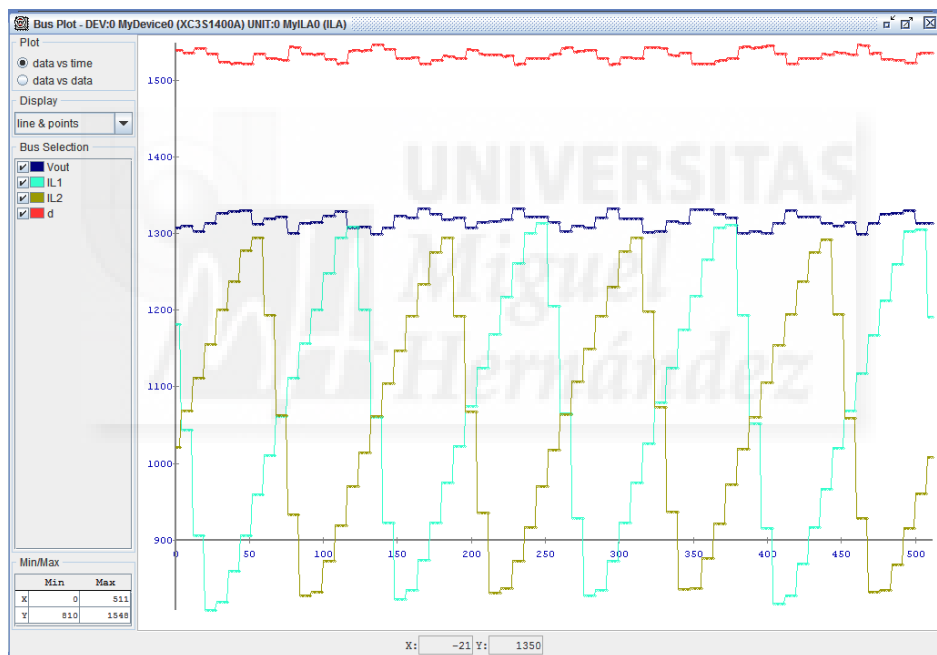


Figura 4.21: Medida de variables internas de la FPGA con la herramienta *Chipscope*.

También se ha implementado un método de arranque suave (*soft-start*) que se encarga de hacer crecer de forma suave la referencia del convertidor en las conexiones iniciales. La figura 4.22 muestra el diagrama de bloques de dicho subsistema para el modo BUCK.

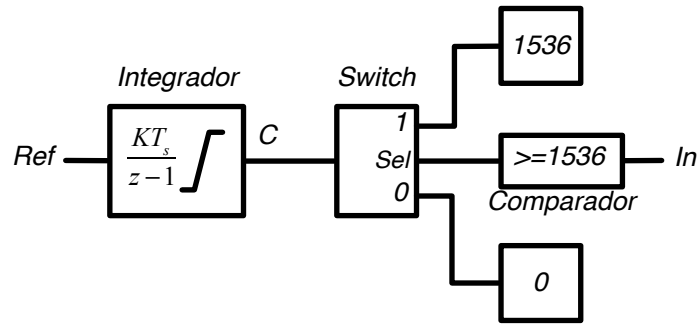


Figura 4.22: Diagrama de bloques del sistema de arranque suave (soft-start).

El integrador tiene una constante  $K$ , en este caso fijada a 80, un tiempo de muestreo  $T$  de  $1.28\mu s$  y unos valores mínimo y máximo (regulación) de 0 y 3300, respectivamente. La rampa resultante del integrador, que es la referencia del convertidor, se rige por la siguiente ecuación en diferencias.

$$Ref_k = Ref_{k-1} + KT_s C \tag{4.32}$$

El tiempo que tarda dicha rampa en alcanzar el máximo valor se obtiene con la ecuación (4.33), que en este caso particular es igual 26.85ms.

$$T_r = \frac{V_{max}}{KC} \tag{4.33}$$

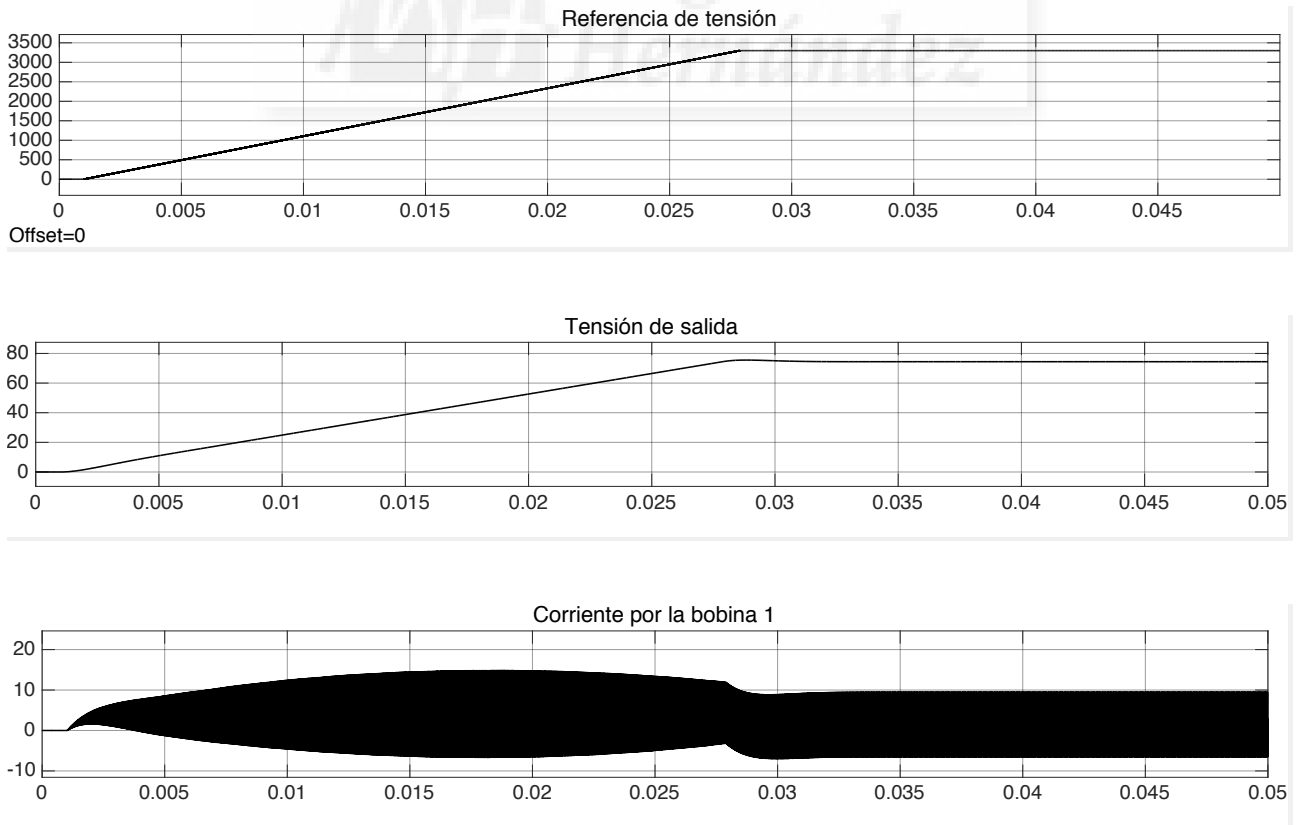


Figura 4.23: Seguimiento de la referencia de tensión en el encendido del convertidor, modo BUCK.



La figura 4.23 muestra el funcionamiento del subsistema de arranque suave. Se puede observar claramente que al inicio la referencia crece poco a poco hasta que se queda enclavada en el punto de regulación, con ello se consigue que la corriente por los inductores crezca también de forma controlada.



## 4.4. RESULTADOS EXPERIMENTALES

Si bien algunos de los resultados han sido incluidos en el apartado anterior, en esta sección se muestran algunos resultados más, que en opinión del autor, son relevantes desde el punto de la validación experimental del prototipo diseñado. Todos los resultados aquí mostrados hacen referencia al modo de disparo DDS.

En primer lugar, se muestran las corrientes de los dos inductores trabajando en modo BUCK en la figura 4.24, y en modo BOOST en la figura 4.25. Se puede observar que el valor medio en el primer caso es positivo, reflejando un flujo de potencia desde la fuente V1 a la fuente V2, mientras que en modo BOOST es la corriente media es negativa, lo cual indica un flujo de potencia desde V2 a V1.

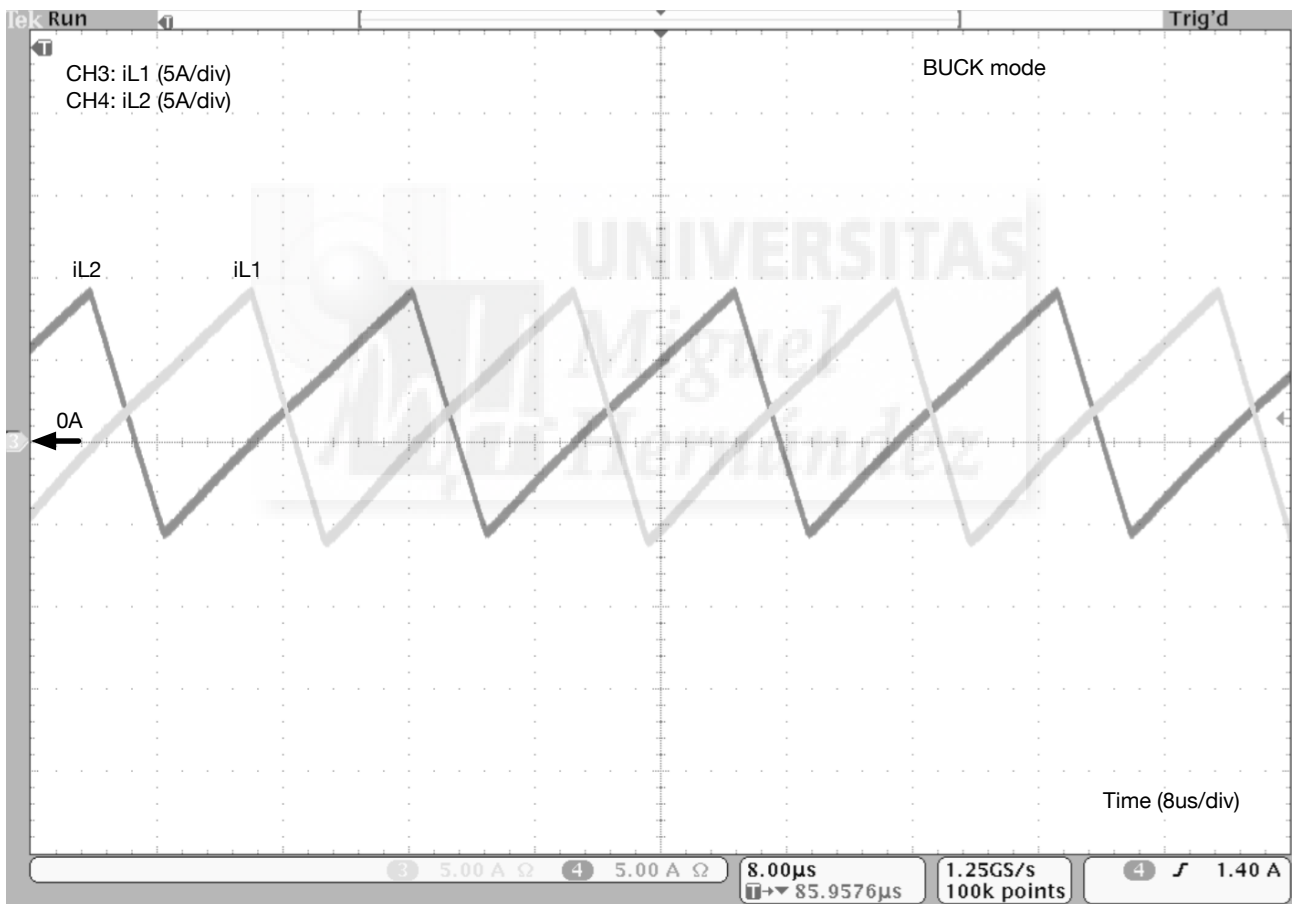


Figura 4.24: Corriente por las inductores en modo BUCK.

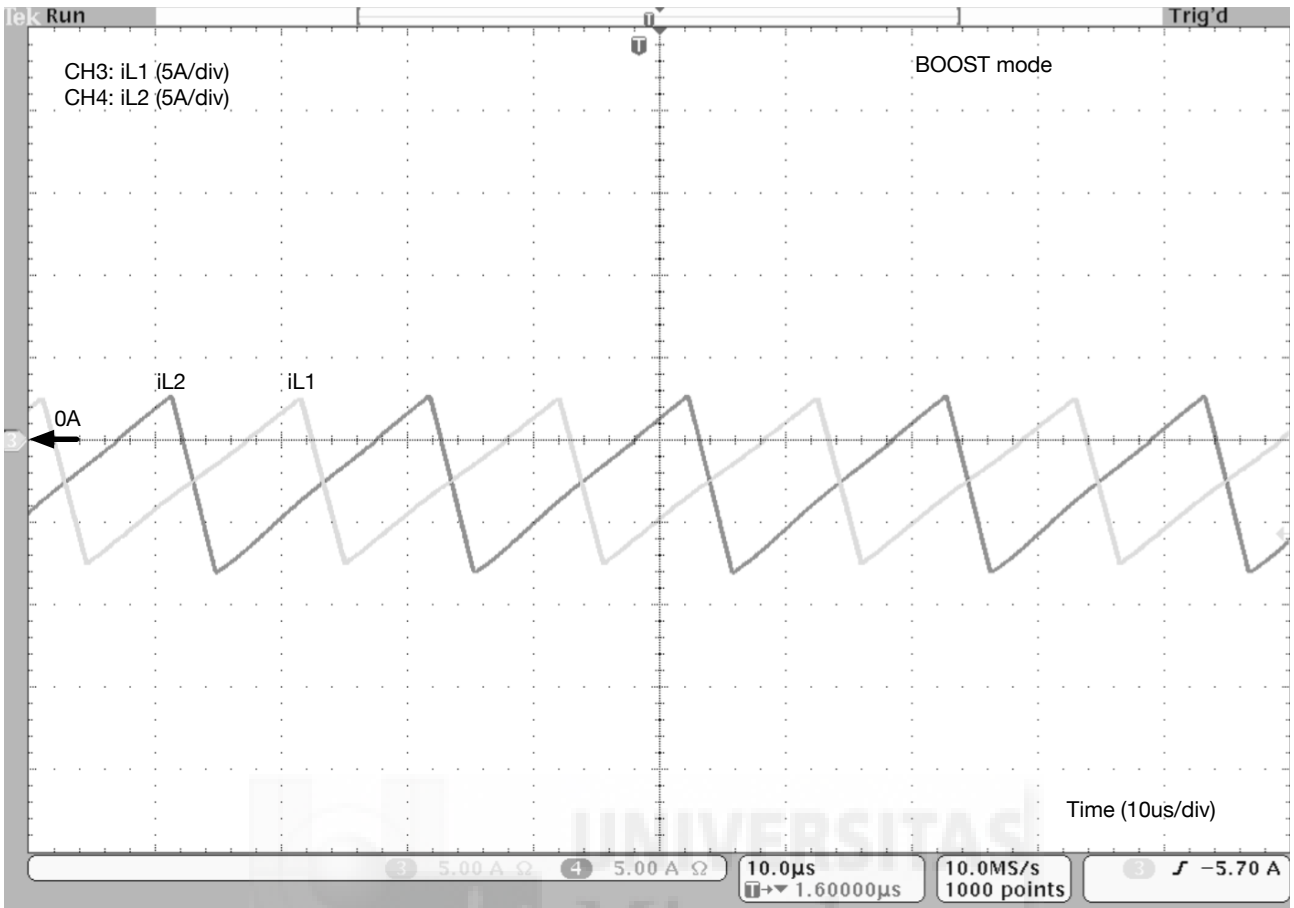


Figura 4.25: Corriente por las inductores en modo BOOST.

En la figura 4.26 se muestra la respuesta dinámica del convertidor en modo BUCK ante saltos de carga, comparando los resultados experimentales y los obtenidos mediante el modelo promediado de simulación. Para poder observar mejor la validez del modelo promediado, la corriente del inductor medida ha sido posteriormente promediada y representada junto a la corriente obtenida mediante simulación. El salto de corriente en el nodo V2 es de 5A a 10A en la figura de la izquierda y de 10A a 5A en la figura de la derecha.

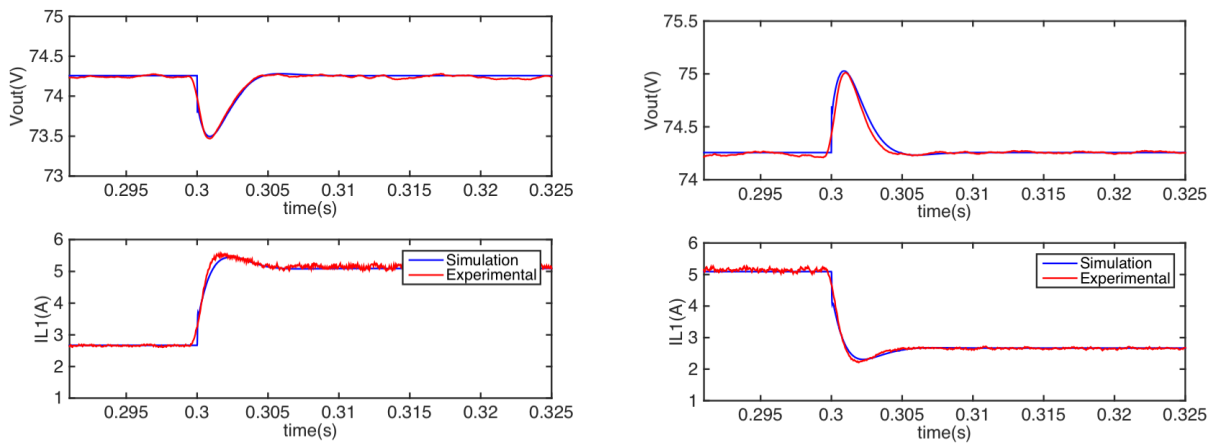


Figura 4.26: Respuesta dinámica frente a saltos de carga en modo BUCK. Resultados de simulación y experimentales.

La respuesta dinámica ante saltos de carga, así como la medida de la eficiencia en modo BOOST, se encuentran en el trabajo [T3] por lo que no se incluyen en esta sección. Para la medida de eficiencia en modo BUCK, se ha realizado considerando varios valores de tensión  $V_1$  y  $V_2$ . La figura 4.27 muestra los resultados para una tensión  $V_1 = 100V$  y  $V_2=75V$ . Una de las principales conclusiones que se obtienen de esta medida es que el rendimiento es relativamente bajo (<85%), siendo este punto uno de los aspectos que se han tenido en cuenta para la implementación de un segundo prototipo, detallado en el siguiente capítulo, capítulo V.

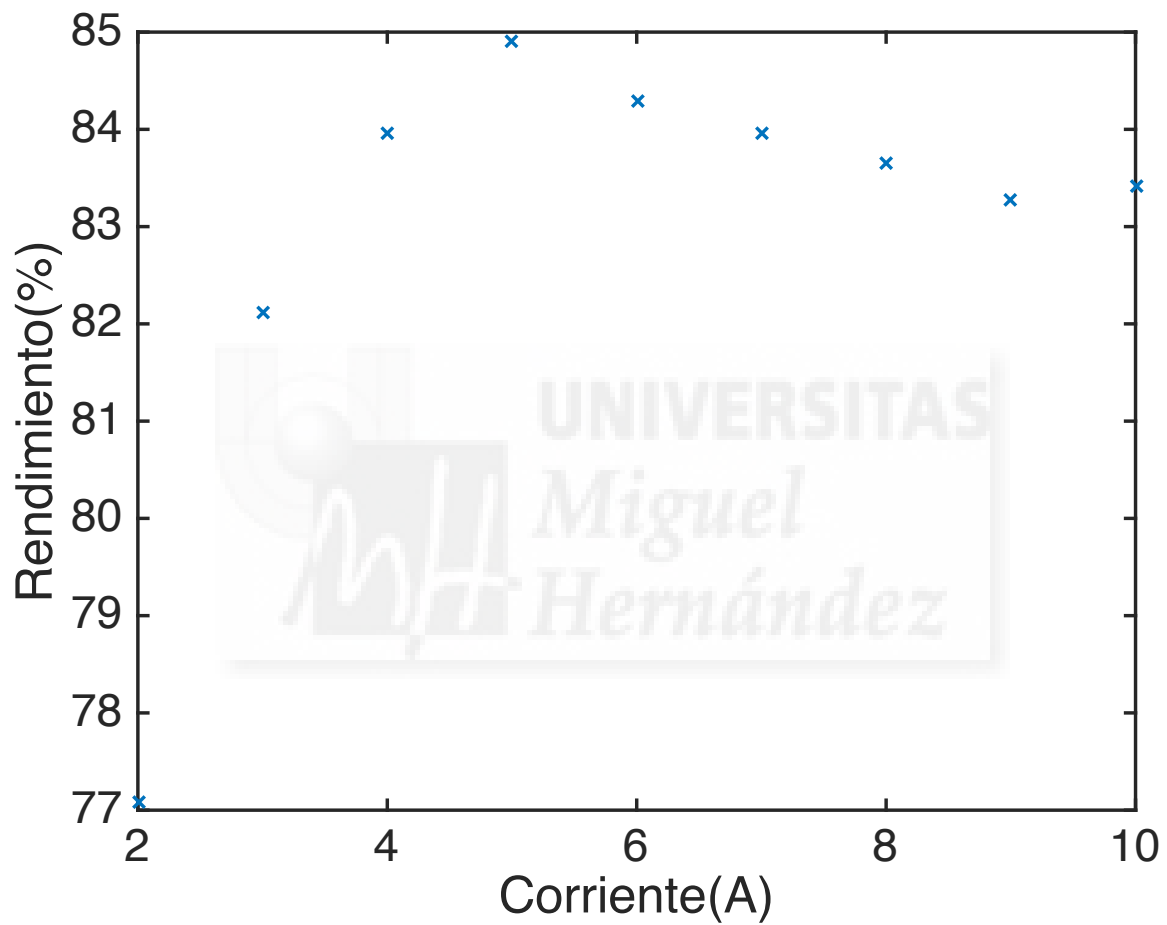


Figura 4.27: Medida de la eficiencia modo BUCK.

# ***Capítulo 5: Diseño y pruebas experimentales del prototipo II: convertidor multidispositivo, multifase, bidireccional (buck-boost), con conmutación suave y reconfiguración dinámica de dispositivos***

---

## **RESUMEN DEL CAPÍTULO 5**

En este capítulo se presentan modificaciones al primer prototipo con los siguientes objetivos, por un lado, aumentar la eficiencia del convertidor y por otro dotar al sistema de control de cierta capacidad de reconfiguración dinámica, para operar con distinto número de ramas en cada módulo, pero manteniendo las mismas prestaciones a nivel de fase. Las modificaciones realizadas incluyen la selección de nuevos interruptores de potencia más adecuados al set-up experimental disponible, estudio de la conmutación suave aplicando el disparo complementario en cada rama de medio puente, estudio de las técnicas de reconfiguración dinámica del número de ramas activas en cada módulo y todo ello implementado en el subsistema de control. En la fase de experimentación se validan los conceptos presentados, mientras que las distintas actividades se recogen en el artículo en revista [T4] y en el trabajo presentado en conferencia internacional [T5].



## 5.1. INTRODUCCIÓN

En el anterior capítulo se ha diseñado y validado experimentalmente un convertidor bidireccional multifase y multidispositivo con dos fases y cuatro ramas; una de las conclusiones finales que se han obtenido con este primer prototipo es que su eficiencia no es especialmente alta, 85% en el mejor de los casos). Por otro lado, en el transcurso de las pruebas, también se ha considerado que podría ser interesante el incluir algún tipo de reconfiguración de las señales PWM, para poder operar cada módulo (fase) con distinto número de ramas en paralelo. Los supuestos en los que puede ser interesante esta característica son varios, pero principalmente la redundancia y la protección frente a fallos son a primera vista las más interesantes. Ante el fallo de alguna de las ramas, normalmente los drivers avanzados incluyen este tipo de telemetría, el sistema de control detecta que dicha rama debe quedar inactiva y actuar sobre las restantes cambiando las propiedades de la señal PWM para que a nivel de fase se mantengan las mismas características, misma frecuencia y rizado de la corriente por el inductor, así como el correcto desfase entre los distintos módulos. Otros escenarios pueden incluir la generación de lazos de control de alto nivel para protección en temperatura, optimización de eficiencia en función del número de dispositivos o módulos activos u otras acciones que se beneficien de una estructura de disparo variable.

Con el objeto de aumentar la eficiencia se han introducido dos modificaciones, por un lado se han cambiado los semiconductores de potencia, y por otro lado se ha aplicado una técnica de conmutación suave sencilla, basada en el ajuste de los tiempos muertos de las señales complementarias de cada medio puente. Así pues, en este segundo prototipo se han empleado IGBTs de menor tensión de bloqueo sin diodo integrado y se han añadido dos diodos de conmutación rápida externos por cada módulo. La figura 5.1 muestra el esquema del segundo prototipo.

La técnica de conmutación suave empleada se basa en la transferencia de carga de la energía almacenada en las capacidades de los semiconductores de potencia (parásitas o snubbers añadidos) durante los tiempos muertos y con la ayuda de la corriente del inductor que cambia de dirección debido a la bidireccionalidad de la estructura. Además se garantiza encendido y apagado de forma natural de algunos semiconductores debido al paso por cero de la corriente del inductor.

La reconfiguración de las señales de disparo se ha concebido de manera hardware mediante lógica combinacional y modificando algunas propiedades del subsistema de generación PWM. Ello garantiza un alto grado de paralelización de las señales y elevada velocidad.

Por último, indicar que para poder optimizar el uso de la fuente DC disponible en el laboratorio, se ha modificado el valor del inductor, siendo ahora de 49 $\mu$ H, cambiando el número de vueltas de 20 a 29. Con ello se consigue un menor rizado de corriente y se ha podido trabajar con  $V_1$  igual 150V y  $V_2$  igual 120V. El resto de parámetros se mantienen igual que en el primer prototipo.

## 5.2. SELECCIÓN DE SEMICONDUCTORES DE POTENCIA Y CONMUTACIÓN SUAVE

Para este segundo prototipo se han cambiado los semiconductores de potencia IRG7PH42UD1 de International Rectifier, por otros FGH50N3 de Fairchild y se ha añadido dos diodos externos de recuperación rápida para cada módulo VS-30CTH03 de Vishay, tal y como se muestra en la figura 5.1.

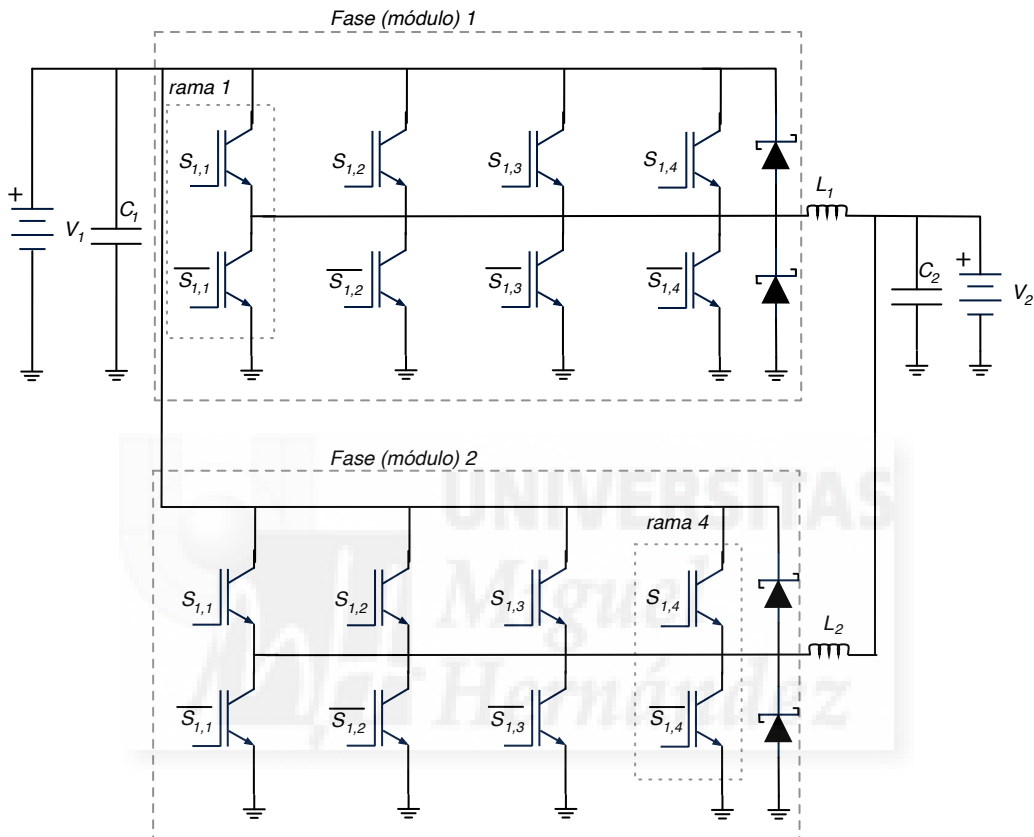


Figura 5.1: Segundo prototipo de convertidor bidireccional de 2 fases y 4 dispositivos (2-4-MIB3C).

Las características más relevantes de los semiconductores de potencia del primer y segundo prototipo, en condiciones nominales, se muestran en la tabla 5.1. Se puede comprobar que al reducir la tensión de bloqueo requerida, el resto de parámetros que afectan a la eficiencia mejoran sensiblemente. Por un lado, la tensión de los dispositivos en conducción,  $V_{CE(on)}$  para los IGBTs y  $V_F$  para los diodos, representan un 0.76 y un 0.74 con respecto a los originales, por otro lado la energía en la conmutación a apagado de los IGBTs, la cual está fuertemente penalizada por la cola de corriente de este tipo de dispositivos, representa en condiciones nominales el 0.08 de la energía del dispositivo del primer prototipo. Si bien, es importante resaltar que dichos valores de energía son a tensiones de conmutación totalmente distintas, 600V y 180V, la reducción de pérdidas de conmutación es relevante, incluso si se considerase una simple interpolación de los datos. Las características dinámicas de los diodos no tienen en esta ocasión una especial relevancia pues la conmutación a apagado, donde se producen las mayores pérdidas, se hace de forma natural y no existe fenómeno de recuperación inversa.



Así pues, el cambio de dispositivos supone una ventaja en términos de unas menores pérdidas a nivel global, como se puede comprobar a continuación.

| <b>IGBT</b>  | $V_{CES}$ | $I_{NOMINAL}$ | $V_{CE(on)}$ | $E_{off}$ |
|--------------|-----------|---------------|--------------|-----------|
| IRG7PH42UD1  | 1200V     | 85A           | 1.7V         | 1200uJ    |
| FGH50N3      | 300V      | 75A           | 1.3V         | 100uJ     |
| <b>DIODO</b> | $V_R$     | $I_{F(AV)}$   | $V_F$        | $Q_{rr}$  |
| IRG7PH42UD1  | 1200V     | 70A           | 1.15V        | -         |
| VS-30CTH03   | 300V      | 30A           | 0.85V        | 46nC      |

Tabla 5.1: Características de los semiconductores de potencia de los prototipos primero y segundo.

Por otro lado, se entiende como conmutación suave, a aquel mecanismo que permite reducir las pérdidas de potencia debidas a la conmutación no ideal de los semiconductores de potencia. Este proceso de conmutación viene determinado por una serie de capacidades e inductancias parásitas asociadas a los propios semiconductores, pero también al montaje del convertidor (placa de circuito impreso, conectores, etc). A modo de ejemplo, la figura 5.2 representa de manera simplificada las formas de onda de tensión y corriente de un semiconductor de potencia, trabajando en condiciones de conmutación dura con carga inductiva, como es el caso que nos ocupa. Se puede observar en la figura, que en estas condiciones el semiconductor de potencia empieza a conducir antes de que sea capaz de reducir su tensión al valor que alcanza en conducción, generando, por tanto, pérdidas en la conmutación a encendido. De forma análoga, durante la conmutación a apagado, el semiconductor empieza a bloquear tensión antes de extinguirse la corriente que circula por el.

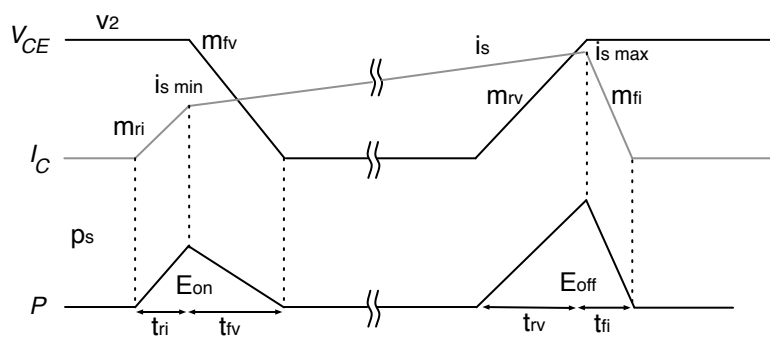


Figura 5.2:  $V_{CE}$  (negro) e  $I_C$  (gris) en un transistor de potencia en conmutación dura.

Con las técnicas de conmutación suave, lo que se pretende es evitar el solapamiento en el tiempo de la tensión y de la corriente para minimizar las pérdidas asociadas a la conmutación, tal y como se muestra de forma simplificada en la figura 5.3.

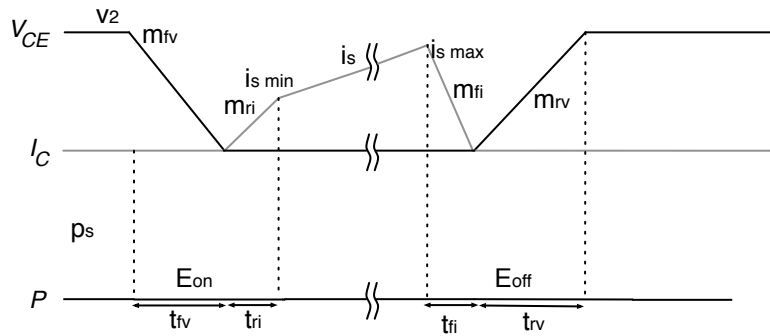


Figura 5.3:  $V_{CE}$  (negro) e  $I_C$  (gris) en un transistor de potencia con conmutación suave.

El principio de funcionamiento del método de conmutación suave utilizado en este trabajo, se puede explicar a partir de la figura 5.4, la cual muestra un circuito simplificado de una de las fases.

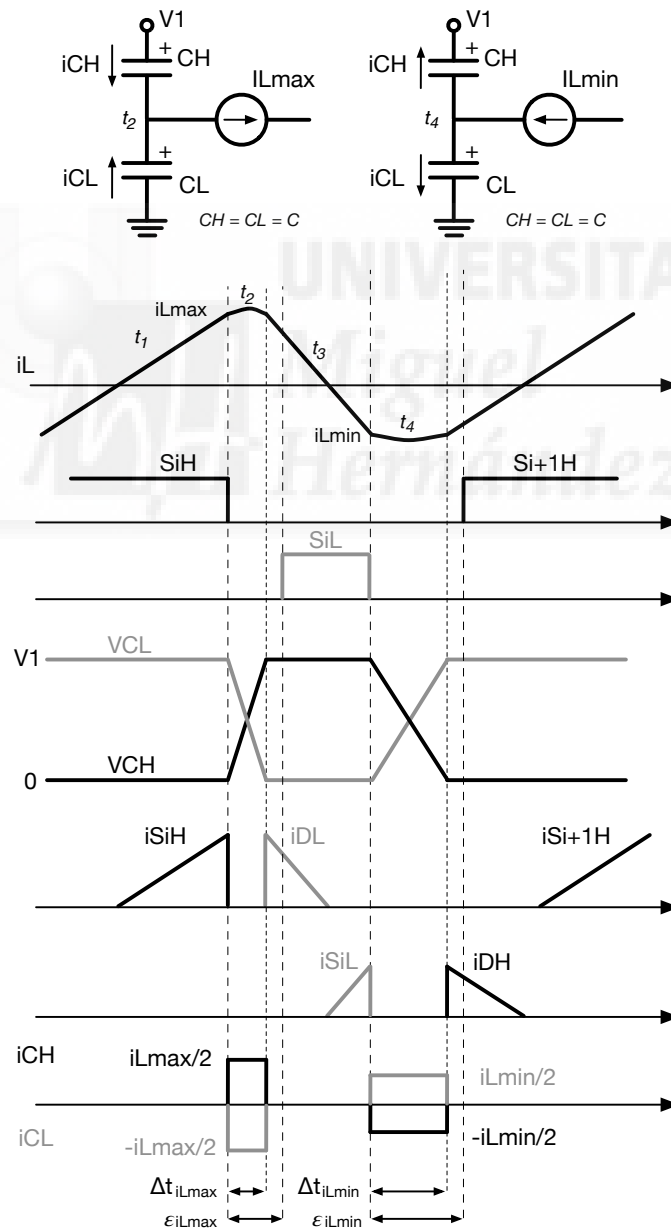


Figura 5.4: Formas de onda idealizadas del método de conmutación suave empleado.

Antes de analizar los distintos estados topológicos, hay que indicar lo siguiente, para conseguir la conmutación suave es necesario considerar los siguientes aspectos:

- Disponer de estructuras en medio puente con diodos de libre circulación, tanto para el transistor superior como el inferior.
- Son necesarias sendas capacidades en paralelo con los dispositivos superiores e inferiores. El valor necesario de capacidad puede quedar establecido por las capacidades parásitas (semiconductor de potencia, placa de circuito impreso y conector), o ajustando con una capacidad externa el condensador de snubber.
- Garantizar corriente bidireccional en el inductor de potencia, para realizar un intercambio de energía entre las capacidades superiores e inferiores, y tener conmutación natural de los semiconductores de potencia en el paso por cero.
- Ajuste de los tiempos muertos entre disparos de los semiconductores superiores e inferiores, para realizar el intercambio de carga entre las capacidades.

Empezando por el intervalo denominado  $t_1$ , siendo la corriente del inductor positiva. En estos momentos, la señal de disparo de un IGBT superior está en estado alto ( $SiH=1$ ), por tanto la corriente del inductor circula a través de dicho transistor, estando la capacidad superior,  $CH$ , cortocircuitada y la tensión del condensador  $CL$  igual a  $V1$ . En cierto instante la señal de disparo  $SiH$  cambia a estado bajo,  $SiH=0$ , y dicho IGBT pasa a corte. Idealmente esta transición es instantánea, aunque es de sobra conocido que la conmutación a apagado está determinada por la cola de corriente del IGBT. De todas formas, el efecto de la capacidad superior permite que la conmutación a OFF del IGBT  $SiH$  ocurra en condiciones de cero tensión.

Siguiendo con la descripción de la figura 5.4, en el intervalo  $t_2$  la corriente del inductor, la cual se puede aproximar a un valor constante,  $i_{Lmax}$ , se emplea para descargar la capacidad inferior  $CL$  y cargar la capacidad superior  $CH$ . Por simplicidad, se considera que ambas capacidades tienen el mismo valor, y por tanto la corriente del inductor se divide por igual en ambas capacidades y coinciden los tiempos de carga y descarga de  $CH$  y  $CL$ . Así pues, el tiempo de carga y descarga,  $\Delta t_{iLmax}$ , vendrá dado por la ecuación (5.1).

$$\Delta t_{iLmax} = \frac{2V_1 C}{i_{Lmax}} \quad (5.1)$$

Cuando la tensión de la capacidad inferior llega a cero, entonces el diodo inferior se polariza en directo y empieza a conducir la corriente del inductor. La conmutación a encendido del diodo se produce en condiciones de cero tensión.

A continuación, ya en el intervalo  $t_3$ , con un tiempo muerto  $\epsilon_{iLmax}$  mayor que el tiempo  $\Delta t_{iLmax}$ , se dispara el IGBT inferior ( $SiL=1$ ). En los primeros momentos la corriente sigue siendo positiva aunque con pendiente negativa, lo que hace que el diodo de libre circulación inferior siga conduciendo. En el momento del paso por cero de la corriente, el diodo de forma natural se apaga y el IGBT empieza a conducir. Ambas

transiciones, se producen con tensión cero y corriente cero. El detalle importante es que la conmutación a apagado de forma natural evita las pérdidas debidas a la recuperación inversa del diodo.

El intervalo  $t_4$  empieza cuando la señal de disparo SiL pasa a nivel bajo ( $SiL=0$ ). A partir de este momento se repite un proceso similar al detallado en el intervalo  $t_2$ . En esta ocasión la corriente negativa del inductor,  $i_{Lmin}$ , se emplea a partes iguales para descargar la capacidad superior y cargar la inferior, siguiendo la ecuación (5.2). Tanto la conmutación a apagado del IGBT inferior como la conmutación a encendido del diodo superior se hacen en condiciones de cero tensión. El tiempo muerto necesario,  $\epsilon_{iLmin}$ , debe ser mayor al tiempo de carga y descarga de las capacidades  $\Delta t_{iLmin}$ .

$$\Delta t_{iLmin} = \frac{2V_1C}{i_{Lmin}} \tag{5.2}$$

A modo de ejemplo, se muestra, en la figura 5.5, la conmutación de un IGBT superior, donde se observa la condición de cero tensión tanto en el encendido como en el apagado.

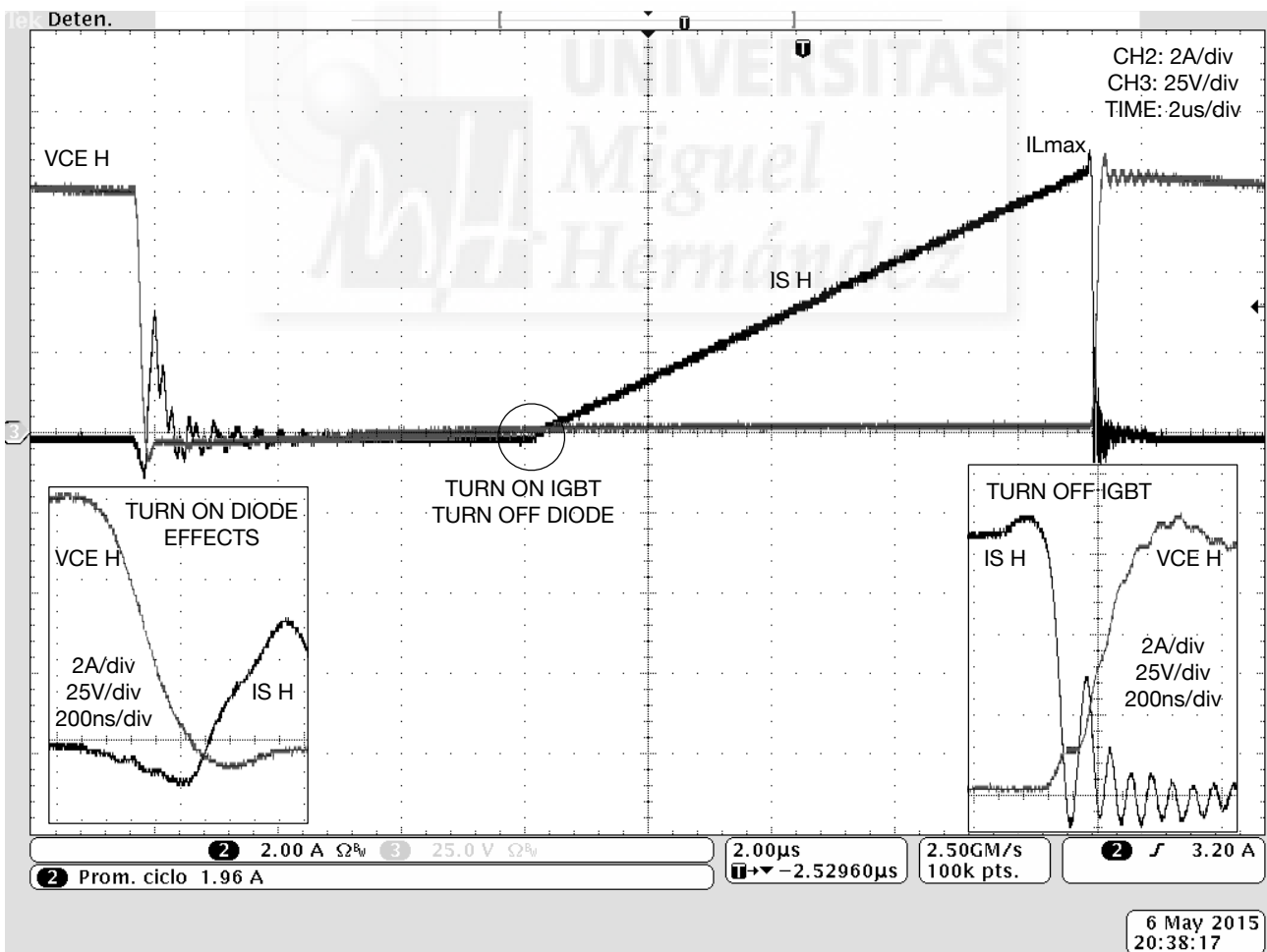


Figura 5.5: Detalle de la conmutación de un IGBT superior.

Por otro lado, la figura 5.6 muestra el detalle de la conmutación del diodo superior, donde se aprecia igualmente la condición de cero tensión tanto en el encendido como en el apagado.

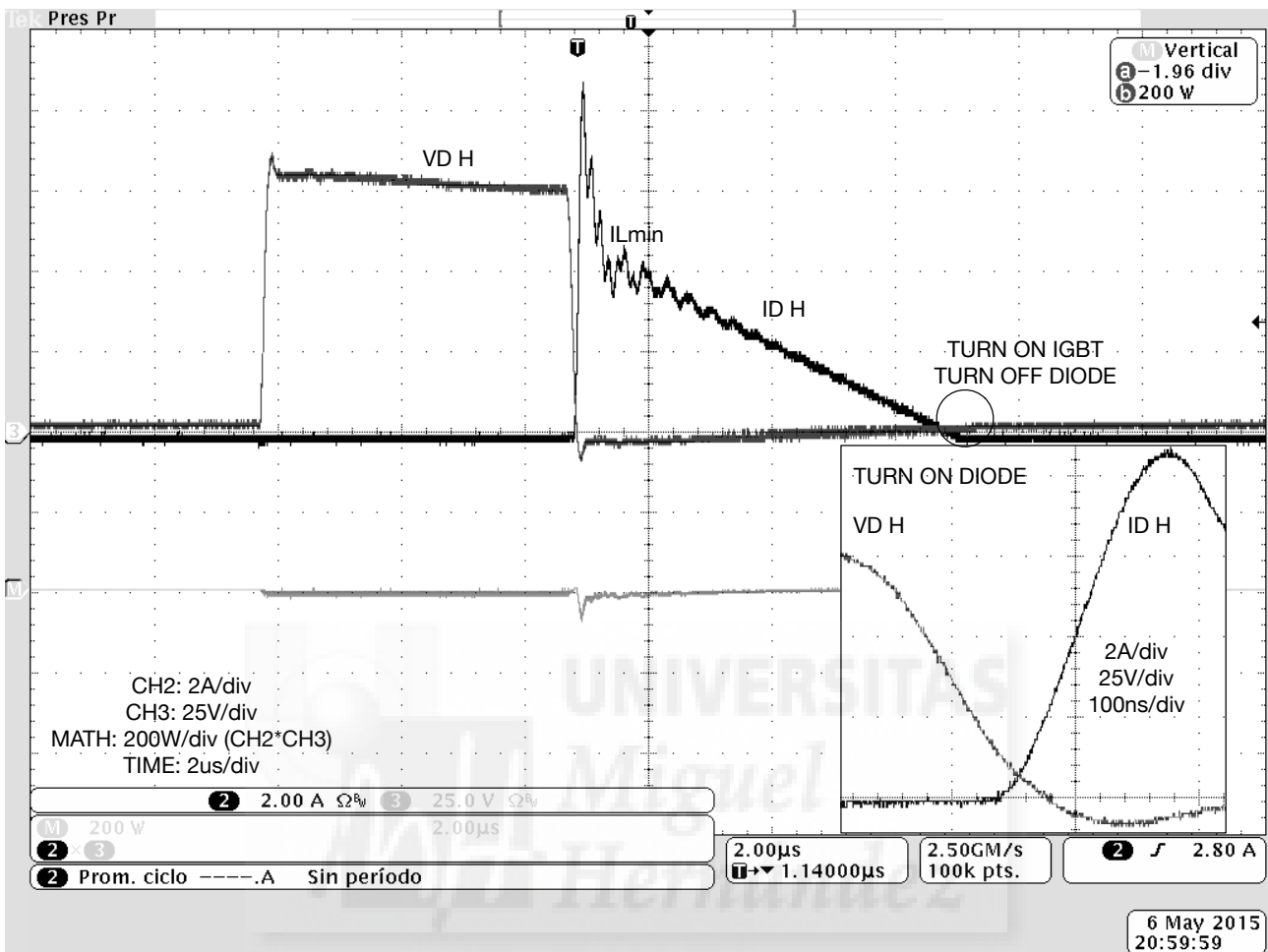


Figura 5.6: Detalle de la conmutación del diodo superior.

Garantizar la carga y descarga de las capacidades superior e inferior, depende de varios factores  $V1$ ,  $CH$ ,  $CL$ ,  $i_{Lmax}$  e  $i_{Lmin}$ , que a su vez dependen de otros; por ejemplo, la corriente máxima y mínima por el inductor, dependen de la corriente media por el inductor y del rizado de la misma. Las capacidades  $CH$  y  $CL$ , dependen de las capacidades parásitas de los semiconductores, de la placa de circuito impreso o de los conectores empleados. Mientras que por otro lado, efectos de segundo orden, como las inductancias parásitas o la cola de corriente de los IGBTs no han sido tenidos en cuenta.

Con todo ello, la conclusión que se obtiene es, que un ajuste realizado de forma teórica es extremadamente complejo, y se ha optado por la prueba de varios tiempos muertos y capacidades snubber, para ver cual es el efecto en la eficiencia global del sistema. Las pruebas se han realizado tanto en modo BUCK como en modo BOOST y en lazo abierto, ajustando el ciclo de trabajo del interruptor de control. Las medidas de eficiencia se han efectuado considerando las siguientes condiciones:

- Modo BUCK (n=2; m=4):  $V_1 = 150V$ ;  $M' = \{112.5V, 120V, 127.5V\}$ ;  $f = 12.2kHz$ ;  $L = 49\mu H$ ;  
 $\epsilon_{iLmax} = \epsilon_{iLmin} = \{1\mu s, 2\mu s\}$ ;  $C_{snubber} = \{\text{sin capacidad}, 1.5nF, 4.7nF\}$
- Modo BOOST (n=2; m=4):  $V_2 = \{112.5V, 120V, 127.5V\}$ ;  $V_1 = 150V$ ;  $f = 12.2kHz$ ;  $L = 49\mu H$ ;  
 $\epsilon_{iLmax} = \epsilon_{iLmin} = \{1\mu s, 2\mu s\}$ ;  $C_{snubber} = \{\text{sin capacidad}, 1.5nF, 4.7nF\}$

La figura 5.7 muestra, a modo de ejemplo, la captura de pantalla del vatímetro en el siguiente caso, modo BUCK, tiempo muerto de 2us, sin capacidad de snubber, relación de transformación de tensión,  $M'=0.8$  y corriente en el nodo V2 igual a 10A.



Figura 5.7: Detalle de las pantallas del vatímetro empleado para la medida de eficiencia del convertidor.

La figura 5.8 recoge las medidas de eficiencia en modo BUCK para distinta corriente en el nodo V2.

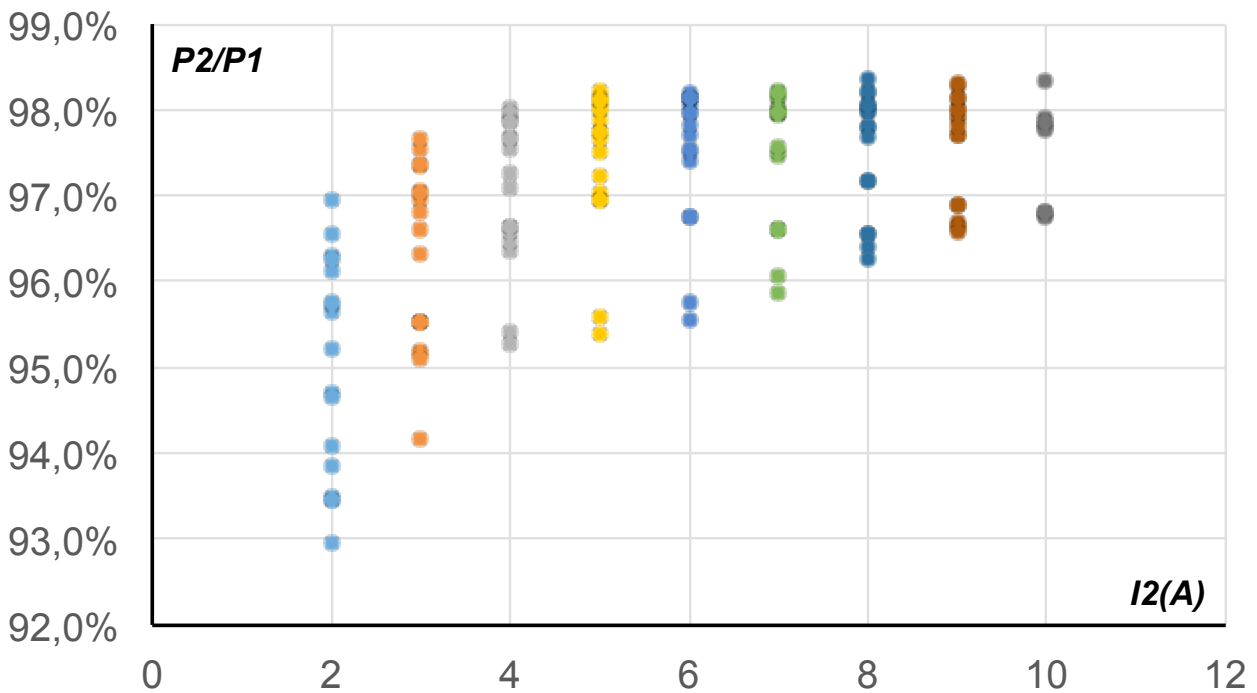


Figura 5.8: Medida de eficiencia 2-4-MIB3C en modo BUCK.

Los mínimos valores de eficiencia que se han obtenido en las pruebas, han sido con una mayor capacidad de snubber, 4.7nF. La razón es que una excesiva capacidad no permite una transferencia completa de carga entre las capacidades con el tiempo muerto establecido, por lo que existirá cierto solapamiento entre la corriente y la tensión en la transición. Por otro lado, también existe una limitación de la duración del tiempo muerto en función del periodo de conmutación. Resaltar que de forma global los mejores resultados se han obtenido sin capacidad de snubber y con un tiempo muerto de 1us y que en cualquier caso la eficiencia promedio se ha medido alrededor del 97%, y la máxima cercana al 98.5%, muy superior a los resultados del primer prototipo descritos en el capítulo cuarto.

Los resultados de la medida de eficiencia en modo BOOST se muestran en la figura 5.9. La figura muestra las distintas medidas de eficiencia, teniendo en cuenta las distintas configuraciones en función de la corriente en el nodo V1.

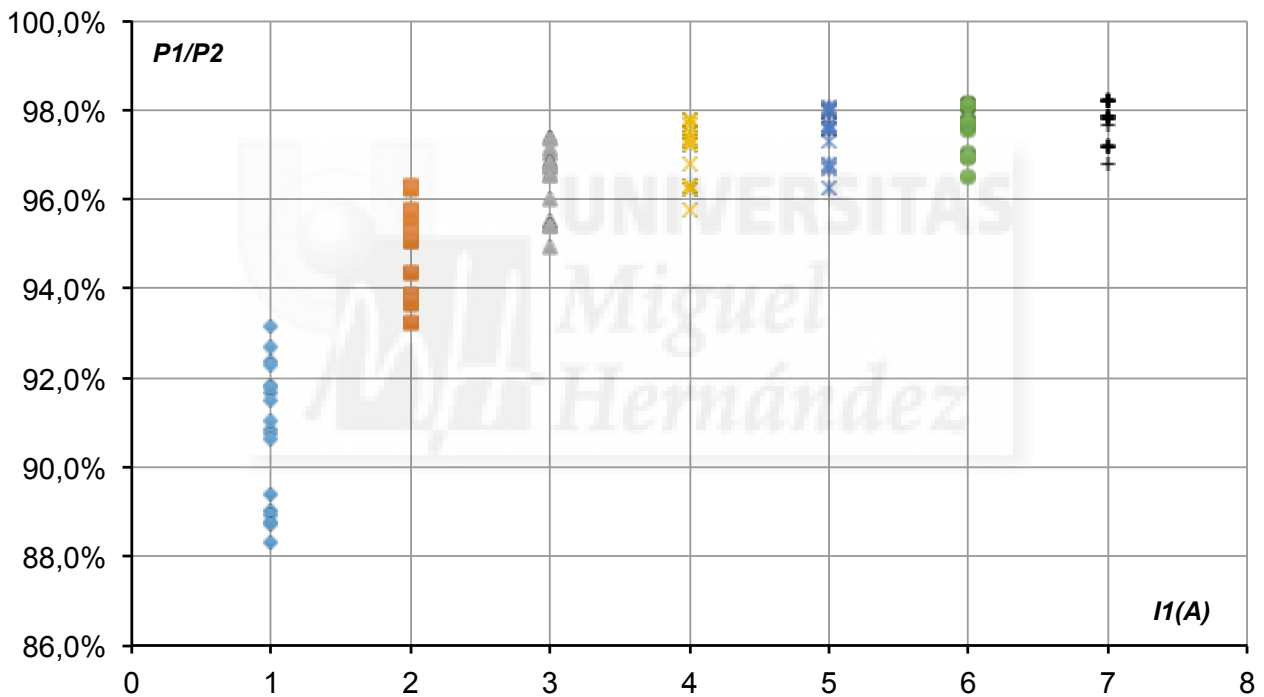


Figura 5.9: Medida de eficiencia 2-4-MIB3C en modo BOOST.

De nuevo, se puede observar que existe una pérdida de eficiencia debida a un valor excesivo en la capacidad de snubber, 4.7nF. Al igual que en las medidas en modo BUCK, la mejor configuración de forma global ha sido aquella que no emplea capacidad de snubber, siendo suficiente la capacidad parásita del propio prototipo y con un tiempo muerto de 1us. El valor promedio resultante de todas las medidas, para el modo BOOST, es 96%, superando de forma notable a los resultados obtenidos con el primer prototipo.

### 5.3. RECONFIGURACIÓN DINÁMICA DE LAS SEÑALES PWM

Si bien, la generación de señales PWM es la misma que en el capítulo 4, en este segundo prototipo se ha añadido una nueva funcionalidad a dicho subsistema. En particular, se ha dotado al generador PWM la posibilidad de habilitar y deshabilitar distintas ramas de una misma fase, manteniendo las mismas características a nivel de fase, es decir misma frecuencia y rizado de corriente en el inductor, así como el correcto desfase entre fases. Este nuevo subsistema, formado únicamente por lógica combinatorial, realiza tres tareas principales, en primer lugar, identifica que rama o ramas deben ser habilitadas o deshabilitadas a partir de una señal externa (denominada *Dev OK*); a continuación, ajusta la frecuencia de conmutación de los dispositivos en función del número de ramas habilitadas, y finalmente distribuye de forma correcta las distintas señales PWM a las distintas salidas (ramas habilitadas).

La figura 5.10, muestra el principio de funcionamiento del generador PWM con reconfiguración dinámica, ante la desconexión de una de las ramas del módulo.

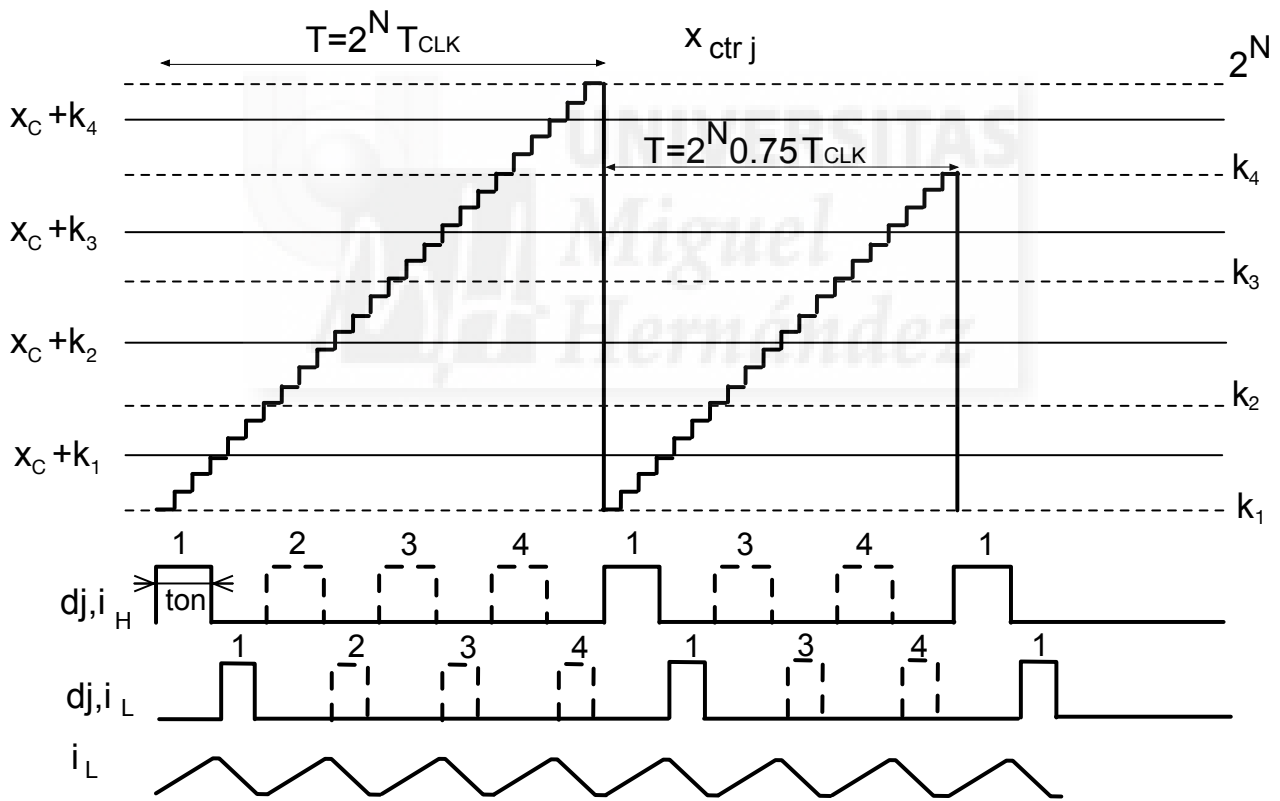


Figura 5.10: Principio de funcionamiento del generador PWM digital reconfigurable propuesto.

En la figura 5.11a se muestra el esquema completo del generador de señal PWM digital, nótese que las entradas  $d_{x,i}$  de la figura 5.11b, hacen referencia a  $d_{x,i}$  y a  $/d_{x,i}$ , y las salidas  $Out_{x,i}$  hacen referencia a  $Out_{x,i}$  y a  $/Out_{x,i}$ , siendo  $x$  el número de fase, que vale 1 o 2 y la  $i$  el número de dispositivo que va de 1 a 4. Las entradas  $d_{x,i}$  van conectadas a las salidas  $d_{1,1}$  a  $d_{1,4}$ ,  $d_{2,1}$  a  $d_{2,4}$ ,  $/d_{1,1}$  a  $/d_{1,4}$  y  $/d_{2,1}$  a  $/d_{2,4}$  del circuito de la figura 5.11a. El funcionamiento se detalla a continuación.



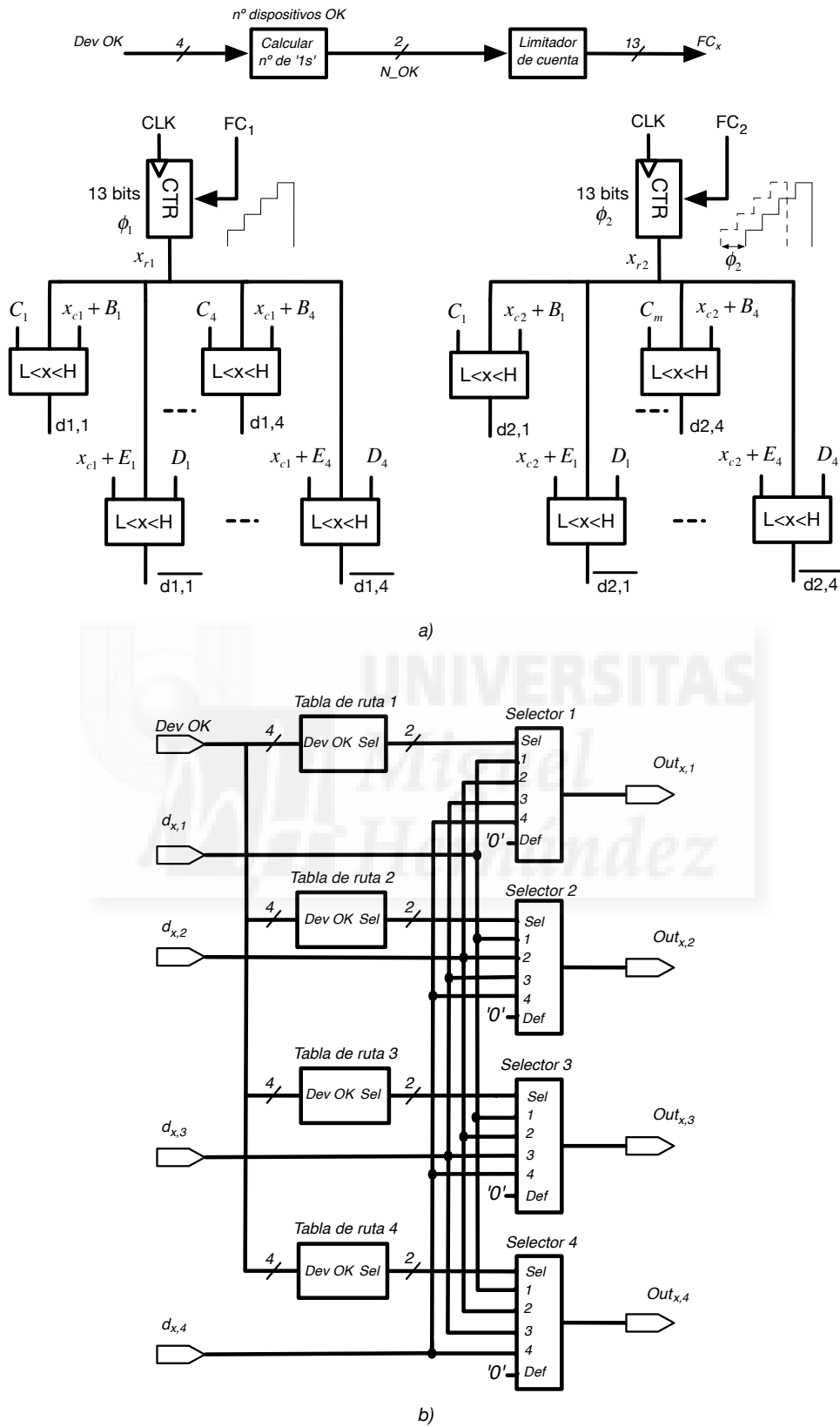


Figura 5.11: Diagrama completo del generador de PWM digital propuesto: a) circuito generador de PWM, b) circuito de distribución de señales.

El sistema genera señales PWM en función de las ramas habilitadas (*Dev\_OK*); a partir de las ramas habilitadas (1's en *Dev\_OK*), se obtiene el número de ramas habilitadas (*N\_OK*) a partir de la tabla de verdad representada en la tabla 5.2.

| Dev_OK         |                |                |                | N_OK |
|----------------|----------------|----------------|----------------|------|
| S <sub>4</sub> | S <sub>3</sub> | S <sub>2</sub> | S <sub>1</sub> |      |
| 0              | 0              | 0              | 0              | 0    |
| 0              | 0              | 0              | 1              | 1    |
| 0              | 0              | 1              | 0              | 1    |
| 0              | 0              | 1              | 1              | 2    |
| 0              | 1              | 0              | 0              | 1    |
| 0              | 1              | 0              | 1              | 2    |
| 0              | 1              | 1              | 0              | 2    |
| 0              | 1              | 1              | 1              | 3    |
| 1              | 0              | 0              | 0              | 1    |
| 1              | 0              | 0              | 1              | 2    |
| 1              | 0              | 1              | 0              | 2    |
| 1              | 0              | 1              | 1              | 3    |
| 1              | 1              | 0              | 0              | 2    |
| 1              | 1              | 0              | 1              | 3    |
| 1              | 1              | 1              | 0              | 3    |
| 1              | 1              | 1              | 1              | 4    |

Tabla 5.2: Tabla de verdad para determinar el número de ramas habilitadas.

A partir de este circuito combinacional, se indica al generador PWM el valor máximo del contador, de forma que se varíe la frecuencia de conmutación y las señales PWM que deben ser generadas, tablas 5.3 y 5.4, respectivamente.

| N_OK | FC   |
|------|------|
| 1    | 2047 |
| 2    | 4095 |
| 3    | 6143 |
| 4    | 8191 |

Tabla 5.3: Número de fin de cuenta en función del número de dispositivos activos.

| FC   | D <sub>x,4</sub> | D <sub>x,3</sub> | D <sub>x,2</sub> | D <sub>x,1</sub> |
|------|------------------|------------------|------------------|------------------|
| 2047 | 0                | 0                | 0                | PWM              |
| 4095 | 0                | 0                | PWM              | PWM              |
| 6143 | 0                | PWM              | PWM              | PWM              |
| 8191 | PWM              | PWM              | PWM              | PWM              |

Tabla 5.4: Salidas del DPWM habilitadas en función del número de fin de cuenta.

Por último, las señales PWM generadas, se distribuyen a los pines de salida mediante unos selectores gobernados por una tabla de rutas, figura 5.9b. La tabla de verdad de la función “Tabla de ruta 1 a 4”, que relaciona las salidas (pines) del circuito  $Out_{x,i}$  con las entradas (señales PWM)  $D_{x,i}$ , en función de la entrada *Dev\_OK*, se muestra a continuación en la tabla 5.5.

| Dev_OK         |                |                |                |                    |                    |                    |                    |
|----------------|----------------|----------------|----------------|--------------------|--------------------|--------------------|--------------------|
| S <sub>4</sub> | S <sub>3</sub> | S <sub>2</sub> | S <sub>1</sub> | Out <sub>x,4</sub> | Out <sub>x,3</sub> | Out <sub>x,2</sub> | Out <sub>x,1</sub> |
| 0              | 0              | 0              | 0              | 0                  | 0                  | 0                  | 0                  |
| 0              | 0              | 0              | 1              | D <sub>x,4</sub>   | D <sub>x,3</sub>   | D <sub>x,2</sub>   | D <sub>x,1</sub>   |
| 0              | 0              | 1              | 0              | D <sub>x,4</sub>   | D <sub>x,3</sub>   | D <sub>x,1</sub>   | D <sub>x,2</sub>   |
| 0              | 0              | 1              | 1              | D <sub>x,4</sub>   | D <sub>x,3</sub>   | D <sub>x,2</sub>   | D <sub>x,1</sub>   |
| 0              | 1              | 0              | 0              | D <sub>x,4</sub>   | D <sub>x,1</sub>   | D <sub>x,2</sub>   | D <sub>x,3</sub>   |
| 0              | 1              | 0              | 1              | D <sub>x,4</sub>   | D <sub>x,2</sub>   | D <sub>x,3</sub>   | D <sub>x,1</sub>   |
| 0              | 1              | 1              | 0              | D <sub>x,4</sub>   | D <sub>x,1</sub>   | D <sub>x,2</sub>   | D <sub>x,3</sub>   |
| 0              | 1              | 1              | 1              | D <sub>x,4</sub>   | D <sub>x,3</sub>   | D <sub>x,2</sub>   | D <sub>x,1</sub>   |
| 1              | 0              | 0              | 0              | D <sub>x,1</sub>   | D <sub>x,4</sub>   | D <sub>x,3</sub>   | D <sub>x,2</sub>   |
| 1              | 0              | 0              | 1              | D <sub>x,2</sub>   | D <sub>x,3</sub>   | D <sub>x,4</sub>   | D <sub>x,1</sub>   |
| 1              | 0              | 1              | 0              | D <sub>x,1</sub>   | D <sub>x,3</sub>   | D <sub>x,2</sub>   | D <sub>x,4</sub>   |
| 1              | 0              | 1              | 1              | D <sub>x,3</sub>   | D <sub>x,4</sub>   | D <sub>x,2</sub>   | D <sub>x,1</sub>   |
| 1              | 1              | 0              | 0              | D <sub>x,2</sub>   | D <sub>x,1</sub>   | D <sub>x,4</sub>   | D <sub>x,3</sub>   |
| 1              | 1              | 0              | 1              | D <sub>x,2</sub>   | D <sub>x,3</sub>   | D <sub>x,4</sub>   | D <sub>x,1</sub>   |
| 1              | 1              | 1              | 0              | D <sub>x,3</sub>   | D <sub>x,2</sub>   | D <sub>x,1</sub>   | D <sub>x,4</sub>   |
| 1              | 1              | 1              | 1              | D <sub>x,4</sub>   | D <sub>x,3</sub>   | D <sub>x,2</sub>   | D <sub>x,1</sub>   |

Tabla 5.5: Tabla de verdad de las tablas de ruta 1 a 4.

En la tabla de verdad 5.5, las casillas marcadas en gris, corresponden a ramas deshabilitadas y por tanto sus salidas estarán a nivel bajo; las casillas sin marcar, corresponden a ramas habilitadas y sus salidas presentarán la correspondiente señal PWM.

En la figura 5.12, se muestra la simulación MATLAB-SIMULINK del funcionamiento de una fase del convertidor, con reconfiguración dinámica del PWM ante la desconexión de una de las ramas. Se puede observar, que en cierto instante, estando la señal PWM de la tercera rama a estado alto, se produce la desconexión de dicha rama. Para no alterar el comportamiento de la corriente por el inductor, la siguiente rama pasa a completar el ciclo de trabajo al tiempo que se reajusta la frecuencia de conmutación de las tres ramas activas. Así pues, tanto la tensión de salida como la corriente del inductor no se ven afectados ante esta situación.

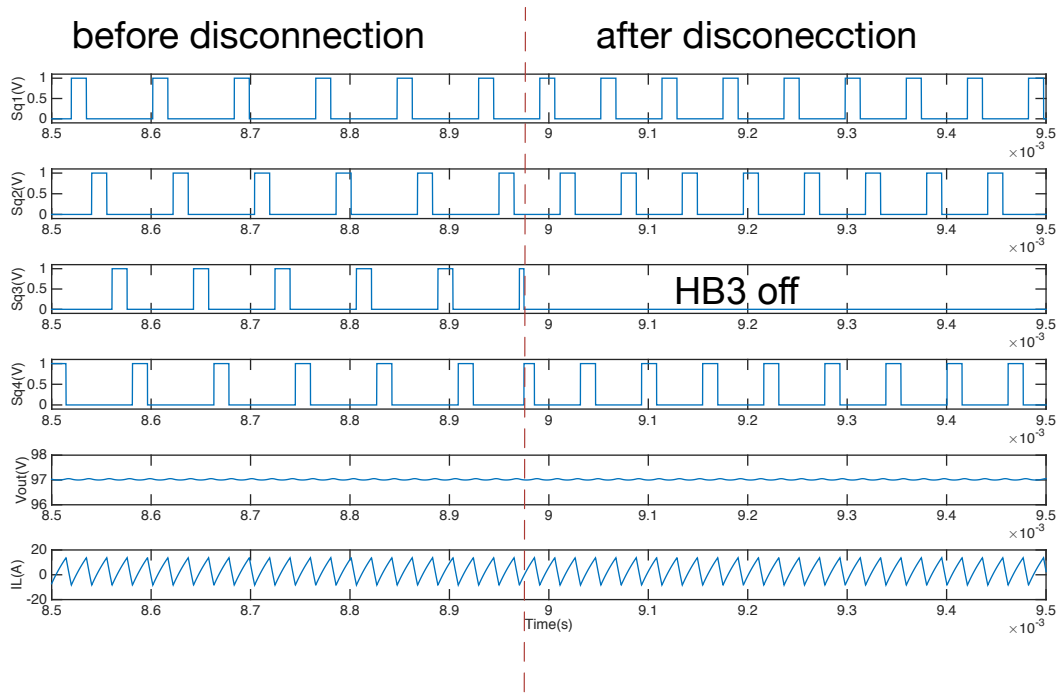


Figura 5.12: Simulación MATLAB-SIMULINK de una fase del convertidor con reconfiguración dinámica del PWM.

La figura 5.13, muestra las formas de onda del generador PWM ante la desconexión de la segunda rama en condiciones similares a las simuladas; es decir, se sucede la desconexión de una rama en el instante en el que se encuentra a nivel alto su salida, de forma que el resto del ciclo de trabajo se completa mediante la activación de la señal de la siguiente rama.

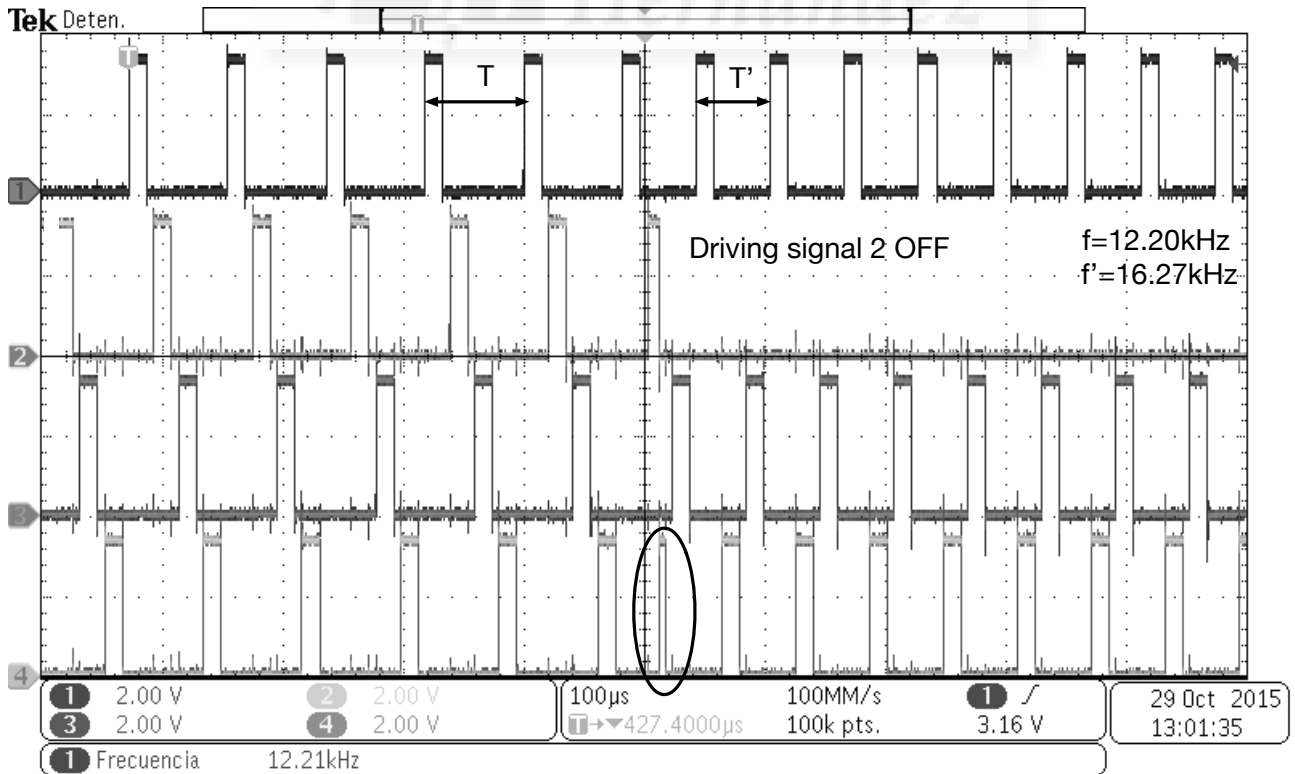


Figura 5.13: Reconfiguración dinámica del PWM ante la desconexión de una de las ramas.

La figura 5.14 muestra la reconfiguración de las señales PWM ante la desconexión al mismo tiempo de dos ramas. En este caso el momento de la desconexión se produce cuando ninguna de la dos salidas a desconectar se encuentra a nivel alto, por lo que únicamente se produce el cambio de frecuencia de conmutación en las señales activas.

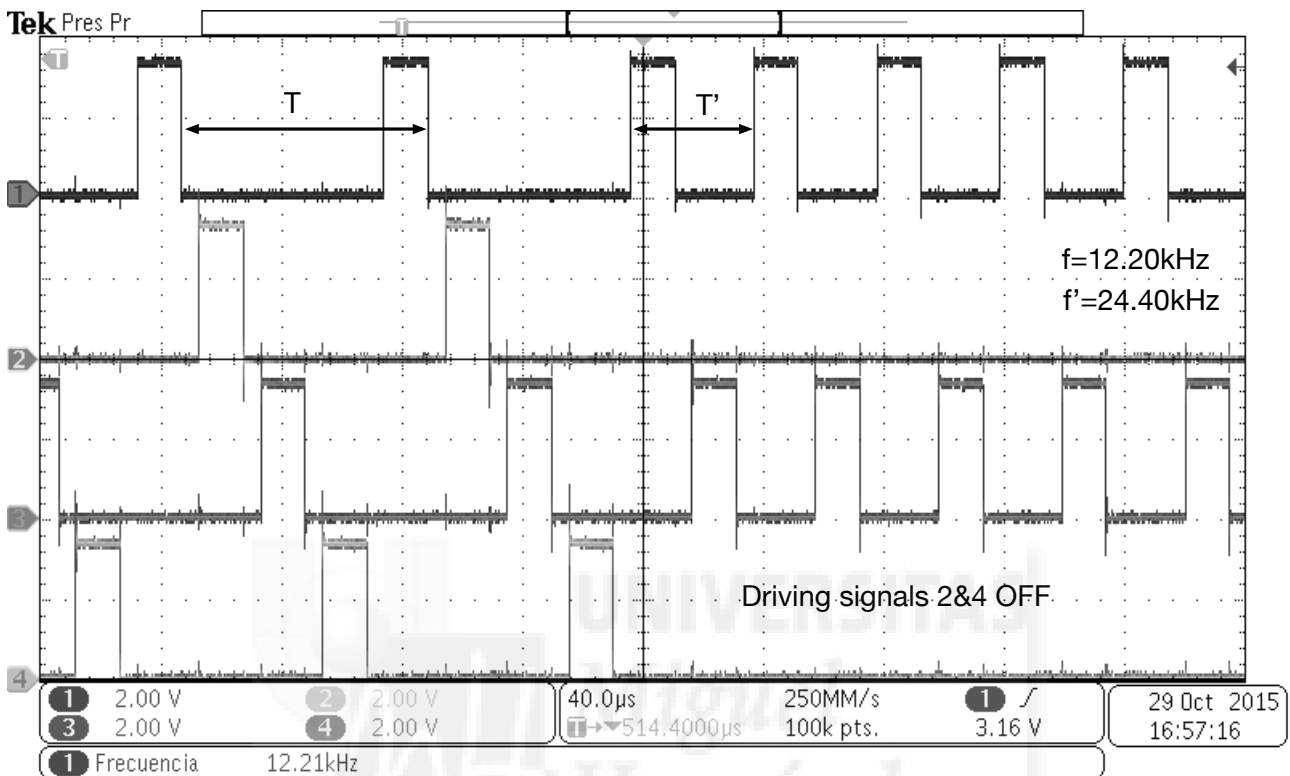


Figura 5.14: Reconfiguración dinámica del PWM ante la desconexión de dos ramas.

## 5.4. RESULTADOS EXPERIMENTALES

Una de las pruebas realizadas mediante el uso del generador PWM reconfigurable, ha sido la medida de las pérdidas en las distintas ramas en función del número de dispositivos activos. Dicha medida permite observar la distribución de las pérdidas y observar como la temperatura tiende a igualarse en los distintos dispositivos a medida que aumenta el número de ramas activas.

Las medidas se han realizado con el termómetro de infrarrojos Fluke VT104 en las siguientes condiciones: modo BOOST,  $V_2 = 75V$ ,  $V_1 = 100V$ ,  $I_1 = 4A$  y  $P_1 = 400W$ . La medida se ha realizado transcurridos cinco minutos después de la conexión del convertidor, estas medidas se muestran en la tabla 5.6 y las imágenes de la cámara termográfica en la figura 5.15.

| Ramas activas             | 1      | 2      | 3      | 4      |
|---------------------------|--------|--------|--------|--------|
| Temperatura IGBT Inferior | 43.5°C | 35.9°C | 35.6°C | 33.7°C |
| Temperatura IGBT Superior | 40.0°C | 37.7°C | 35.3°C | 33.7°C |

Tabla 5.6: Distribución de temperatura en función del número de dispositivos activos.

Los resultados muestran, tal y como se esperaba, una reducción de la temperatura por cada dispositivo a medida que aumenta el número de ramas en paralelo, y una mayor uniformidad en la temperatura de ambos dispositivos de la rama.

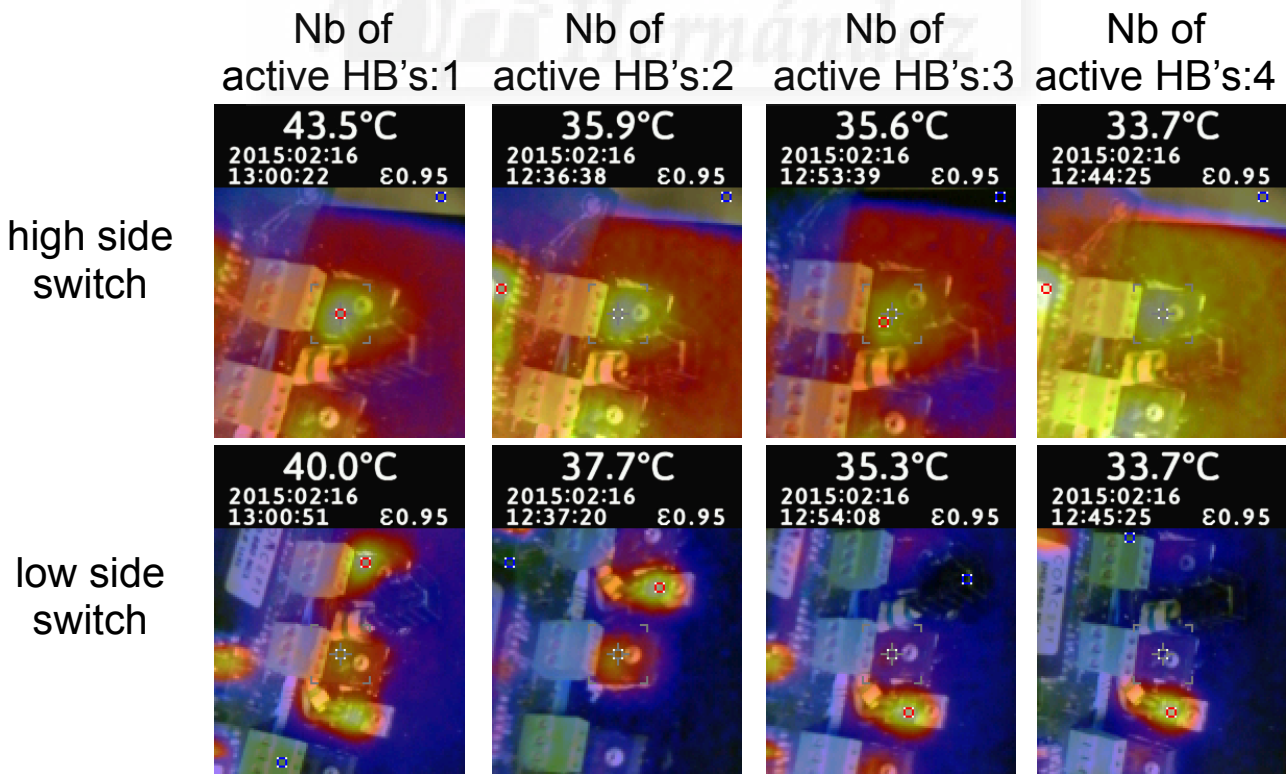


Figura 5.15: Medida de temperatura en función del número de dispositivos activos.

# ***Capítulo 6: Conclusiones, aportaciones y líneas futuras***

---

## **RESUMEN CAPÍTULO 6**

En este capítulo se exponen las conclusiones, aportaciones y las líneas futuras que se desprenden del trabajo realizado.





## 6.1. APORTACIONES

El uso de sistemas electrónicos para el procesamiento de energía eléctrica es uno de los pilares fundamentales en el desarrollo industrial desde mitad del siglo pasado. Una de las metas principales de la Electrónica de Potencia, es conseguir sistemas de conversión de energía de alta densidad de potencia (kW/dm<sup>3</sup>), y para ello hay que considerar dos aspectos fundamentales, elevada frecuencia de conmutación, para la reducción de tamaño de los elementos reactivos y alta eficiencia para reducir los sistemas de refrigeración, al tiempo que se hace un mejor uso de la energía.

En este sentido, los convertidores multifase, normalmente trabajando con entrelazado de fases, son una buena opción que ha sido empleada en numerosas aplicaciones con el fin de optimizar la densidad de potencia del sistema en conjunto. Un paso más lo constituye el uso de convertidores multifase y multidispositivo, pues añade un nuevo grado de libertad que puede redundar en unas mejores prestaciones.

Para aplicaciones de potencia media y alta, esta aproximación multifase y multidispositivo, siempre considerando el conocimiento limitado del autor, ha sido propuesta en los siguientes trabajos:

- F. Sobrino-Manzanares, "Conversión DC/DC multifase para vehículo eléctrico," *Trabajo Final de Máster*, Universidad Miguel Hernández, Septiembre 2011. Director: Ausias Garrigós Sirvent
- O. Hegazy, J. Van Mierlo, P. Lataire, "Analysis, modeling and implementation of a multidevice interleaved DC/DC converter for fuel cell hybrid vehicles," *IEEE Trans Power Electron*, Noviembre 2012, 27(11), pp.4445-58.
- O. Hegazy, R. Barrero, J. Van Mierlo, P. Lataire, "An advanced power electronics interface for electric vehicles applications," *IEEE Trans Power Electron*, Noviembre 2013, 28(12), pp.5508-5521.

Así pues, el presente trabajo aporta su pequeño grano de arena a este tipo de convertidores, realizando tres aportaciones relevantes con respecto a los trabajos mencionados:

- Se realiza un estudio teórico pormenorizado del convertidor que no se ha encontrado en la literatura especializada.
- Se propone un sistema de control basado en FPGA que proporciona alto grado de paralelización, velocidad y reprogramabilidad dinámica, lo cual es una diferencia sustancial con respecto a los sistemas descritos basados en DSP.
- Se propone el uso de técnicas de conmutación suave basados en sistemas de conversión bidireccional, con disparos complementarios y uso de capacidades snubber, siendo esta característica también novedosa con respecto a lo existente en la literatura técnica.

El trabajo aquí presentado ofrece una completa verificación tanto a nivel de simulación como experimental.

En un resumen pormenorizado, las aportaciones por capítulos se detallan a continuación:

### Capítulo 1:

- Se realiza una breve revisión del estado del arte, en lo referente a convertidores DC/DC unidireccionales y bidireccionales sin aislamiento galvánico.
- Se introduce la aproximación multidispositivo y se proponen tres diferentes técnicas de disparo, para estos dichos convertidores multidispositivo: PDS (*Parallel Driving Scheme*), que consiste en disparar todos los semiconductores de potencia a la vez; SDS (*Sequential Driving Scheme*) consiste en disparar uno a uno los semiconductores de potencia en un mismo ciclo de conmutación; por último DDS (*Distributed Driving Scheme*), que consiste en disparar los semiconductores en instantes fijos, submúltiplos del periodo de conmutación, lo cual significa una mayor frecuencia vista por los elementos reactivos del convertidor.
- Se describe someramente la aproximación multifase, tanto en paralelo como con desplazamiento de fase, y se propone finalmente el uso conjunto de la aproximación multidispositivo y multifase.
- Se hace una breve reseña al método de conmutación suave, basado en estructura bidireccional y ajuste de tiempos muertos y capacidad de snubber.

### Capítulo 2:

- En este capítulo se exponen los objetivos generales y específicos de la tesis, así como la justificación y motivación de la misma.
- Se expone la metodología, que explica el procedimiento seguido en toda la investigación y el desarrollo de los prototipos, así como en las características donde se ha realizado una aportación relevante.
- Por último, se expone la estructura de la tesis y sus principales contenidos.

### Capítulo 3:

- Se ha analizado y modelado un convertidor de  $n$  fases y  $m$  ramas por fase de forma general. Se han obtenido las funciones de transferencia estáticas y dinámicas, así como los valores más relevantes para el convertidor, valores medios, RMS y máximos de los distintos elementos.
- A partir del análisis de los resultados obtenidos en el modelado, se demuestra que se pueden mejorar las prestaciones de rizado de corriente, manteniendo el mismo número de semiconductores de potencia y realizando una configuración del número de fases y dispositivos acorde a las especificaciones de voltaje de entrada y salida.
- Se han realizado diversas simulaciones y evaluado dos casos de aplicación particulares: a) un convertidor MIBC para aplicación en pilas de combustible y b) un convertidor MIBC como descargador de baterías.
- Los resultados de este capítulo han derivado en una publicación en revista internacional y un artículo en congreso internacional:

- A. Garrigós, F. Sobrino-Manzanares, “Interleaved multi-phase and multi-switch boost converter for fuel cell applications,” *International Journal of Hydrogen Energy*, vol. 40, pp. 8419-8432, Jul. 2015  
JCR metrics (2014 – no hay datos disponibles para 2015 en la fecha de redacción de este documento) – Impact Factor: 3.313. Cuartil: Q1 (*Electrochemistry*, posición 7 de 28), Q2 (*Energy & Fuels*, posición 25 de 89)
- F. Sobrino-Manzanares, A. Garrigós, “Interleaved, multi-switch, multi-phase boost converter for battery discharge regulators,” 11th European Space Power Conference, Thessaloniki, Grecia, 2016.

#### Capítulo 4:

- Se ha diseñado e implementado el primer prototipo, convertidor bidireccional de dos fases y cuatro ramas por fase.
- Se ha realizado un control digital completo basado en FPGA incluyendo: a) dos lazos de control anidados, corriente (interno) y tensión (externo); b) subsistema PWM de 11 bits y frecuencia de conmutación de cada dispositivo de 12,2 kHz; c) subsistema de conversión A/D de cada canal con periodo de muestreo de 1.28us y filtro promedio de 16 muestras para los canales de corriente; d) subsistema de soft-start digital.
- Se ha verificado tanto en simulación, MATLAB-SIMULINK y PSIM, como experimentalmente el funcionamiento de este primer prototipo.
- Los resultados de este capítulo han derivado en una publicación en revista internacional:
  - F. Sobrino-Manzanares, A. Garrigós, “An interleaved, FPGA-controlled, multi-phase and multi-switch synchronous boost converter for fuel cell applications,” *International Journal of Hydrogen Energy*, vol. 40, pp. 12447-12456, Sep. 2015  
JCR metrics (2014 – no hay datos disponibles para 2015 en la fecha de redacción de este documento) – Impact Factor: 3.313. Cuartil: Q1 (*Electrochemistry*, posición 7 de 28), Q2 (*Energy & Fuels*, posición 25 de 89)

#### Capítulo 5:

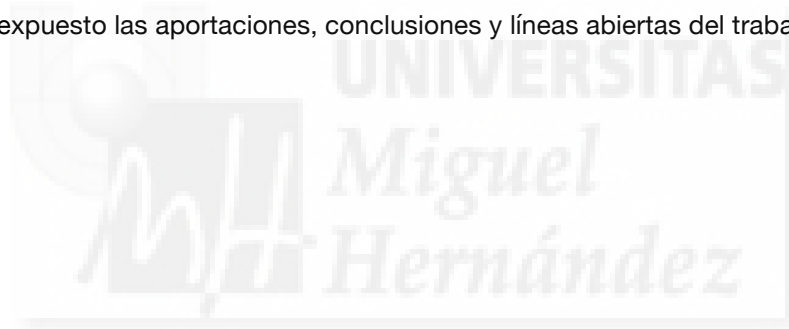
- Se ha diseñado e implementado el segundo prototipo, convertidor bidireccional de dos fases y cuatro ramas por fase con conmutación suave y reconfiguración dinámica de las salidas PWM.
- Se ha analizado y aplicado una técnica de conmutación suave, haciendo uso del tiempo muerto entre dispositivos y el uso de capacidades de snubber. A su vez la estructura bidireccional, permite el encendido y apagado de los dispositivos del medio puente en condiciones de cero tensión. Se ha conseguido una eficiencia media del 96% en modo BUCK y del 97% en modo BUCK.
- Se ha diseñado e implementado un generador PWM con capacidad de reconfiguración dinámica, lo cual permite ser utilizado como método de redundancia para preservar las prestaciones del

convertidor ante fallos de las ramas, o como medida de protección en lazos de control, como por ejemplo para el control de temperatura u optimización de eficiencia.

- Los resultados de este capítulo han derivado en una publicación en revista internacional y un congreso internacional:
  - F. Sobrino-Manzanares, A. Garrigós, “Bidirectional, interleaved, multiphase, multidevice, soft-switching, FPGA controlled, buck-boost converter with PWM real-time reconfiguration,” *IEEE Trans Power Electron (EN REVISIÓN)*  
JCR metrics (2014 – no hay datos disponibles para 2015 en la fecha de redacción de este documento) – Impact Factor: 6.008. Cuartil: Q1 (*Engineering, electrical & electronic*, posición 3 de 249)
  - F. Sobrino-Manzanares, A. Garrigós, “A generic FPGA based PWM generator with automatic device fault recovery for fuel cell, interleaved, multi-phase and multi-switch DC/DC boost converters,” 21<sup>st</sup> World Hydrogen Energy Conference 2016, Zaragoza, Spain, 13-16<sup>th</sup> June, 2016.

Capítulo 6:

- Se han expuesto las aportaciones, conclusiones y líneas abiertas del trabajo de tesis realizado.



## 6.2. CONCLUSIONES

Las conclusiones que se obtienen del presente trabajo se enumeran a continuación.

En relación a la aproximación combinada multifase y multidispositivo, cabe decir que es una técnica sencilla que ofrece unas buenas prestaciones para sistemas que pretendan obtener alta densidad de potencia y ofrece un grado de libertad más a la hora del diseño, desacoplando la frecuencia de los elementos reactivos con la frecuencia de conmutación de los semiconductores de potencia. Igualmente ofrece buenas prestaciones desde el punto de vista de reducción del rizado de corriente y permite la redundancia tanto a nivel de fase como de dispositivo, dotando al convertidor de un grado de fiabilidad elevado. Además puede ser especialmente interesante en configuraciones de semiconductores de potencia integrados, por ejemplo IGBTs, que además tienen dificultades en el reparto de corriente cuando se paralelizan.

Con respecto al sistema de control digital basado en FPGA, se ha comprobado que es una solución especialmente atractiva en este tipo de convertidor, ya que es necesario controlar múltiples canales a elevada frecuencia de conmutación pero además con precisión en la generación de retardos entre señales. Por otro lado, la capacidad de reconfiguración y reubicación de las señales PWM dota al convertidor de un mayor grado para redundancia y permite ser empleado de diferentes formas.

Por último, la verificación experimental de los dos prototipos han corroborado los planteamientos teóricos y supone el establecimiento de unas bases para futuros desarrollos.

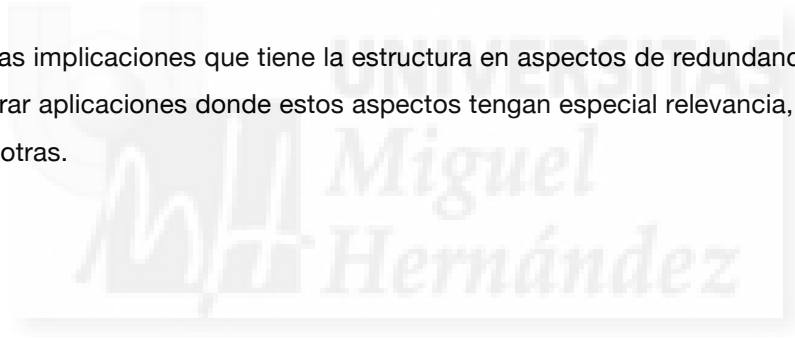
### 6.3. LÍNEAS FUTURAS

Debido al carácter general de los temas tratados en este trabajo, todavía hay distintos caminos por los que se puede continuar el estudio. A continuación se ofrecen algunas claves para que puedan ser recogidas en el futuro.

- Adaptación de la técnica de multifase y multidispositivo a otras estructuras de conversión de potencia, ya sean DC/DC u otras, tanto sin aislamiento como con aislamiento galvánico. Puesto que la técnica es genérica, se puede adaptar a otros convertidores y distintas aplicaciones.

- Perfeccionamiento del sistema de control digital, el cual permite todavía gran mejora y podría incluir desarrollo e implementación de otro tipo de compensadores, mejora de los subsistemas PWM con mayores capacidades (ajuste de tiempos muertos variables o selección de número de fases y ramas activas a partir de una eficiencia objetivo, distribución de temperaturas en el convertidor u otras consideraciones de fiabilidad y redundancia).

- Debido a las implicaciones que tiene la estructura en aspectos de redundancia y fiabilidad, puede ser de interés explorar aplicaciones donde estos aspectos tengan especial relevancia, sistemas espaciales, vehículo eléctrico u otras.



# ***Anexo I: Planos esquemáticos y placas de circuito impreso***

---

En este anexo, se recogen los planos de los circuitos esquemáticos y de las placas de circuito impreso de 4 capas capa a capa, tanto de la placa de potencia como de la placa de control.

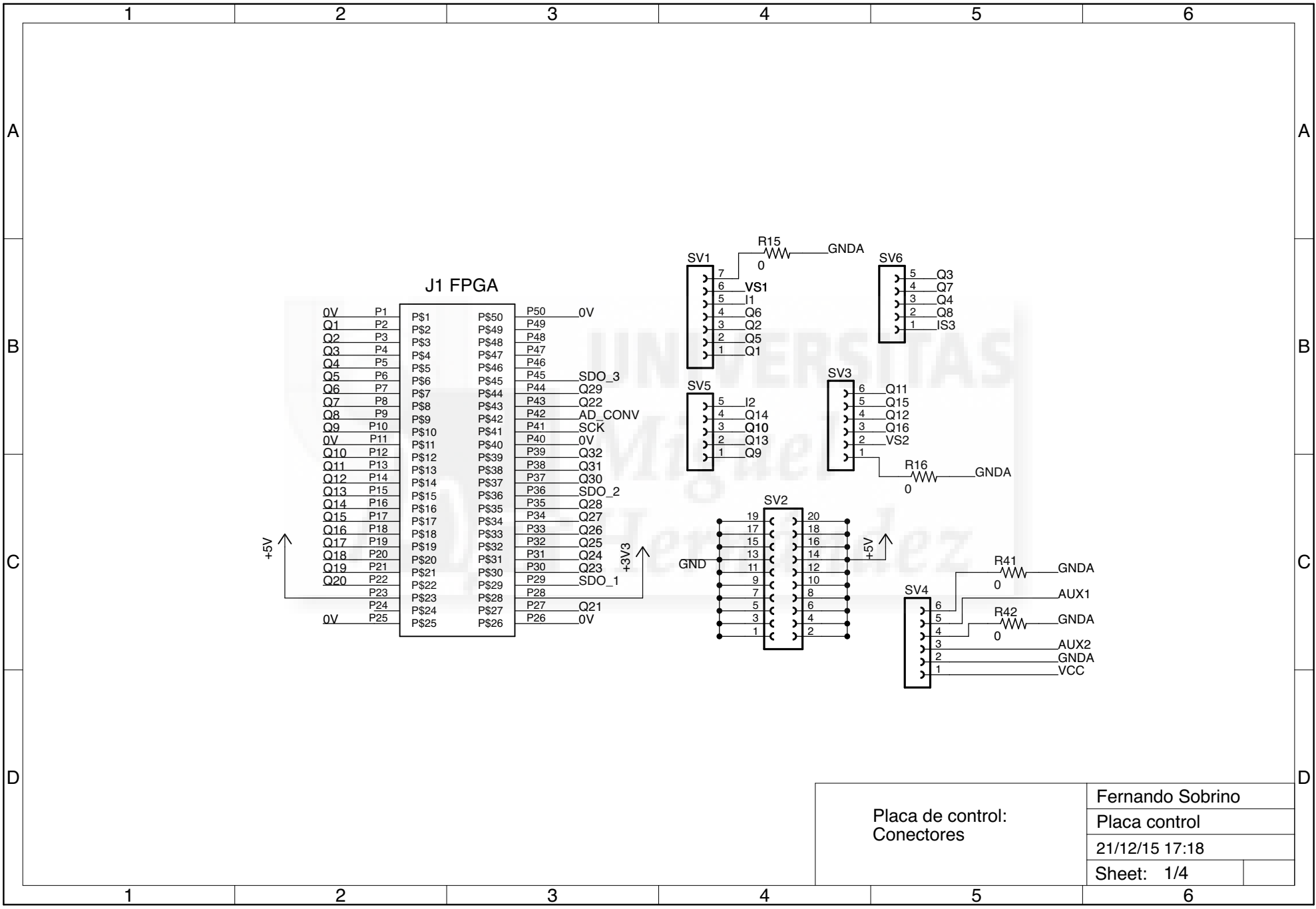
Primero se muestran los circuitos esquemáticos de la parte de control, y a continuación los 4 planos de la placa de control. Los planos de la placa de control de circuito impreso se muestran a escala 1:1.

Después, se muestran los circuitos esquemáticos de la placa de potencia y por último, los 4 planos de la placa de potencia. Los planos de la placa de potencia de circuito impreso se muestran a escala 1:2.









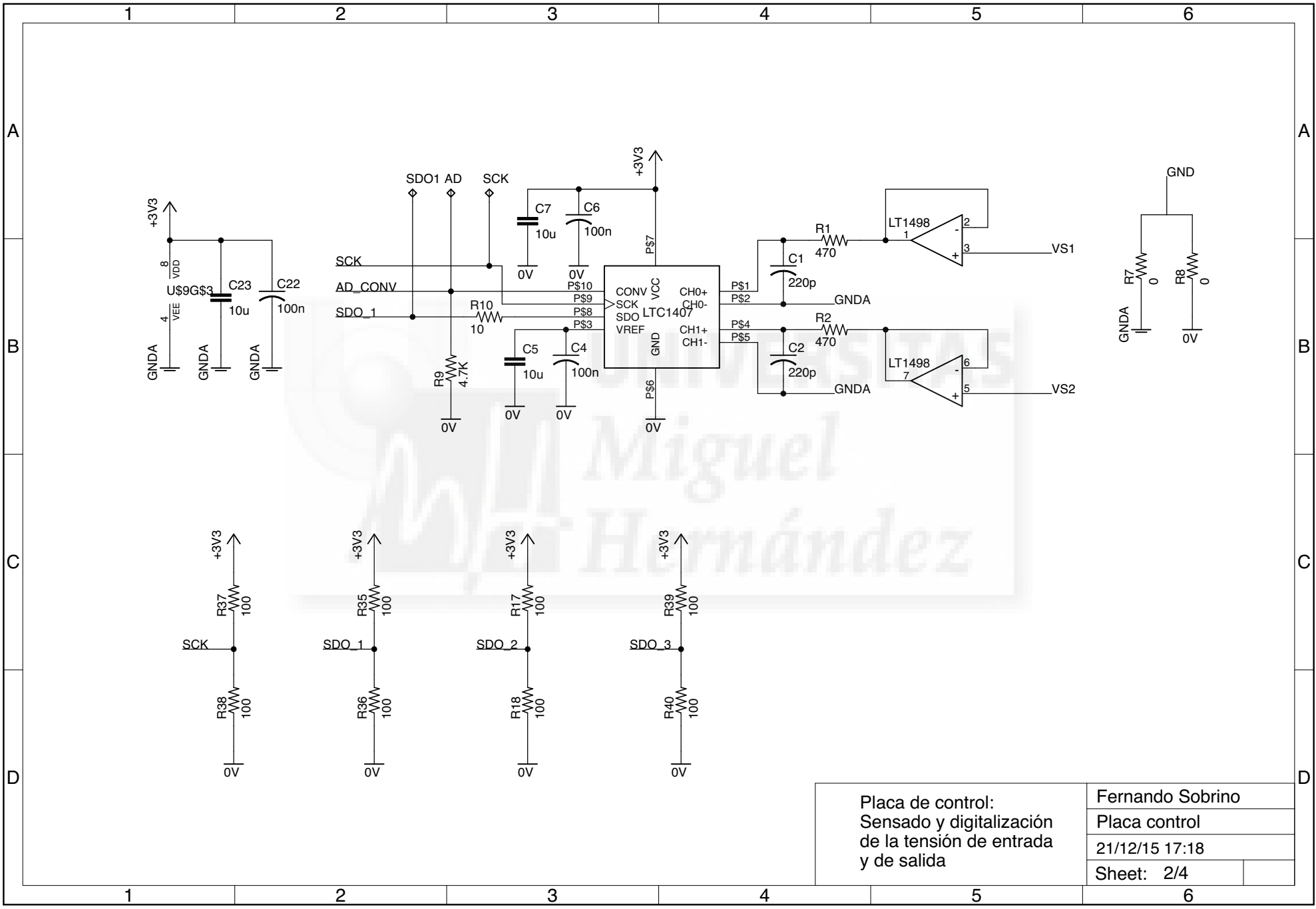
Placa de control:  
Conectores

Fernando Sobrino

Placa control

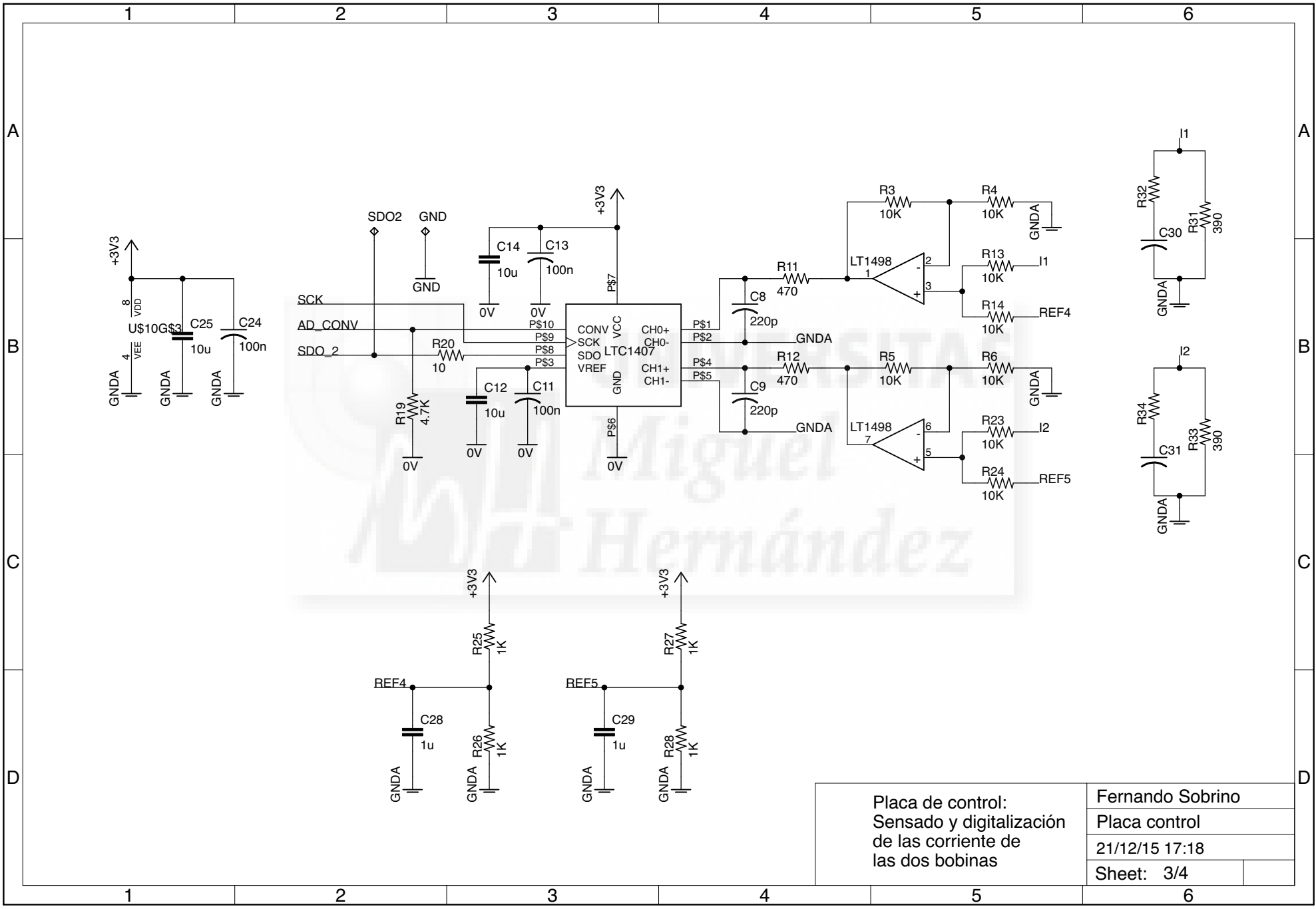
21/12/15 17:18

Sheet: 1/4

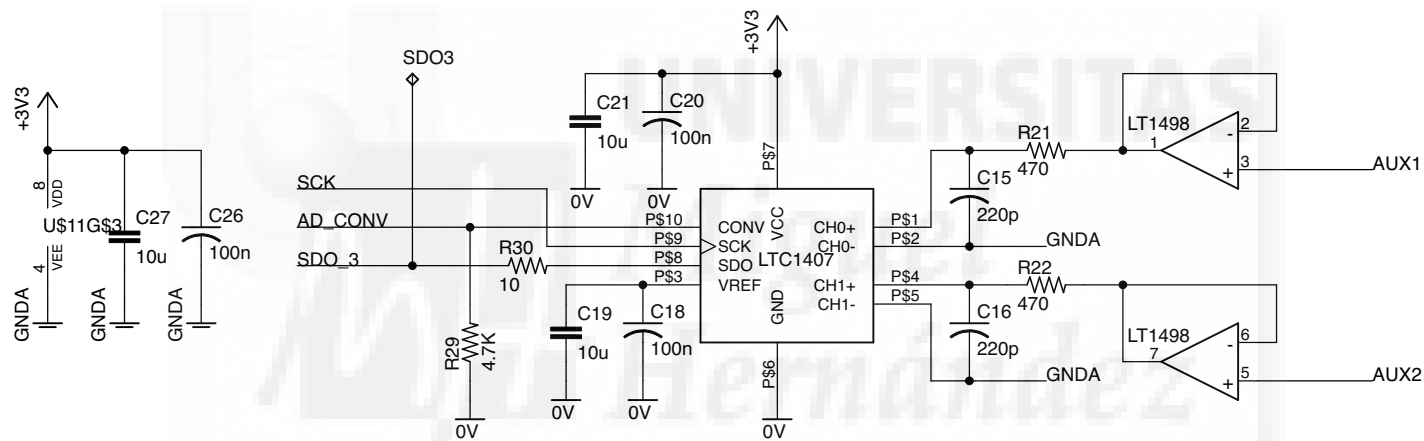


Placa de control:  
 Sensado y digitalización  
 de la tensión de entrada  
 y de salida

|                  |  |
|------------------|--|
| Fernando Sobrino |  |
| Placa control    |  |
| 21/12/15 17:18   |  |
| Sheet: 2/4       |  |

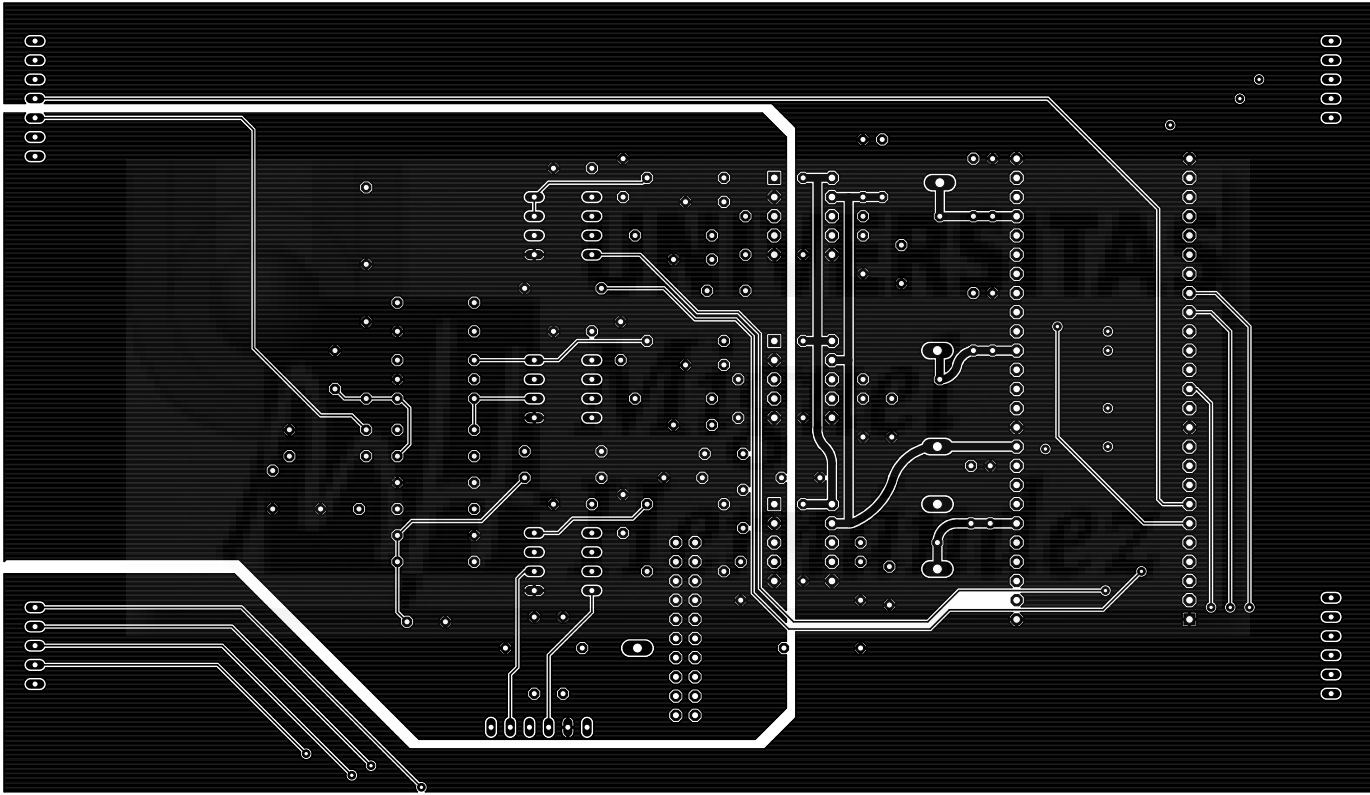


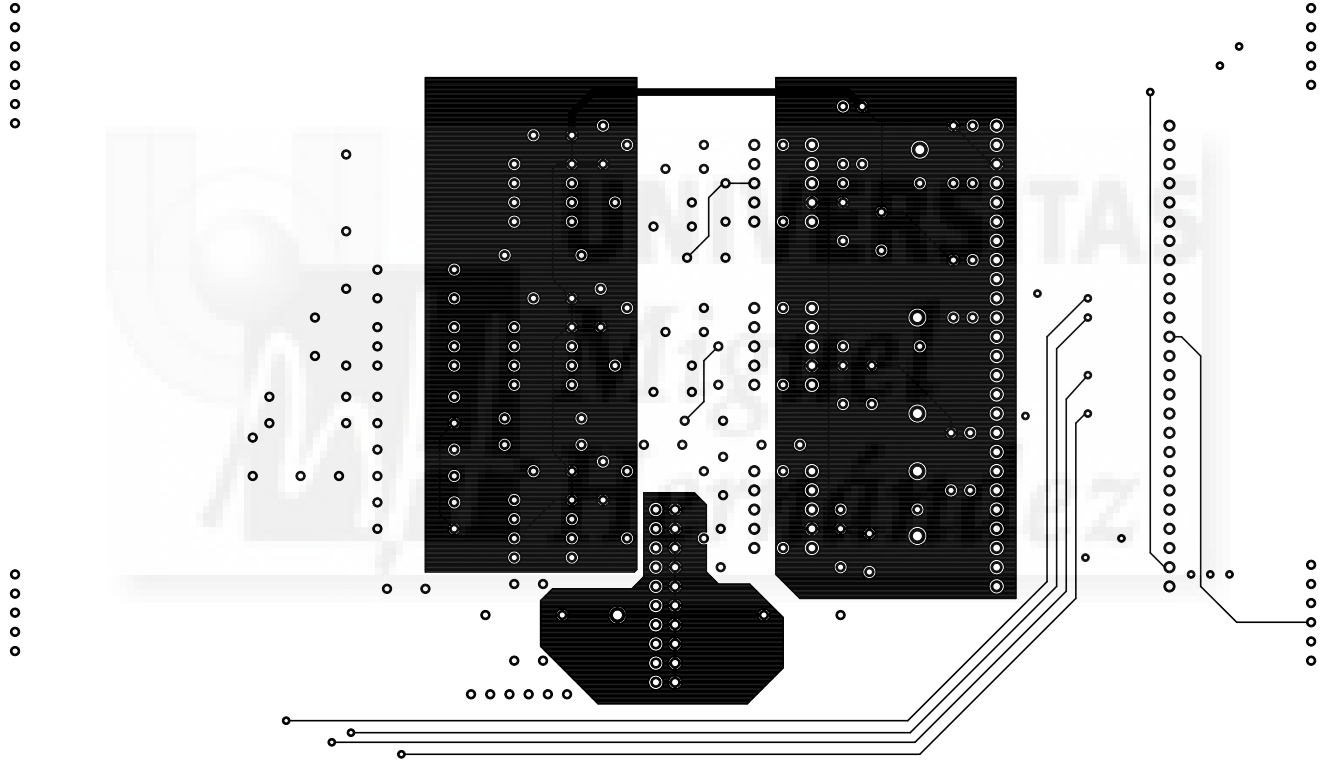
|   |                  |
|---|------------------|
| Placa de control:<br>Sensado y digitalización<br>de las corriente de<br>las dos bobinas | Fernando Sobrino |
|   | Placa control    |
|   | 21/12/15 17:18   |
|   | Sheet: 3/4       |

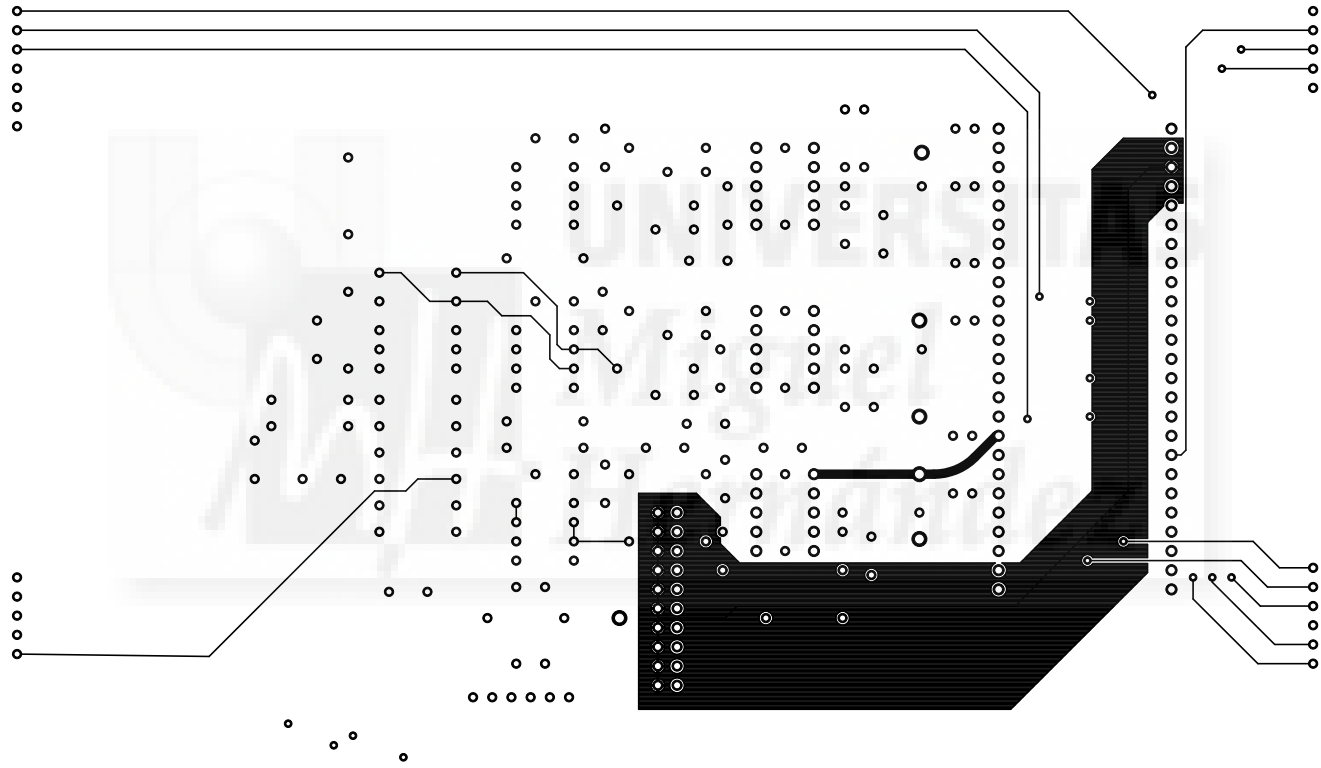


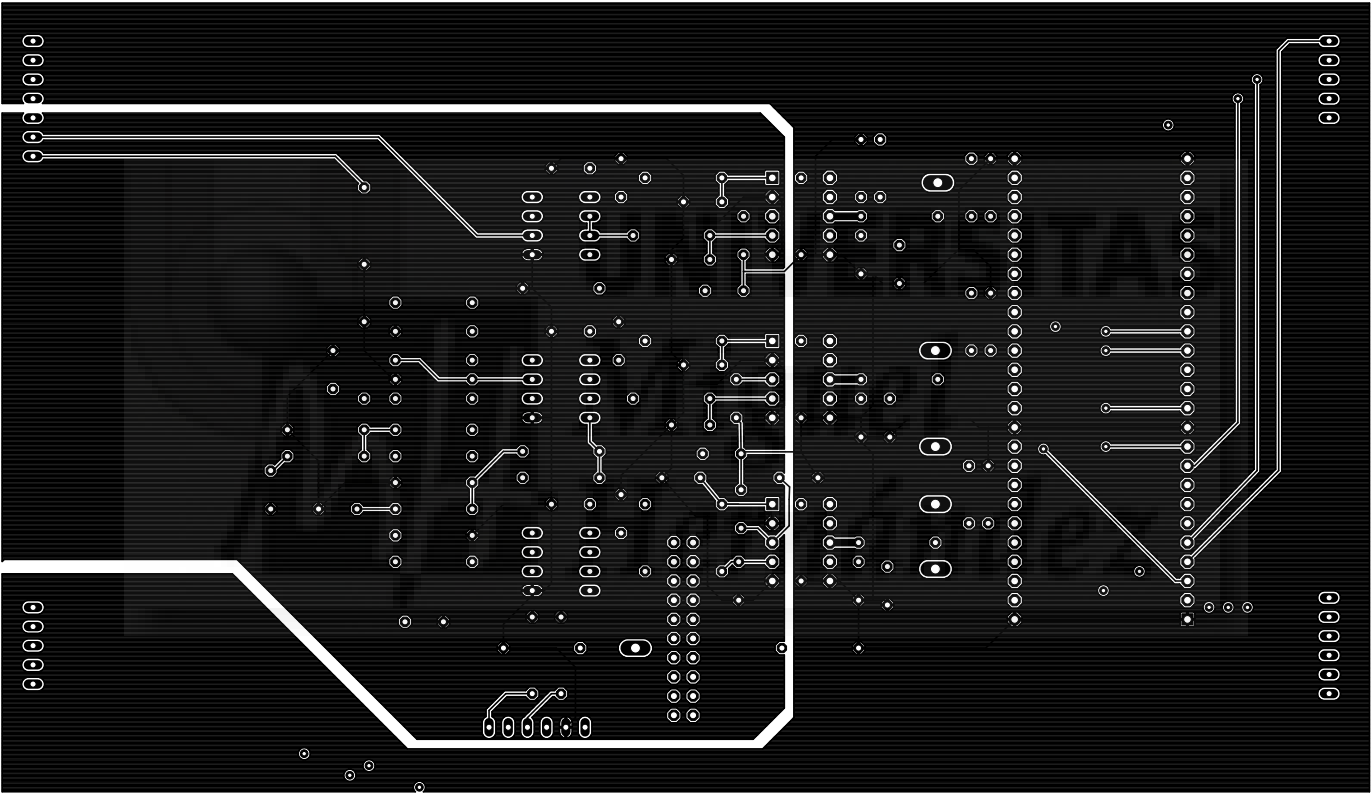
Placa de control:  
 Sensado y digitalización  
 De variables auxiliares.  
 (Sección no utilizada)

|                  |  |
|------------------|--|
| Fernando Sobrino |  |
| Placa control    |  |
| 21/12/15 17:18   |  |
| Sheet: 4/4       |  |

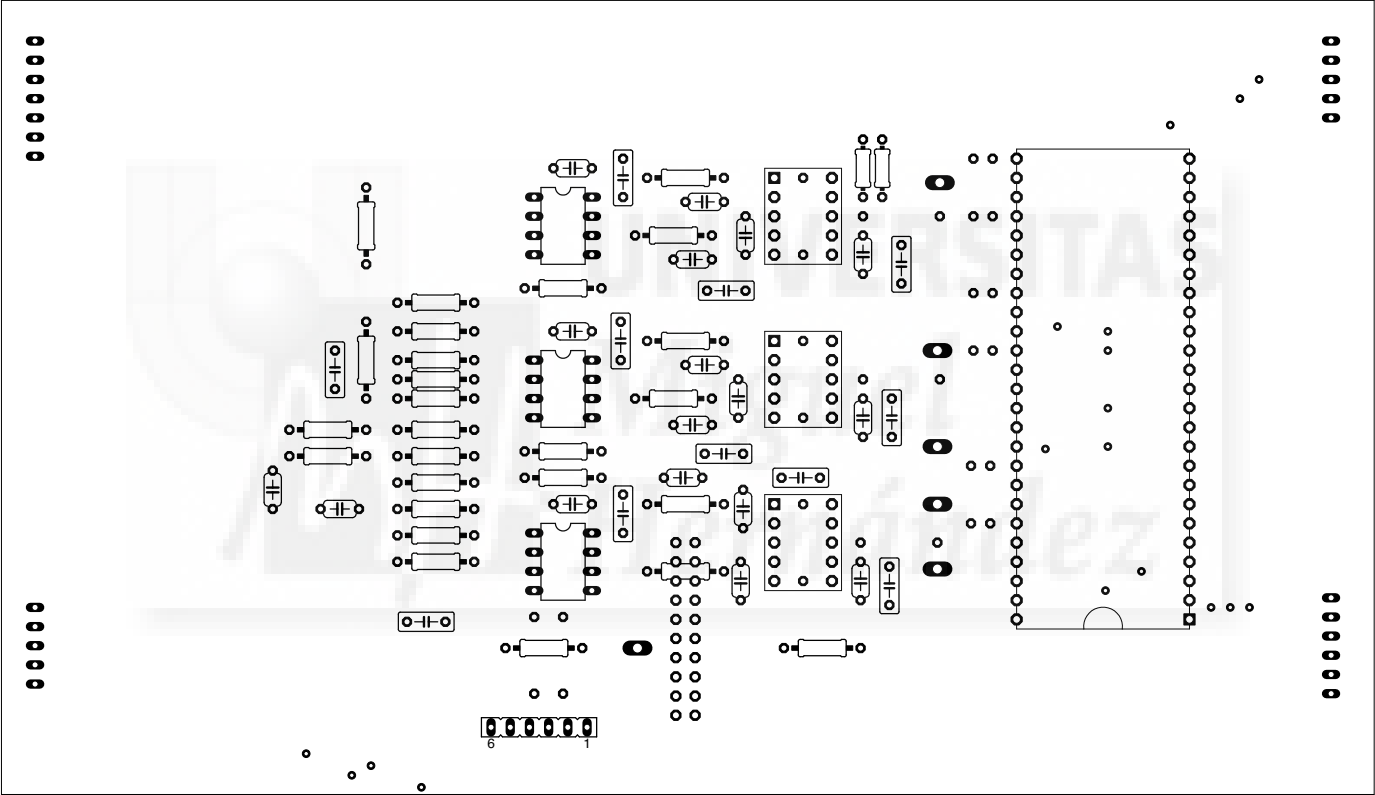


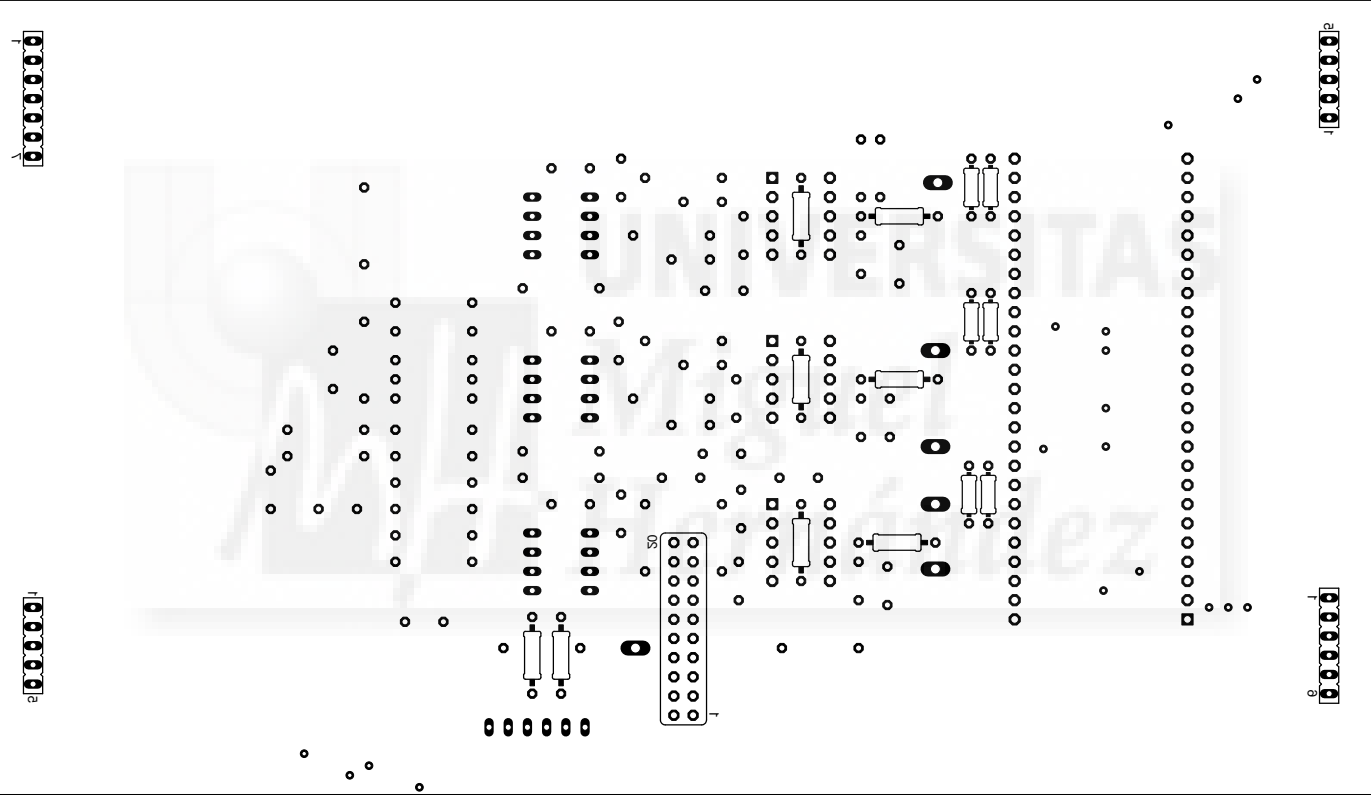


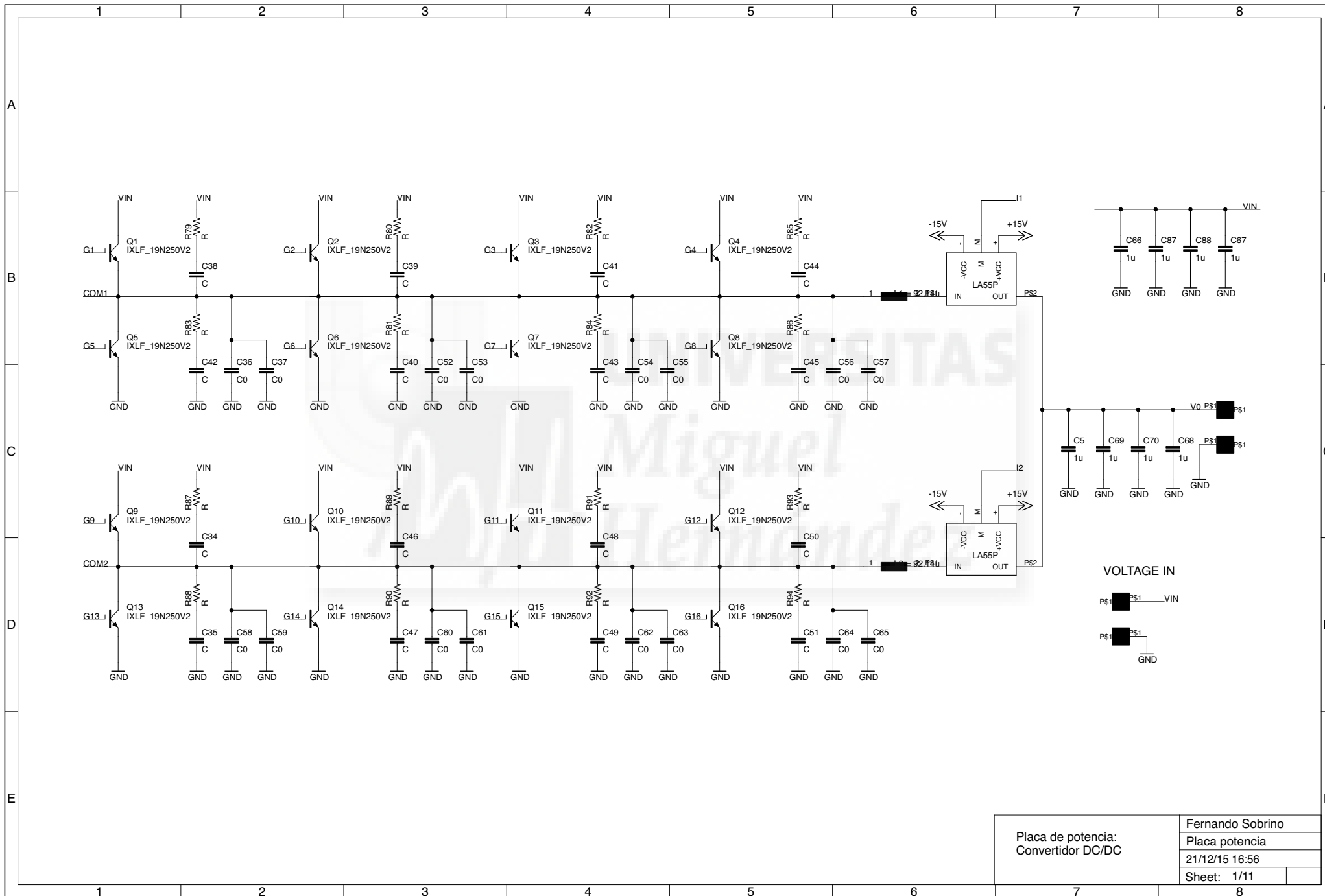




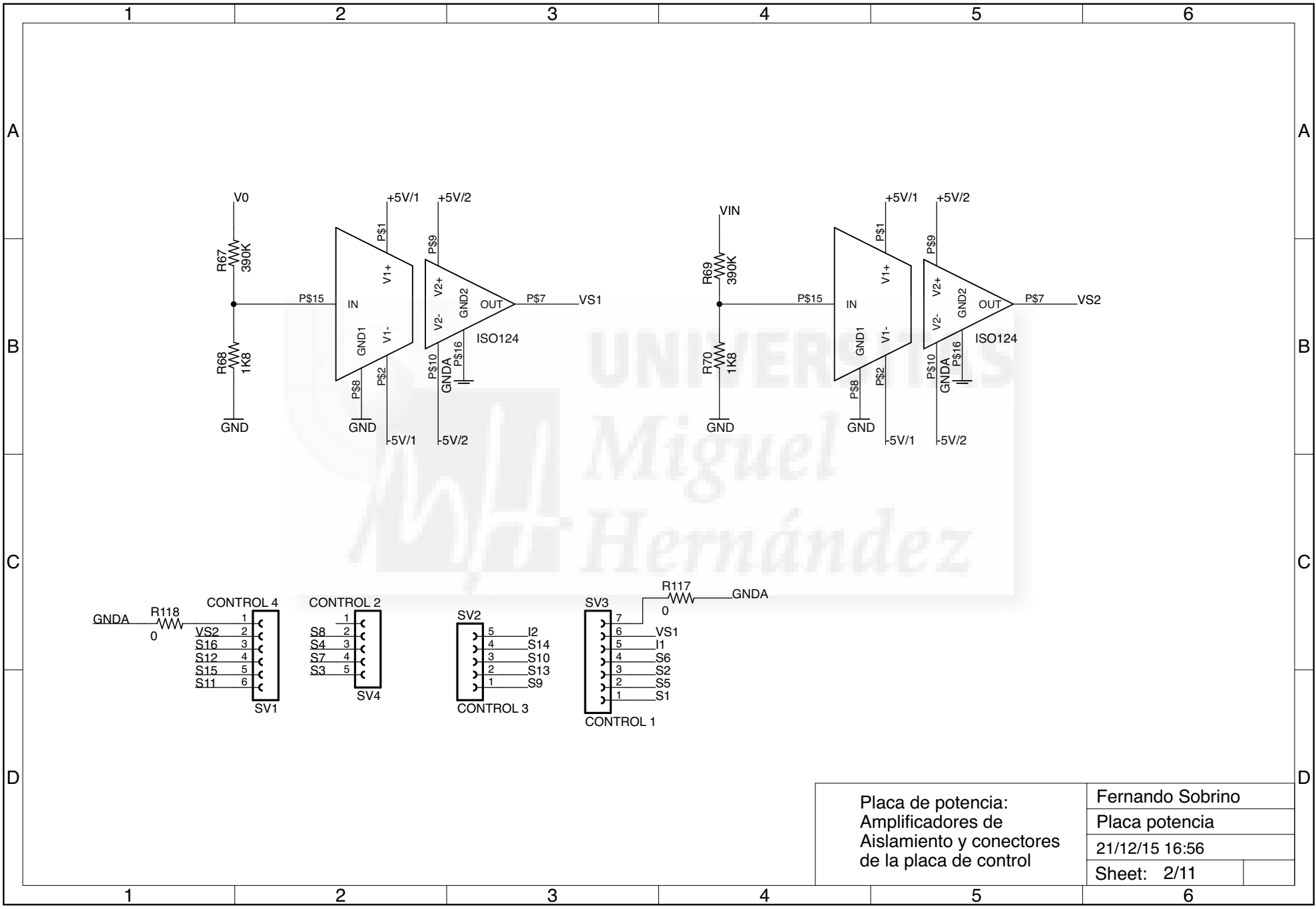




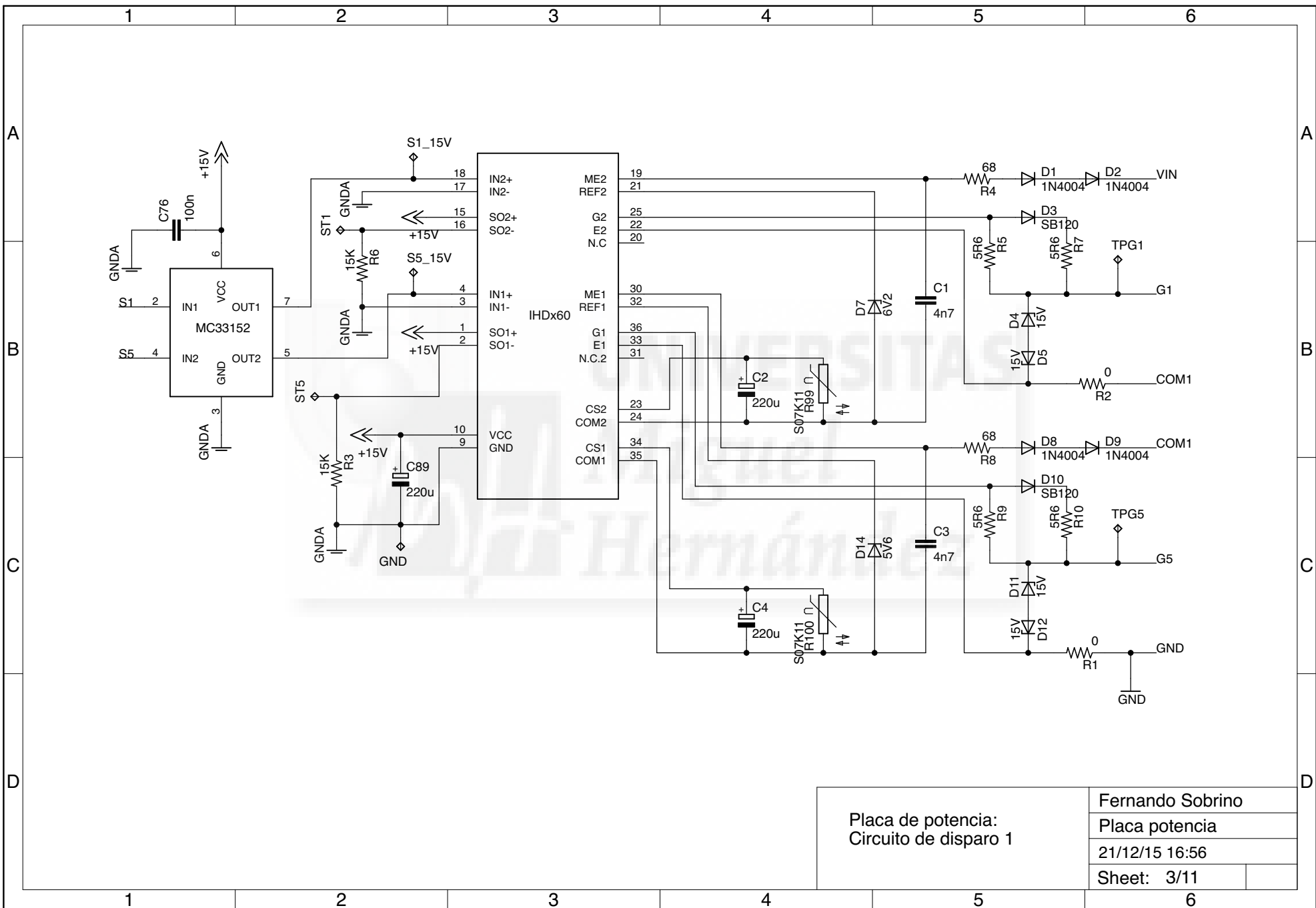




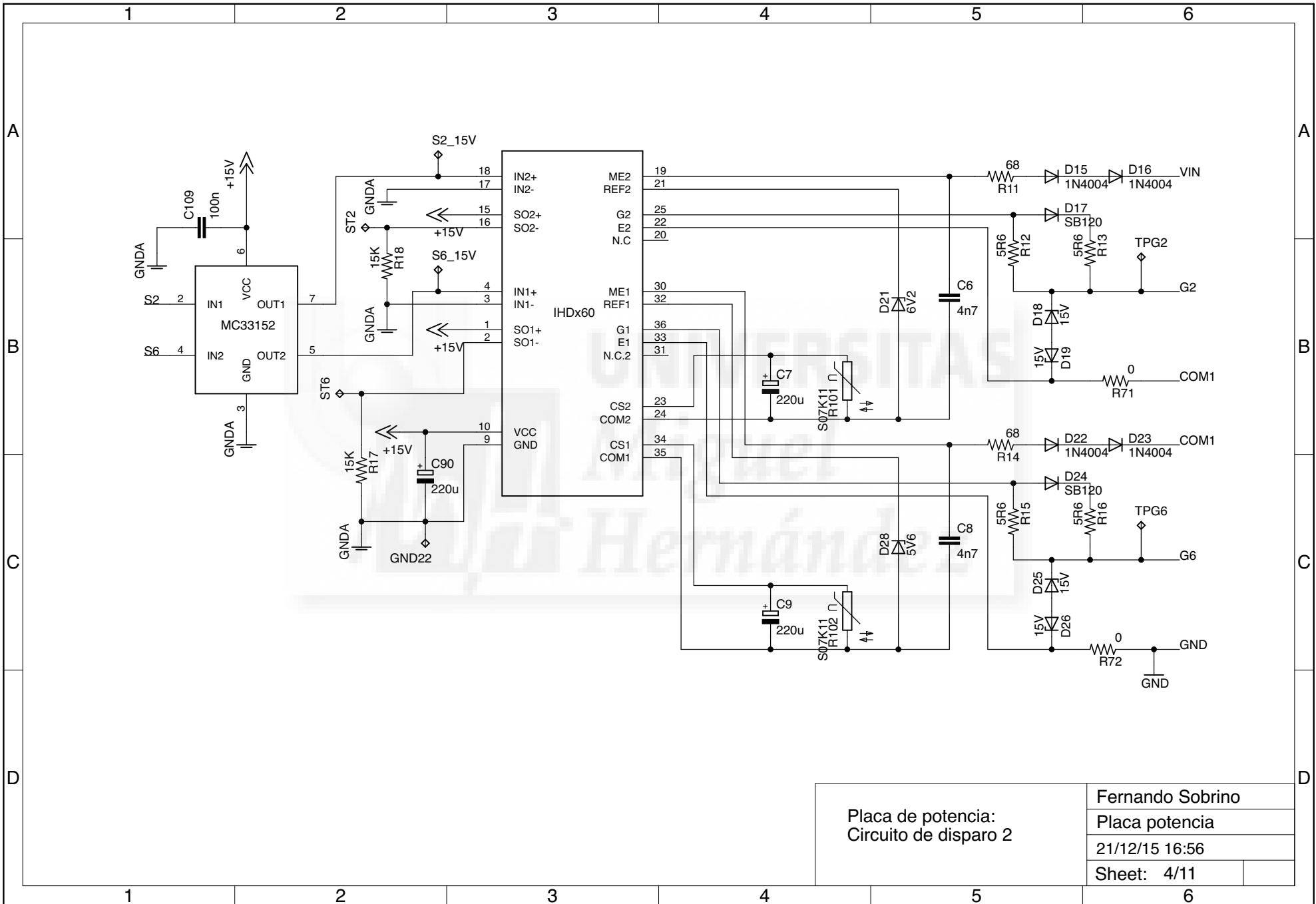
|   |                  |
|---|------------------|
| Placa de potencia:<br>Convertidor DC/DC | Fernando Sobrino |
|   | Placa potencia   |
|   | 21/12/15 16:56   |
|   | Sheet: 1/11      |



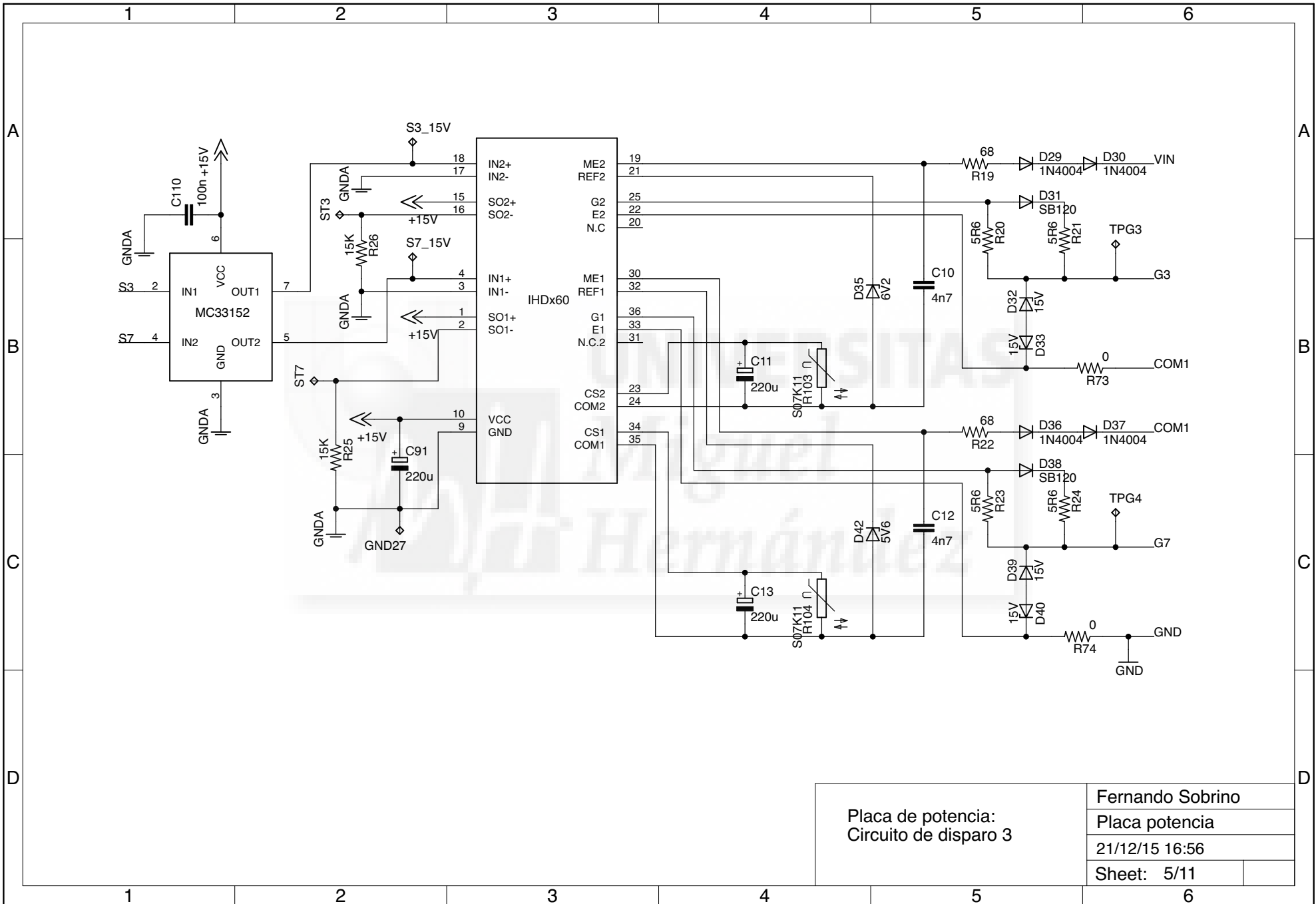
|   |                  |  |
|---|------------------|--|
| Placa de potencia:<br>Amplificadores de<br>Aislamiento y conectores<br>de la placa de control | Fernando Sobrino |  |
|   | Placa potencia   |  |
|   | 21/12/15 16:56   |  |
|   | Sheet: 2/11      |  |



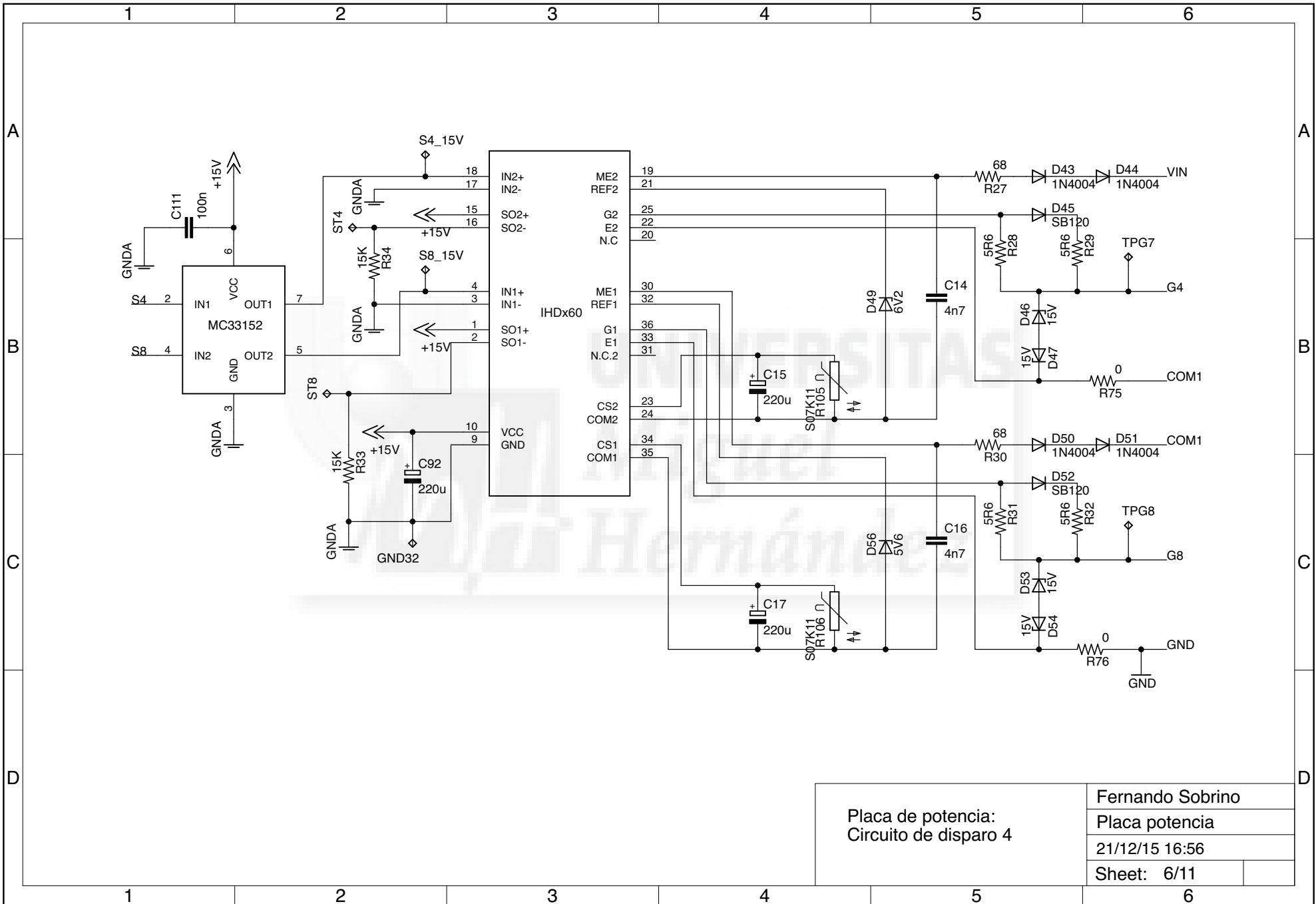
|   |                  |
|---|------------------|
| Placa de potencia:<br>Circuito de disparo 1 | Fernando Sobrino |
|   | Placa potencia   |
|   | 21/12/15 16:56   |
|   | Sheet: 3/11      |



|   |                  |  |
|---|------------------|--|
| Placa de potencia:<br>Circuito de disparo 2 | Fernando Sobrino |  |
|   | Placa potencia   |  |
|   | 21/12/15 16:56   |  |
|   | Sheet: 4/11      |  |



|   |                  |  |
|---|------------------|--|
| Placa de potencia:<br>Circuito de disparo 3 | Fernando Sobrino |  |
|   | Placa potencia   |  |
|   | 21/12/15 16:56   |  |
|   | Sheet: 5/11      |  |



Placa de potencia:  
Circuito de disparo 4

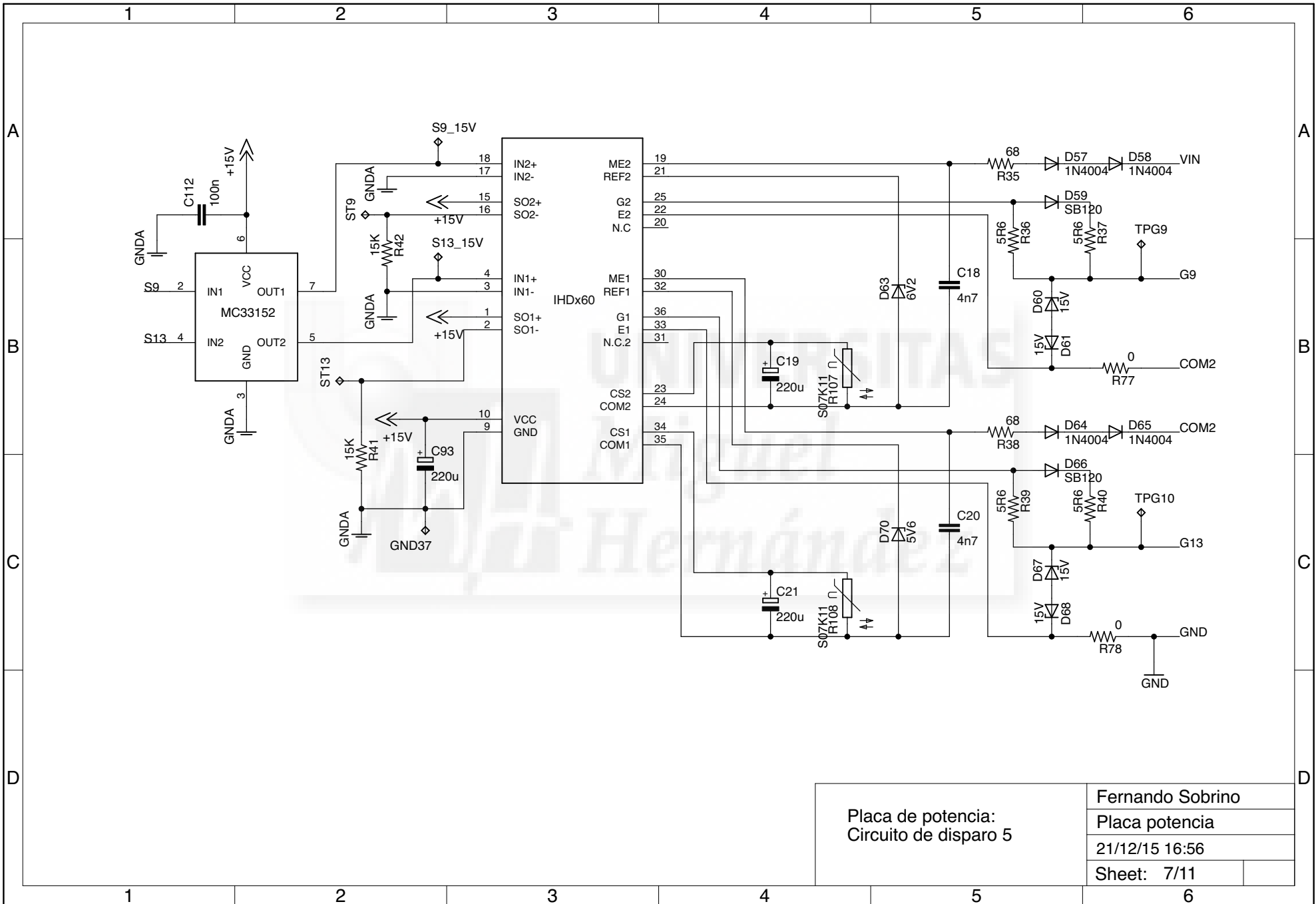
Fernando Sobrino

Placa potencia

21/12/15 16:56

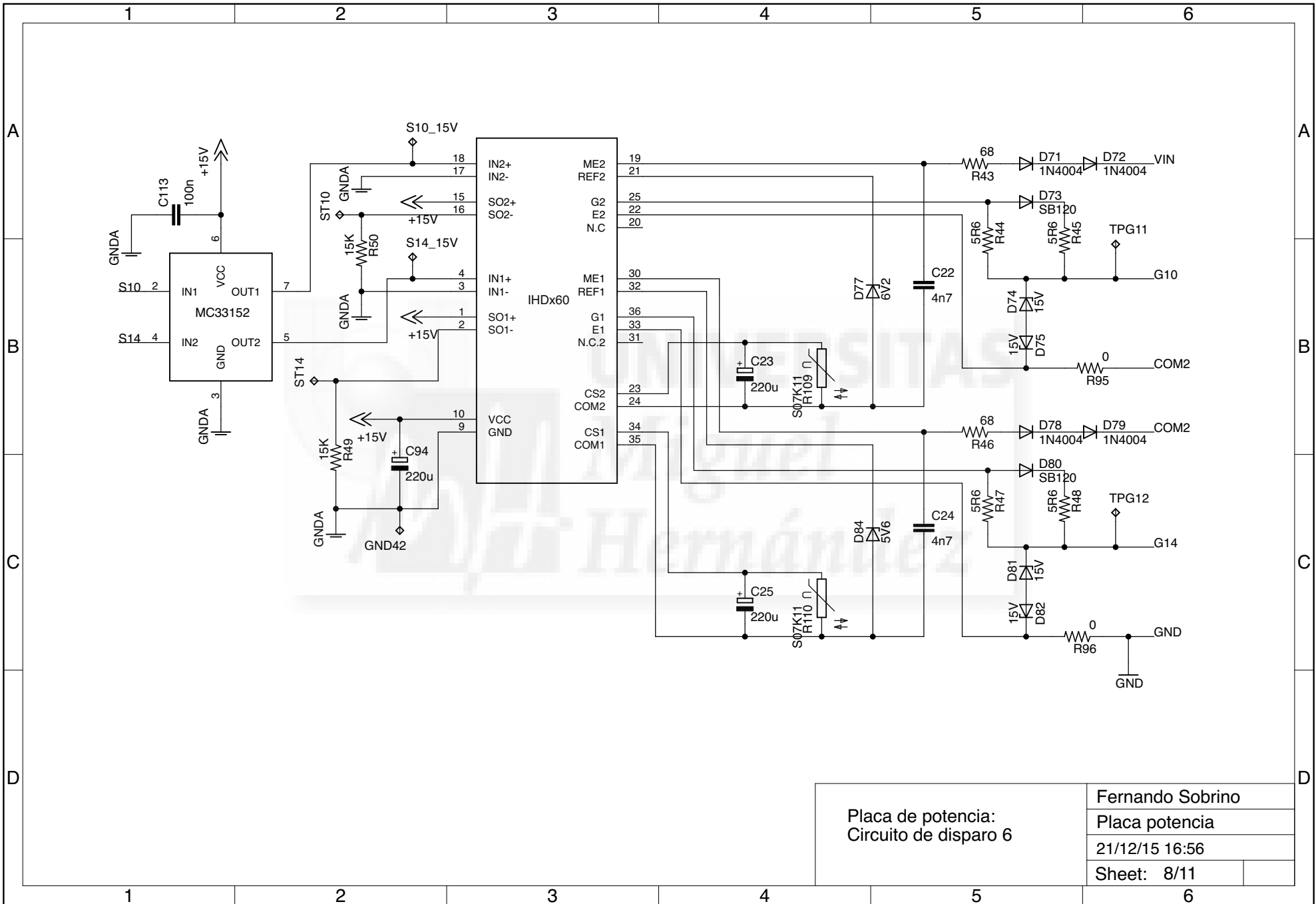
Sheet: 6/11





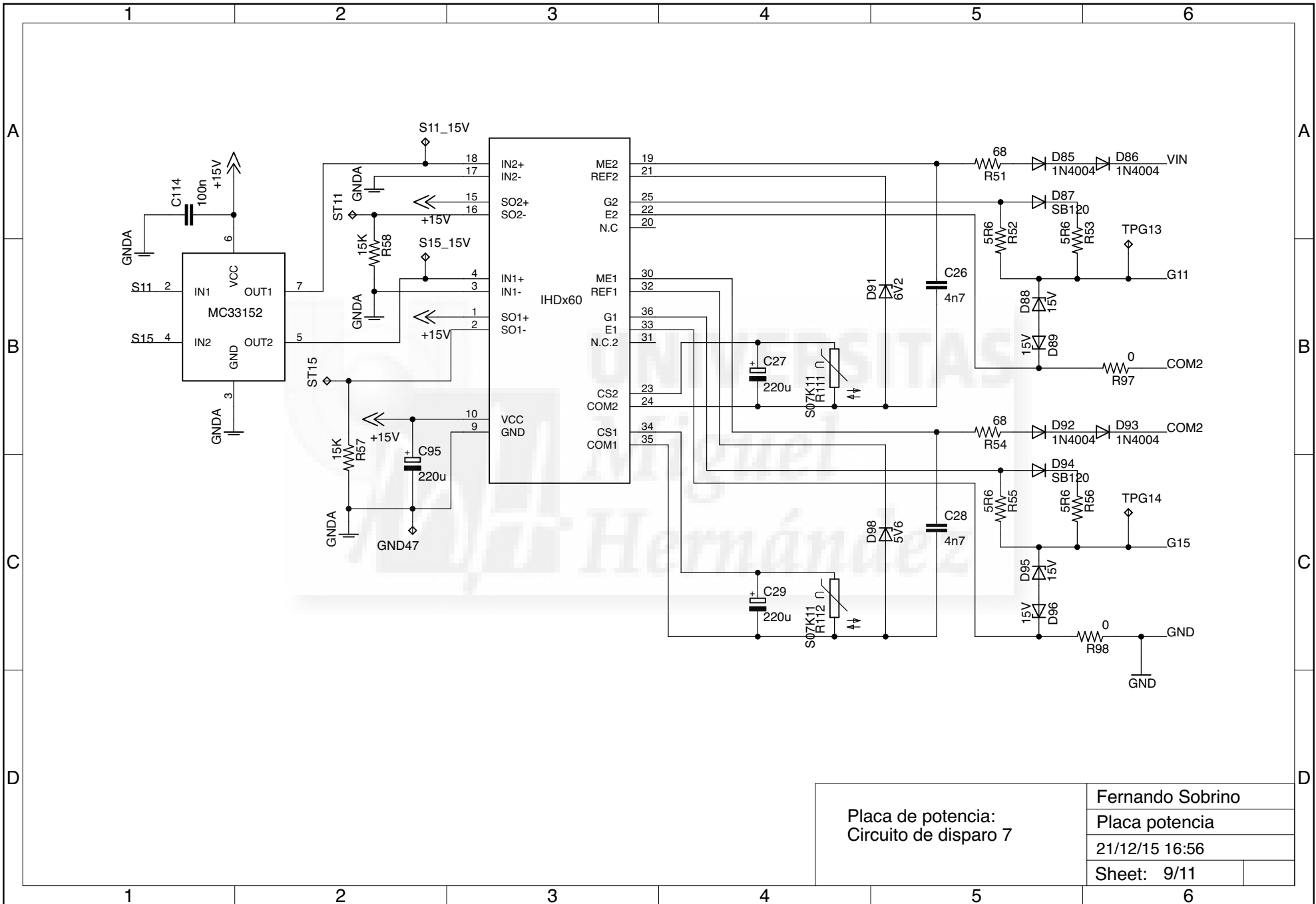
Placa de potencia:  
Circuito de disparo 5

|                  |  |
|------------------|--|
| Fernando Sobrino |  |
| Placa potencia   |  |
| 21/12/15 16:56   |  |
| Sheet: 7/11      |  |



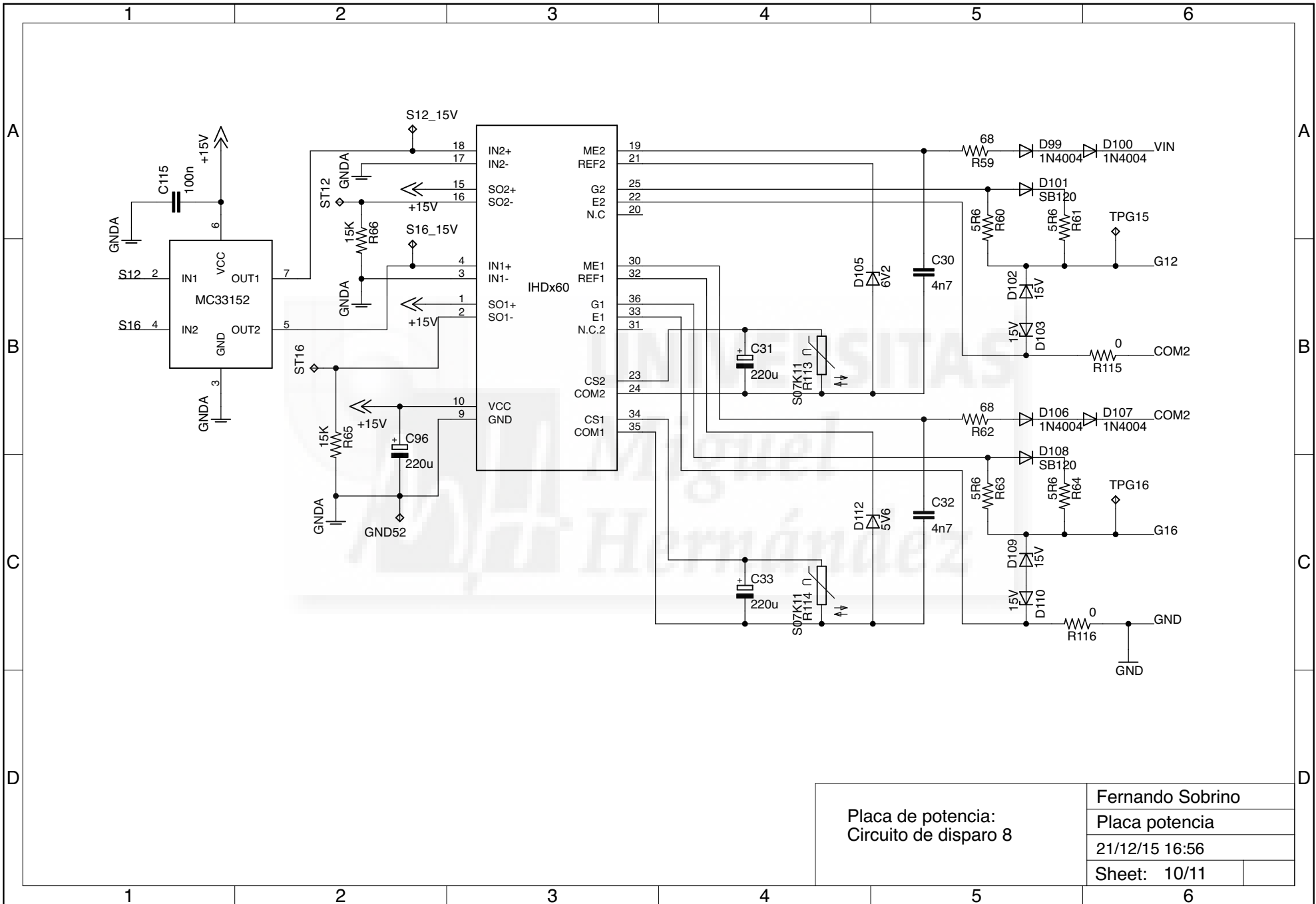
Placa de potencia:  
Circuito de disparo 6

|                  |  |
|------------------|--|
| Fernando Sobrino |  |
| Placa potencia   |  |
| 21/12/15 16:56   |  |
| Sheet: 8/11      |  |



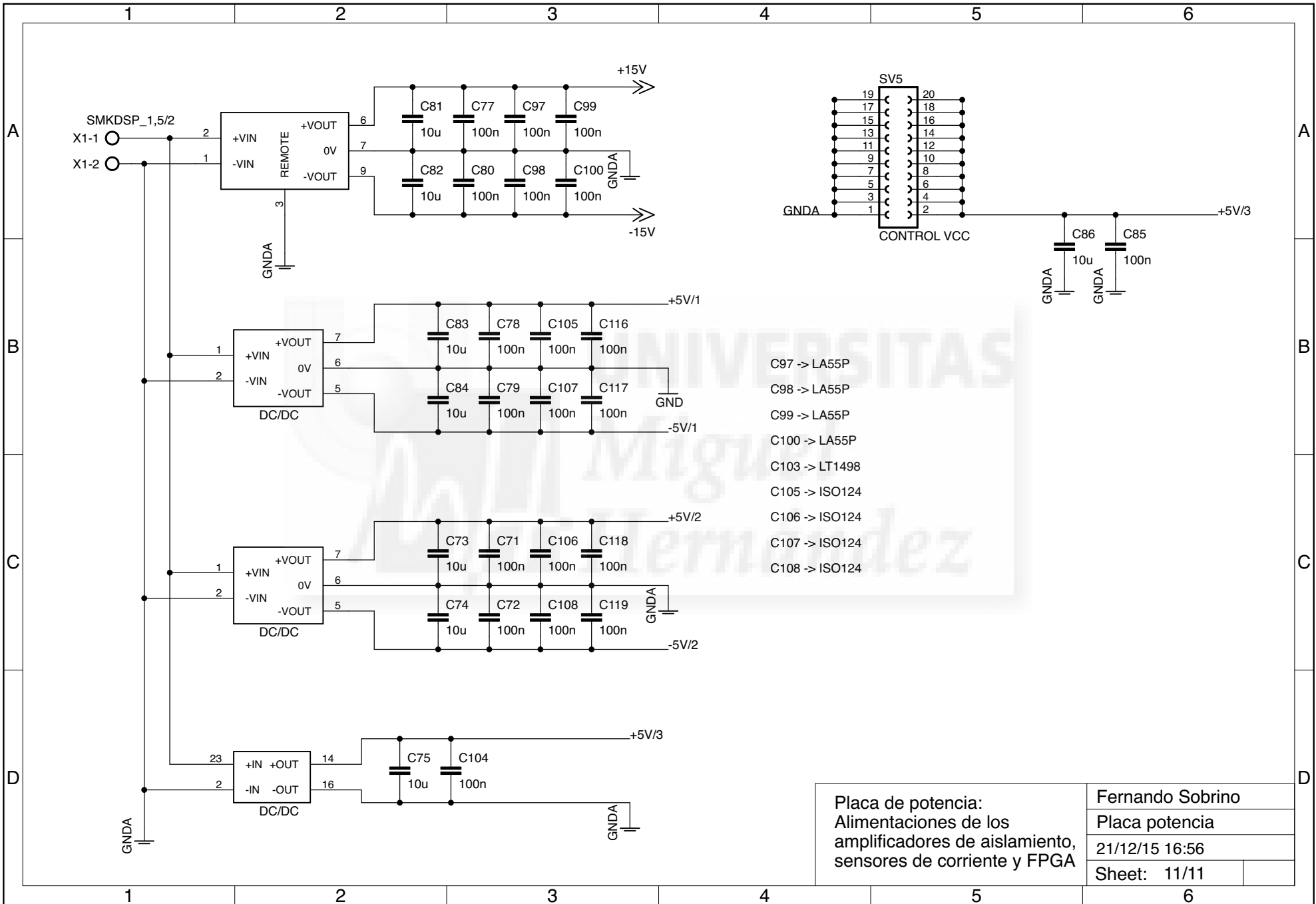
Placa de potencia:  
Circuito de disparo 7

|                  |  |
|------------------|--|
| Fernando Sobrino |  |
| Placa potencia   |  |
| 21/12/15 16:56   |  |
| Sheet: 9/11      |  |

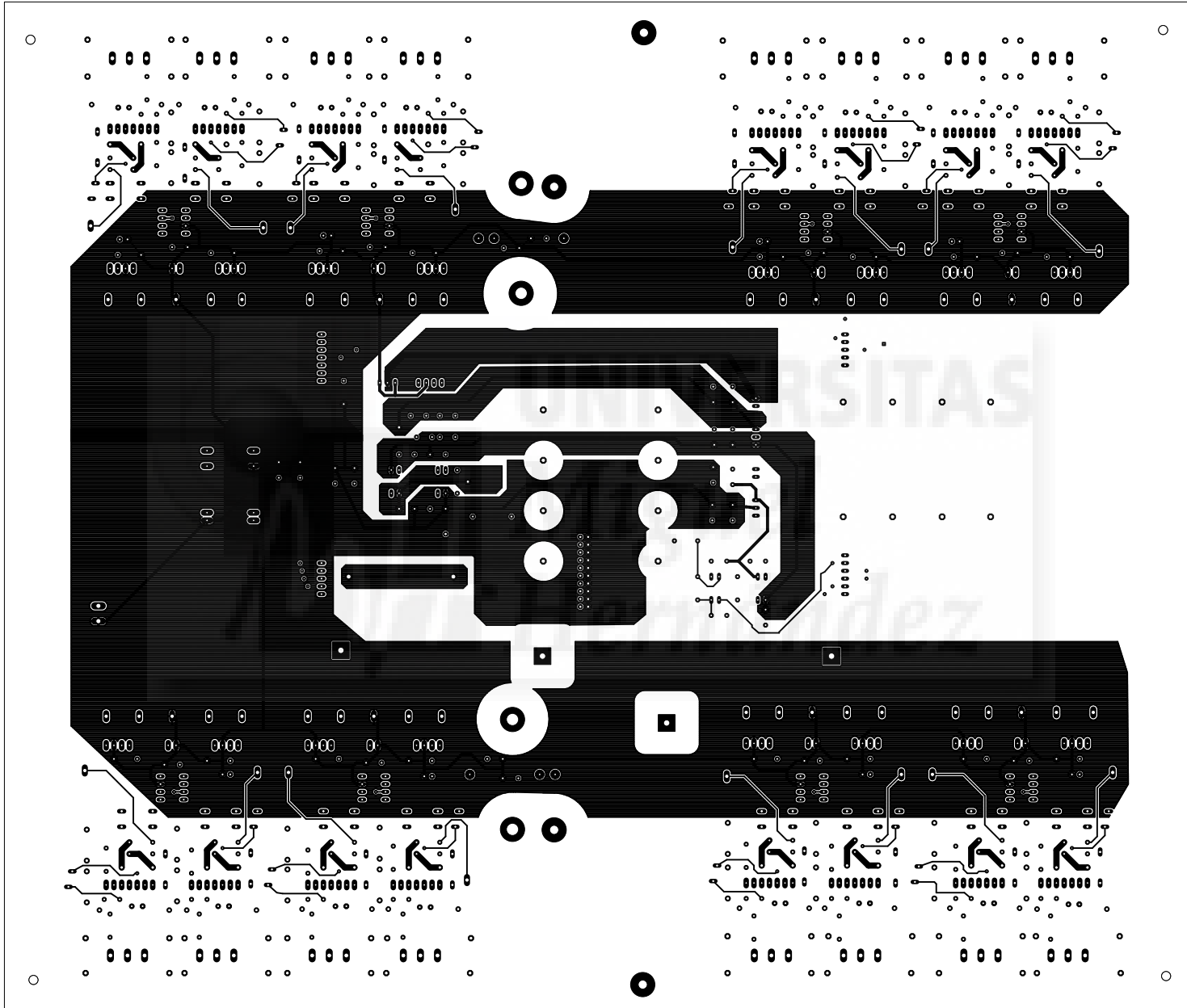


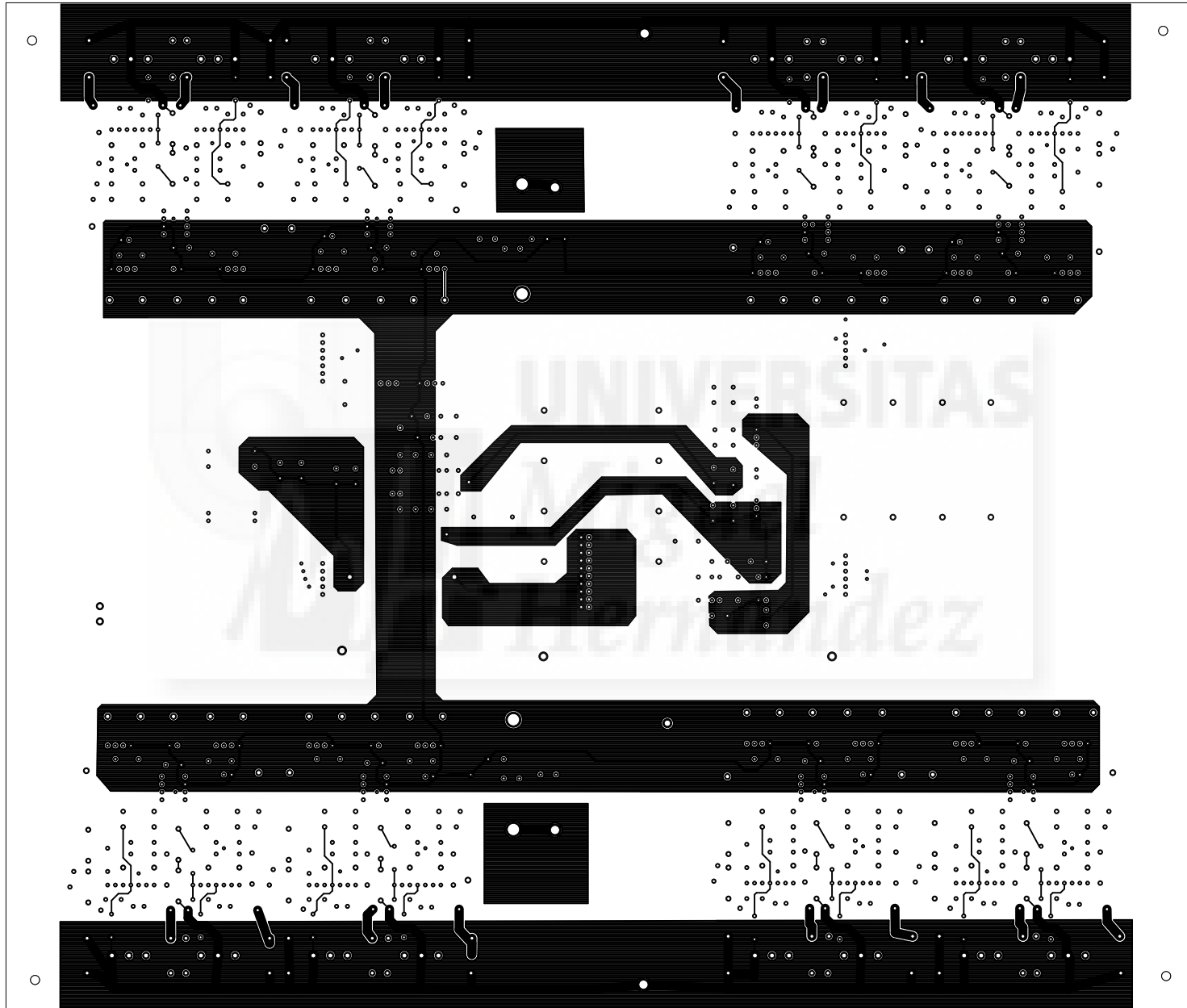
Placa de potencia:  
Circuito de disparo 8

|                  |  |
|------------------|--|
| Fernando Sobrino |  |
| Placa potencia   |  |
| 21/12/15 16:56   |  |
| Sheet: 10/11     |  |

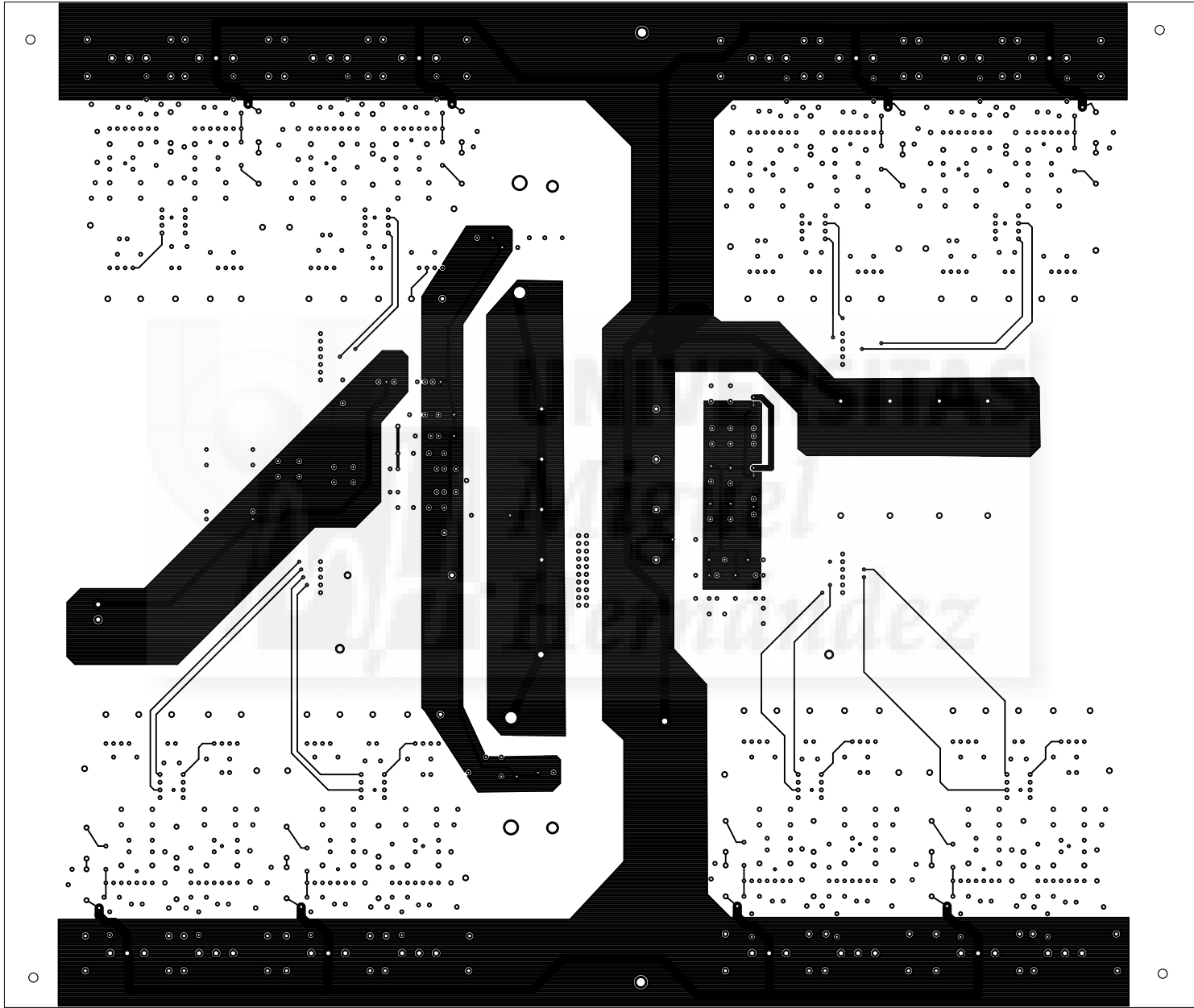


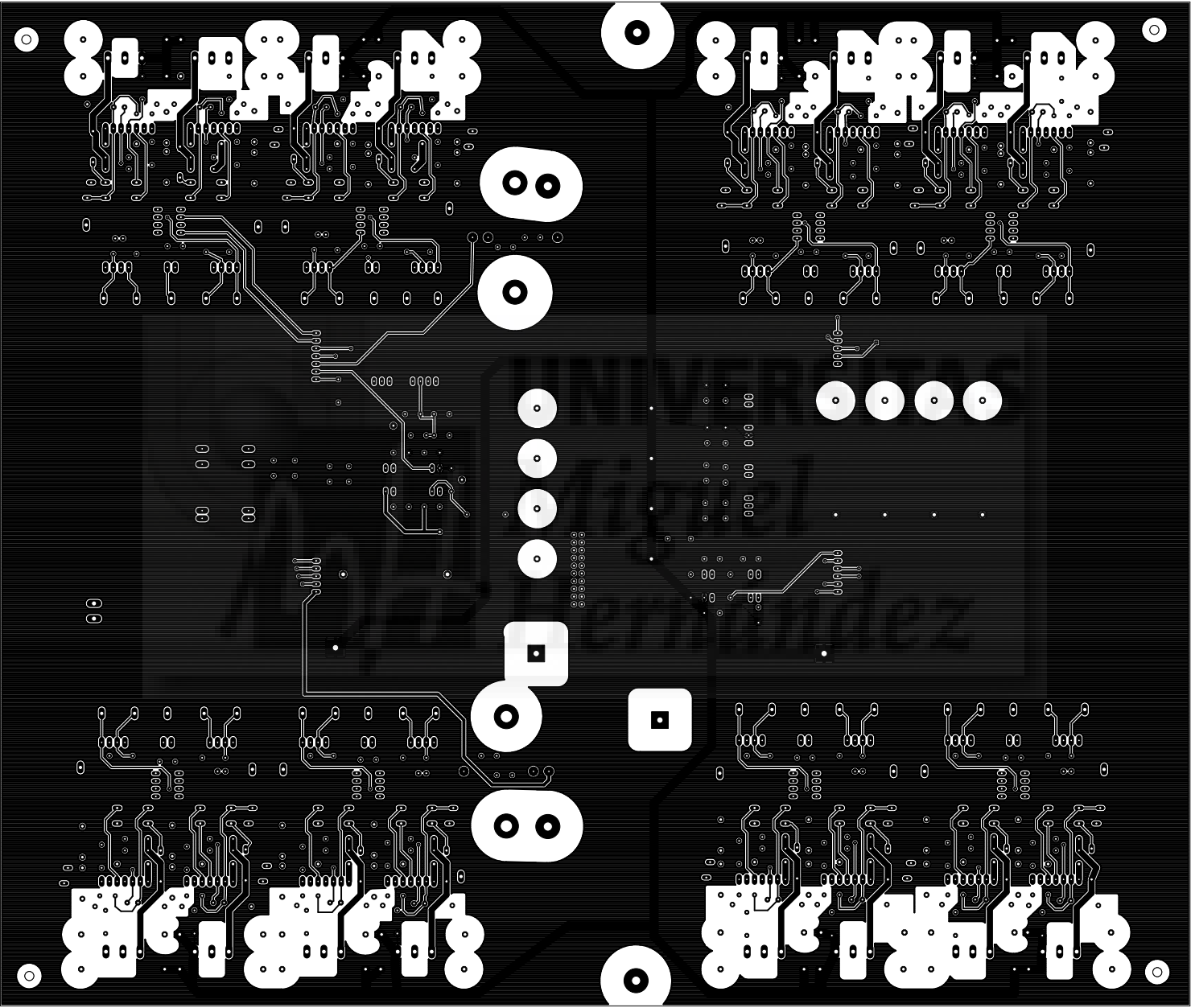


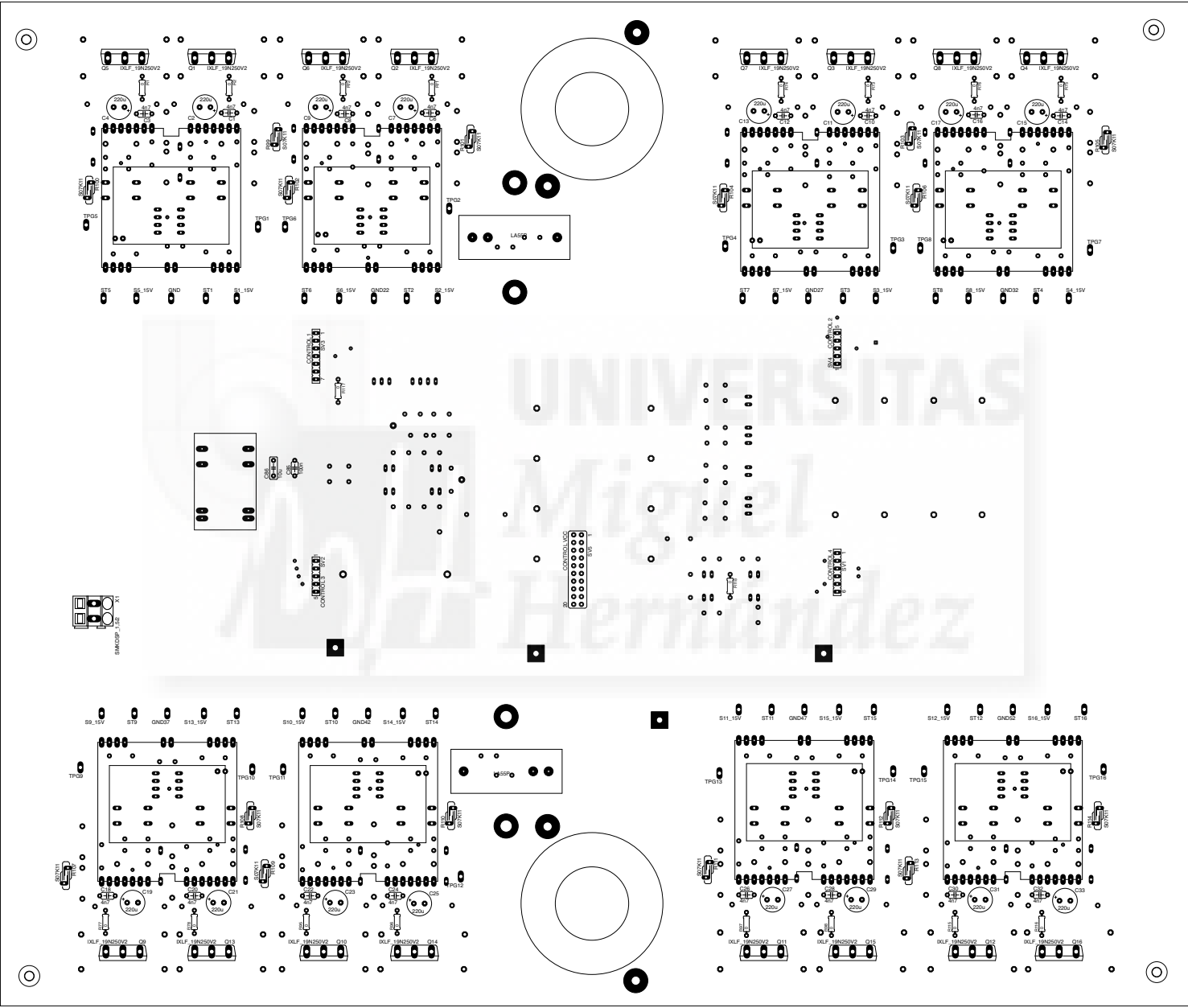


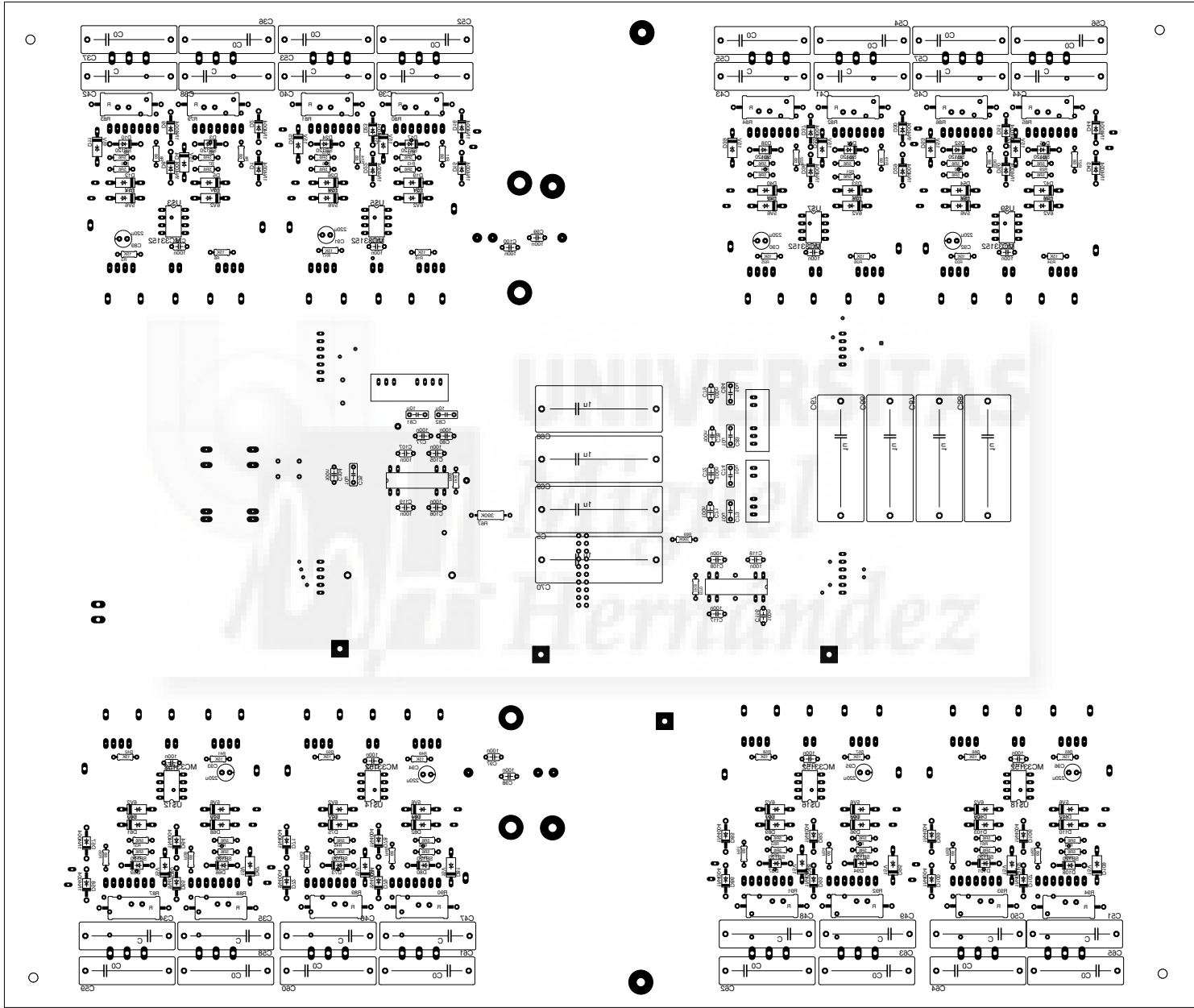












# Anexo II: Scripts de MATLAB y diagramas de SIMULINK

En este anexo se recogen las diferentes funciones y *scripts* de MATLAB utilizadas en esta tesis.

## 1. SCRIPTS DE CÁLCULO DE FUNCIONES DE PLANTA, LAZO Y CONTROLADORES PI.

El *script* *FtransfBuck.m* obtiene las funciones de planta y las pasa a SISOTOOL, para obtener los controladores PI de corriente (interno) y de tensión (externo) en modo BUCK. Este script, primero calcula las matrices de estado y una vez obtenidas estas matrices, se convierten a funciones de transferencia con la función *tf* de MATLAB. Como esta función entrega funciones de transferencia de  $v_o/V_d$  y  $i_L/V_d$ , para pasarlas a las funciones  $G_{RC}$  y  $G_{ID}$ , hay que realizar las operaciones dadas por (A2.1) y (A2.2).

$$G_{id} = \frac{i_L}{d} = \frac{V_d}{d} \frac{i_L}{V_d} \quad (A2.1)$$

$$G_{rc} = \frac{v_o}{i_L} = \frac{v_o/V_d}{i_L/V_d} = \frac{v_o/d}{i_L/d} \quad (A2.2)$$

Finalmente se llama a la función SISOTOOL con la configuración 6 que contempla dos lazos anidados, pasándole las funciones  $G_{RC}$  y  $G_{ID}$ .

```
%Script que calcula las funciones de planta y las pasa a SISOTOOL para
%obtener los controladores PI en modo BUCK.
```

```
%Parametros del convertidor DC/DC
```

```
Vd = 100;
Dc = 0.75;
L = 23.7e-6;
Co = 2085e-6;
rC = 0.01;
rL = 0.4686;
RL = 20;
```

```
[A,B,C,D]=CalcularMatrices(L,Co,rL,rC,RL,Dc); %Se obtienen las matrices
sys_ee = ss(A,B,C,D); %Se pasa a espacio de estados
sys_tf = tf(sys_ee); %Se pasa a funcion de transferencia
sys_il = (Vd/Dc)*sys_tf(1); %Se obtiene la planta Gid
sys_rc = (Vd/Dc)*sys_tf(3)/(2*(Vd/Dc)*sys_tf(1)); %Se obtiene la planta Grc
```

```
%Se pasan las plantas antes calculadas con las funciones de realimentacion
%a SISOTOOL y se configura la herramienta para que trabaje con el modo 6 de
%funciones de realimentacion.
config = sisoinit(6);
```

## Anexo II

```
config.G1.value = sys_i1;  
config.G2.value = sys_rc;  
config.H1.value = 0.047;  
config.H2.value = 0.0214797;  
sisotool(config);
```

Para calcular las matrices en el *script* anterior se utiliza la función *CalcularMatrices*, que recibe los parámetros de inductancia, resistencia del inductor, capacidad, resistencia del condensador, la resistencia de carga y el ciclo de trabajo. Esta función devuelve las matrices A, B, C y D del espacio de estados; la matriz A relaciona las variables  $i_{L1}$ ,  $i_{L2}$  y  $v_C$  con sus derivadas; el vector B relaciona  $V_d$  con las derivadas de  $i_{L1}$ ,  $i_{L2}$  y  $v_C$ ; la matriz C relaciona las variables de salida  $i_{L1}$ ,  $i_{L2}$  y  $v_o$  con  $i_{L1}$ ,  $i_{L2}$  y  $v_C$  y D relaciona las variables de salida con  $V_d$ . La función en MATLAB es la siguiente:

```
function [A,B,C,D]=CalcularMatrices(L,Co,rL,rC,RL,Dc)  
  
% Se calculan los terminos de las matrices.  
K1 = 1 + rC/RL;  
M = -(rC+K1*rL)./(K1*L);  
N = -rC./(K1*L);  
O = 1./(K1*Co);  
P = -1./(K1*L);  
Q = -1./(K1*RL*Co);  
  
% Se construye la matriz A de 3x3  
A = [  
    M, N, P;  
    N, M, P;  
    O, O, Q  
    ];  
  
% Se construye en vector B de 1x3  
B=Dc*[1/L 1/L 0]';  
  
% Se construye la matriz C de 3x3  
C=[  
    1, 0, 0;  
    0, 1, 0;  
    rC/K1, rC/K1, 1/K1  
    ];  
  
%Se construye el vector D de 1x3  
D=[0; 0; 0];  
  
%x' = Ax + Bvd  
%y = Cx + Dvd
```

El siguiente *script* se emplea para representar los diagramas de Bode de las distintas funciones de transferencia de interés en modo BUCK. Para comparar con los resultados experimentales, se emplea el archivo *VoltageLoopBuck.mat*. Este archivo se ha generado en MATLAB a partir de otro, en formato “.csv”, con los datos del analizador de redes, Omicron Bode100. La descripción de los equipos se detalla en el anexo III.

```
%Script que calcula la funcion de planta y la funcion de lazo a partir de  
%los polos, ceros y ganancia obtenidos con SISOTOOL y compara la funcion de  
%lazo teorica con la obtenida experimentalmente  
  
z = tf('z',1.28e-6);  
Ki = tf(0.047);  
Kv = tf(0.0214797);  
  
Hpwm = (1/2048);  
Hadc = (16384/2.5)*z^-1;  
F = 2048;
```

```

%Polos, ceros y ganancia del controlador C1 obtenidos con SISOTOOL.
kC1 = 9.74341978742104/2;
zC1 = 0.999955196405341;
pC1 = 1;

%Polos, ceros y ganancia del controlador C2 obtenidos con SISOTOOL.
kC2 = 0.148311456580758;
zC2 = 0.973777752003642;
pC2 = 1;

%Polos, ceros y ganancia de la planta Gid obtenidos con SISOTOOL.
kG1 = 5.33014902063038;
zG1 = [0.99996932019767;0.975009217258632];
pG1 = [0.997159583375899;0.976701495621835;0.975009217254117];

%Polos, ceros y ganancia del controlador Grc obtenidos con SISOTOOL.
kG2 = 0.00999500249875063;
zG2 = [0.997159591006943;0.976699571900744;0.975066138742682;0.974954210532965;
0.938610055766737];
pG2 = [0.999969158067896;0.997159816535666;0.97669682961181;0.975093773021488;
0.974929256640661];

%Construccion de las funciones de transferencia de los controladores C1 y
%C2
C1 = zpk(zC1,pC1,kC1,1.28e-6);
C2 = zpk(zC2,pC2,kC2,1.28e-6);

%Construccion de las funciones de transferencia de las plantas Gid y Grc
sys_i2 = zpk(zG1,pG1,kG1,1.28e-6);
sys_rc = zpk(zG2,pG2,kG2,1.28e-6);

%Lazo de corriente
Ti = sys_i2*C2*Ki*Hpwm*2.5*Hadc*1/8
Fi=(1/(Ki*2.5*Hadc*(1/8)))*Ti/(1+Ti);

%Lazo de tension
Tv = sys_rc*2*Fi*C1*Kv*2.5*Hadc*1/8;
Fv=F*(1/(Kv*2.5*Hadc*(1/8)))*Tv/(1+Tv);

% Diagramas de Bode de los controladores
figure(1);
subplot(2,2,1), bode(C1); title ('C1');
subplot(2,2,2), bode(C2); title ('C2');
subplot(2,2,3), pzmap(C1); title ('C1');
subplot(2,2,4), pzmap(C2); title ('C2');

%Diagramas de Bode de las plantas Gid y Grc
figure(2);
subplot(1,2,1), bode(sys_i2); title ('plant G1 (I)');
subplot(1,2,2), bode(sys_rc); title ('plant G2 (V)');

%Diagramas de Bode de la funcion de lazo de tension y de corriente.
figure(3);
subplot(1,2,1), bode(Ti); title ('AB open loop (I)');
subplot(1,2,2), bode(Tv); title ('AB open loop (V)');

%Comparativa de la funcion de lazo teorica y practica.
[MAG,PHASE,W] = bode(Tv);
load('VoltageLoopBuck.mat');
figure;
subplot(2,1,1), semilogx(Freq,Gv_db,'r'); ylabel('|ABv|(dB)');
hold on;
subplot(2,1,1), semilogx(squeeze(W/(2*pi)),squeeze(20*log10(MAG)));
hold off;
subplot(2,1,2), semilogx(Freq,Gv_deg-180,'r'); ylabel('Phase (deg)');
hold on;
subplot(2,1,2), semilogx(squeeze(W/(2*pi)),squeeze(PHASE)); xlabel('Frequency (Hz)');
hold off;
legend('Experimental','Theoretical')

```

Para el modo BOOST se procede de forma similar. El *script FtransfBoost.m*, obtiene las plantas  $G_{VD}$ ,  $G_{ID}$  y  $G_{RC}$  mediante la función *FuncionTransfBoost*, pasando los parámetros del convertidor BOOST; estas

plantas se pasan a SISOTOOL para calcular los controladores PI de corriente (interno) y tensión (externo). El script *FtransfBoost.m* se muestra a continuación.

```
%Script que calcula las funciones de planta y las pasa a SISOTOOL para
%obtener los controladores PI en modo BUCK.

%Parametros del convertidor DC/DC
rC = 0.01;
rL = 0.4686;
L = 23.7e-6;
Co = 2085e-6;
Dc = 0.25;
RL = 20;
Vd = 75;

%Calculo de las funciones de transferencia Gvd, Gid y Grc del convertidor
%BOOST
[Vo_d, il_d, sys_rc] = FuncionTransfBoost(rC,rL,L,Co,Dc,RL,Vd);

%Se pasan las plantas antes calculadas con las funciones de realimentacion
%a SISOTOOL y se configura la herramienta para que trabaje con el modo 6 de
%funciones de realimentacion.
config = sisoinit(6);
config.G1.value = il_d;
config.G2.value = sys_rc;
config.H1.value = 0.047;
config.H2.value = 0.0214797;
sisotool(config);
```

La función *FuncionTransfBoost* obtiene las funciones de transferencia de planta  $G_{VD}$ ,  $G_{ID}$  y  $G_{RC}$  del convertidor en modo BOOST; las funciones  $G_{VD}$ ,  $G_{ID}$  se obtienen a partir del circuito equivalente y la función de planta  $G_{RC}$  se calcula a partir de la relación entre la corriente de la bobina y la de salida  $G_{IDL}$  y  $G_{VOID}$  ( $i_d$  es la corriente de salida de una fase).

$$G_{v_o i_d} = \frac{v_o}{i_d} = \frac{R_L r_c C s + R_L}{(R_L + r_c) C s + 1} \quad (A2.3)$$

$$G_{i_d i_L} = \frac{i_d}{i_L} = (1-D) \frac{I_i}{2G_{id}} \quad \left[ G_{id} = \frac{i_L}{d} \right] \quad (A2.4)$$

$$G_{rc} = \frac{v_o}{i_L} = \frac{v_o}{i_d} \frac{i_d}{i_L} \quad (A2.5)$$

```
function [Gvd, Gid, Grc] = FuncionTransfBoost(rC,rL,L,C,D,RL,Vi)

s = tf('s');

%Coeficientes del denominador A1 y A0
A1 = ((RL*rL+rC*rL+2*RL*(1-D)^2*rC)*C+L)/((RL+rC)*L*C);
A0 = (2*RL*(1-D)^2+rL)/((RL+rC)*L*C);

K1 = 2*Vi*(RL/(rC+RL));
Ii = Vi/(RL*(1-D)^2);

%Calculo de las plantas Gvd y Gid
Gvd = (((K1-(rL+L*s)*Ii)*RL*(rC*C*s+1))/((RL+rC)*L*C))/(s^2 + A1*s + A0);
Gid = (((RL+rC)*C*s+1)*100+(1-D)*2*RL*(rC*C*s+1)*0.5*Ii)/((RL+rC)*L*C)/(s^2 + A1*s + A0);

%Calculo de la planta Grc
Gvoid = (RL*rC*C*s+RL)/((RL+rC)*C*s+1)
```



```
Gidil = (1-D) - Ii/(2*Gid)
Grc = Gidil*Gvoid;
```

El siguiente *script*, al igual que en el modo BUCK, se emplea para representar los diagramas de Bode de las distintas funciones de transferencia de interés. La comparación con los datos experimentales se realiza en el archivo *VoltageLoopBoost3.mat*. Este archivo procesa los datos obtenidos con analizador de redes, Omicron Bode 100.

```
%Script que calcula la funcion de planta y la funcion de lazo a partir de
%los polos, ceros y ganancia obtenidos con SISOTOOL y compara la funcion de
%lazo teorica con la obtenida experimentalmente
```

```
z = tf('z');
Ki = tf(0.047);
Kv = tf(0.0214797);
Hpwm = (1/2048);
Hadc = (16384/2.5)*z^-1;
F = 2048;
```

```
%Polos, ceros y ganancia del controlador C1 obtenidos con SISOTOOL.
```

```
kC1 = 6.6409073929464/2;
zC1 = 0.999977597963982;
pC1 = 1;
```

```
%Polos, ceros y ganancia del controlador C2 obtenidos con SISOTOOL.
```

```
kC2 = 0.0687799736930457;
zC2 = 0.968939691264351;
pC2 = 1;
```

```
%Polos, ceros y ganancia de la planta Gid obtenidos con SISOTOOL.
```

```
kG1 = 2.67677312103362;
zG1 = [-1;0.999972776030315];
pG1 = [0.998606568263002;0.973279546732621];
```

```
%Polos, ceros y ganancia del controlador Grc obtenidos con SISOTOOL.
```

```
kG2 = 0.00987638861564488;
zG2 = [-6.55287846160794;0.999986372814889;0.987796739441303];
pG2 = [-1;0.999986372796244;0.999972776048943];
```

```
%Construccion de las funciones de transferencia de los controladores C1 y
%C2
```

```
C1 = zpk(zC1,pC1,kC1,1.28e-6,'variable','z^-1')
C2 = zpk(zC2,pC2,kC2,1.28e-6,'variable','z^-1')
```

```
%Construccion de las funciones de transferencia de las plantas Gid y Grc
```

```
sys_i2 = zpk(zG1,pG1,kG1,1.28e-6,'variable','z^-1')
sys_rc = zpk(zG2,pG2,kG2,1.28e-6,'variable','z^-1');
```

```
%Lazo de corriente
```

```
Ti = sys_i2*C2*Ki*Hpwm*2.5*Hadc*1/8
Fi=(1/(Ki*2.5*Hadc*1/8))*Ti/(1+Ti);
```

```
%Lazo de tension
```

```
Tv = sys_rc*2*Fi*C1*Kv*2.5*Hadc*1/8;
Fv=F*(1/(Kv*2.5*Hadc*1/8))*Tv/(1+Tv);
```

```
% Diagramas de Bode de los controladores
```

```
figure(1);
subplot(2,2,1), bode(C1); title ('C1');
subplot(2,2,2), bode(C2); title ('C2');
subplot(2,2,3), pzmap(C1); title ('C1');
subplot(2,2,4), pzmap(C2); title ('C2');
```

```
%Diagramas de Bode de las plantas Gid y Grc
```

```
figure(2);
subplot(1,2,1), bode(sys_i2); title ('plant G1 (I)');
subplot(1,2,2), bode(sys_rc); title ('plant G2 (V)');
```

```
%Diagramas de Bode de la funcion de lazo de tension y de corriente.
```

```
figure(3);
subplot(1,2,1), bode(Ti); title ('AB open loop (I)');
subplot(1,2,2), bode(Tv); title ('AB open loop (V)');
```

```
%Comparativa de la funcion de lazo teorica y practica.  
[MAG,PHASE,W] = bode(Tv,{2*pi*10,2*pi*3e4});  
figure(7)  
load('VoltageLoopBoost3.mat');  
subplot(2,1,1), semilogx(Freq,G_db,'r'); ylabel('|ABv|(dB)');  
hold on;  
subplot(2,1,1), semilogx(squeeze(W/(2*pi)),squeeze(20*log10(MAG)));  
hold off;  
subplot(2,1,2), semilogx(Freq,Phase-180,'r'); ylabel('Phase (deg)');  
hold on;  
subplot(2,1,2), semilogx(squeeze(W/(2*pi)),squeeze(PHASE)-0); xlabel('Frequency (Hz)')  
hold off;  
legend('Experimental','Theoretical');
```



## 2. SCRIPTS DE OBTENCIÓN DE FIGURAS DE RESULTADOS.

En el siguiente script, se obtienen las figuras que comparan los resultados de simulación con los experimentales del convertidor DC/DC en modo BUCK, ante un salto de carga ascendente y descendente. Se promedian los resultados experimentales de tensión y de corriente y se muestran junto con los resultados de simulación (modelo promediado).

El script lee los resultados experimentales a partir de varios ficheros; un fichero "DCDCBuckUpCurrentEx.mat" que se genera en MATLAB a partir de otro fichero ".csv", generado por el osciloscopio "Tektronix DPO4034" disparado, por flanco de subida, en el canal donde se encuentra la sonda de la corriente. El fichero con los datos de simulación, "DCDCBuckUpCurrentTh.mat", se genera en MATLAB a partir de otro fichero ".csv" que incluye los datos generados por el programa de simulación de circuitos electrónicos Powersimtech PSIM, simulando el convertidor en modo BUCK con las mismas características que el modelo experimental.

Para el salto de corriente descendente se emplean los ficheros "DCDCBuckDownCurrentEx.mat" para los datos experimentales y "DCDCBuckDownCurrentTh.mat" para los datos de simulación.

```

load('DCDCBuckUpCurrentEx.mat') %Resultados experimentales escalon subida
load('DCDCBuckUpCurrentTh.mat') %Resultados de simulacion escalon subida

%Se obtiene el promedio de los resultados experimentales de tension de
%salida y se muestran junto con los resultados de simulacion.
Vp = promedio(V,2048);
subplot(2,1,1),
plot(T,Vos,'b')
hold on
plot(0.3007+Time(1:90:97953),Vp(1:90:97953),'r');
axis([0.291 0.325 73 75])
xlabel('time(s)'); ylabel('Vout(V)')

%Se obtiene el promedio de los resultados experimentales de corriente en la
%bobina y se muestran junto con los resultados de simulacion.
Ip = promedio(A,2048);
subplot(2,1,2),
plot(T,Ills,'b')
hold on
plot(0.3007+Time(1:90:97953),Ip(1:90:97953),'r');
hold off
axis([0.291 0.325 1 6])
xlabel('time(s)'); ylabel('IL1(A)')

legend('Simulation','Experimental')

figure;
load('DCDCBuckDownCurrentEx.mat') %Resultados experimentales escalon bajada
load('DCDCBuckDownCurrentTh.mat') %Resultados de simulacion excalon bajada

%Se obtiene el promedio de los resultados experimentales de tension de
%salida y se muestran junto con los resultados de simulacion.
Vp = promedio(V,2048);
subplot(2,1,1),
plot(T,Vos,'b')
hold on
plot(0.3009+Time(1:90:97953),Vp(1:90:97953),'r');
axis([0.291 0.325 74 75.5])
xlabel('time(s)'); ylabel('Vout(V)')

%Se obtiene el promedio de los resultados experimentales de corriente en la
%bobina y se muestran junto con los resultados de simulacion.

```

## Anexo II

```
Ip = promedio(A,2048);
subplot(2,1,2),
plot(T, I11s, 'b')
hold on
plot(0.3009+Time(1:90:97953), Ip(1:90:97953), 'r');
hold off
axis([0.291 0.325 1 6])
xlabel('time(s)'); ylabel('IL1(A)')

legend('Simulation', 'Experimental')
```

En este *script* hay una función denominada *promedio2* que no hace más que promediar las muestras con una ventana de longitud  $N_{\text{puntos}}$ , la función se muestra a continuación.

```
function Vp = promedio (Vin,Npuntos)
%Promediado
for a = 1:(length(Vin)-Npuntos);
    Vp(a) = sum(Vin(a:Npuntos+a))/Npuntos;
end
```

En el siguiente *script*, se obtienen las figuras que comparan los resultados de simulación con los experimentales del convertidor DC/DC en modo BOOST, ante saltos de carga ascendentes y descendentes. Se promedian los resultados experimentales de tensión y de corriente y se muestran junto con los resultados de simulación (modelo promediado), los resultados en una gráfica donde hay varios saltos de carga.

El *script* lee los resultados experimentales a partir de dos ficheros; un fichero “*DynamicBoost.mat*” que se genera en MATLAB a partir de otro fichero “.csv”, generado por el osciloscopio “Tektronix DPO4034”, disparado por flanco de subida, en el canal donde se encuentra la sonda de la corriente. El fichero “*SaltosCorrienteBoost.mat*” contiene los datos de simulación generados por PSIM.

```
load('DynamicBoost.mat') %Resultados experimentales
load('SaltosCorrienteBoost.mat') % Resultados de simulacion
Vop = promedio (Vo,42); %Promedio resultados experimentales tension
ILp = promedio (IL,42); %Promedio resultados experimentales corriente

%Representacion de los resultados experimentales junto con los de
%simulacion de la tension de salida
subplot(2,1,1), plot(Time(1:100:100001-42)+0.815, Vop(1:100:100001-42), 'b')
hold on
plot(Time1, Vos, 'r')
axis([0.32 1.3 100 105]);
hold off;
xlabel('Time(s)');
ylabel('Vo(V)')

%Representacion de los resultados experimentales junto con los de
%simulacion de la corriente en la bobina
subplot(2,1,2), plot(Time(1:100:100001-42)+0.815, -ILp(1:100:100001-42), 'b')
hold on
plot(Time1, I11s, 'r')
axis([0.32 1.3 0 4]);
hold off
xlabel('Time(s)');
ylabel('IL(A)')
legend('Experimental', 'Simulation');
```

En el siguiente *script*, se obtienen las figuras que comparan el rendimiento con diferentes snubbers, 0, 8, 18 y 27nF y con diferentes tiempos muertos, 1, 2 y 3 $\mu$ s, en modo BUCK con una tensión de entrada de 100V y un ciclo de trabajo del 75%

```

% Carga de resultados experimentales rendimiento en lazo cerrado mudo BUCK
load('EffBuckCL100v.mat');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 1us y
% varios snubber: 0uF, 8nF y 18nF
plot(Curr,Rend100vNS1us,'+b', Curr,Rend100v8n1us,'*r', Curr,Rend100v18n1us,'vg',
Curr,Rend100v27n1us,'sc')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','8n','18n','27n');
title('Dead time 1us');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 2us y
% varios snubber: 0uF, 8nF y 18nF
figure;
plot(Curr,Rend100vNS2us,'+b', Curr,Rend100v8n2us,'*r', Curr,Rend100v18n2us,'vg',
Curr,Rend100v27n2us,'sc')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','8n','18n','27n');
title('Dead time 2us');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 3us y
% varios snubber: 0uF, 8nF y 18nF
figure;
plot(Curr,Rend100vNS3us,'+b', Curr,Rend100v8n3us,'*r', Curr,Rend100v18n3us,'vg',
Curr,Rend100v27n3us,'sc')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','8n','18n','27n');
title('Dead time 3us');

```

En el siguiente *script* se obtienen las figuras que comparan el rendimiento con diferentes snubbers, 0, 8 y 18nF y con diferentes tiempos muertos, 1 y 2us, en modo BUCK con una tensión de entrada de 150V y ciclos de trabajo del 75%, 80% y 85%.

```

% Carga de resultados experimentales rendimiento en lazo abierto mudo BUCK
% Vi 150v Vo 112.5v 75%
load('EffBuckOL150v75.mat');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 1us y
% varios snubber: 0uF, 8nF y 18nF
plot(Curr,Rend150v75NS1us,'+b', Curr,Rend150v751n51us,'*r', Curr,Rend150v754n71us,'vg')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','1n5','4n7');
title('Dead time 1us, 75% duty cycle, BUCK mode');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 2us y
% varios snubber: 0uF, 8nF y 18nF
figure;
plot(Curr,Rend150v75NS2us,'+b', Curr,Rend150v751n52us,'*r', Curr,Rend150v754n72us,'vg')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','1n5','4n7');
title('Dead time 2us, 75% duty cycle, BUCK mode');

% Carga de resultados experimentales rendimiento en lazo abierto mudo BUCK
% Vi 150v Vo 120v 80%
load('EffBuckOL150v80.mat');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 1us y
% varios snubber: 0uF, 8nF y 18nF
figure;
plot(Curr,Rend150v80NS1us,'+b', Curr,Rend150v801n51us,'*r', Curr,Rend150v804n71us,'vg')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','1n5','4n7');
title('Dead time 1us, 80% duty cycle, BUCK mode');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 2us y
% varios snubber: 0uF, 8nF y 18nF
figure;
plot(Curr,Rend150v80NS2us,'+b', Curr,Rend150v801n52us,'*r', Curr,Rend150v804n72us,'vg')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','1n5','4n7');
title('Dead time 2us, 80% duty cycle, BUCK mode');

% Carga de resultados experimentales rendimiento en lazo abierto mudo BUCK
% Vi 150v Vo 127.5 85%
load('EffBuckOL150v85.mat');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 1us y
% varios snubber: 0uF, 8nF y 18nF
figure;

```

```
plot(Curr,Rend150v85NS1us,'+b', Curr,Rend150v851n51us,'*r', Curr,Rend150v854n71us,'vg')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','1n5','4n7');
title('Dead time 1us, 85% duty cycle, BUCK mode');
```

```
% Mostrar resultados experimentales rendimiento con tiempo muerto de 2us y
% varios snubber: 0uF, 8nF y 18nF
figure;
plot(Curr,Rend150v85NS2us,'+b', Curr,Rend150v851n52us,'*r', Curr,Rend150v854n72us,'vg')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','1n5','4n7');
title('Dead time 2us, 85% duty cycle, BUCK mode');
```

En el siguiente *script* se obtienen las figuras que comparan el rendimiento con diferentes snubbers, 0, 8 y 18nF y con diferentes tiempos muertos, 1 y 2us, en modo BOOST con una tensión de salida de 150V y ciclos de trabajo del 25%, 20% y 15%.

```
% Carga de resultados experimentales rendimiento en lazo abierto mudo BOOST
% Vi 112v Vo 150v 25%
load('EffBoostOL112v.mat');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 1us y
% varios snubber: 0uF, 1n5 y 4n7
plot(Curr,Rend112vNS1us,'+b', Curr,Rend112v1n51us,'*r', Curr,Rend112v4n71us,'vg')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','1n5','4n7');
title('Dead time 1us, 25% duty cycle, BOOST mode');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 2us y
% varios snubber: 0uF, 1n5 y 4n7
figure;
plot(Curr,Rend112vNS2us,'+b', Curr,Rend112v1n52us,'*r', Curr,Rend112v4n72us,'vg')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','1n5','4n7');
title('Dead time 2us, 25% duty cycle, BOOST mode');

% Carga de resultados experimentales rendimiento en lazo abierto mudo BOOST
% Vi 120v Vo 150v 20%
load('EffBoostOL120v.mat');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 1us y
% varios snubber: 0uF, 1n5 y 4n7
figure;
plot(Curr,Rend120vNS1us,'+b', Curr,Rend120v1n51us,'*r', Curr,Rend120v4n71us,'vg')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','1n5','4n7');
title('Dead time 1us, 20% duty cycle, BOOST mode');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 2us y
% varios snubber: 0uF, 1n5 y 4n7
figure;
plot(Curr,Rend120vNS2us,'+b', Curr,Rend120v1n52us,'*r', Curr,Rend120v4n72us,'vg')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','1n5','4n7');
title('Dead time 2us, 20% duty cycle, BOOST mode');

% Carga de resultados experimentales rendimiento en lazo abierto mudo BOOST
% Vi 127.5v Vo 150v 15%
load('EffBoostOL127v.mat');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 1us y
% varios snubber: 0uF, 1n5 y 4n7
figure;
plot(Curr,Rend127vNS1us,'+b', Curr,Rend127v1n51us,'*r', Curr,Rend127v4n71us,'vg')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','1n5','4n7');
title('Dead time 1us, 15% duty cycle, BOOST mode');

% Mostrar resultados experimentales rendimiento con tiempo muerto de 2us y
% varios snubber: 0uF, 1n5 y 4n7
figure;
plot(Curr,Rend127vNS2us,'+b', Curr,Rend127v1n52us,'*r', Curr,Rend127v4n72us,'vg')
xlabel('Current (A)'); ylabel('Efficiency (%)'); legend('No Snubber','1n5','4n7');
title('Dead time 2us, 15% duty cycle, BOOST mode');
```

### 3. SCRIPT DE CÁLCULO DE LOS INDUCTORES DEL CONVERTIDOR

En este *script*, se obtienen los parámetros necesarios para construir los dos inductores del convertidor DC/DC. Los parámetros de diseño del inductor son: el valor de la inductancia en microhenrios (L), la corriente máxima que soportará la bobina (Imax) y la frecuencia de operación en Hz (freq). Los parámetros del núcleo 55440 A2 de Magnetics, son extraídos de la hoja de características, intensidad máxima del campo magnético (Bmax), nano henrios por vuelta (Al), longitud efectiva en mm (Le), área efectiva mm<sup>2</sup> (Ae), superficie mm<sup>2</sup> (superf), longitud del cable por vuelta en mm (LT). Cm, x e y son parámetros de la curva de pérdidas. Este *script* devuelve el número de vueltas del cable alrededor del núcleo, la longitud total del cable y estima las pérdidas del inductor.

```
function CalcularBobina

clc; clear;

% Características de la bobina a calcular
L = 23.6e-6;
Imax = 16.67;
freq = 48828.125/1000;

% Características del núcleo magnetico 55440A2 de magnetics
Bmax = 0.2;
Al = 59;
Le = 107.4;
Ae = 199;
superf = 21300;
Cm = 70.83;
x = 1.65;
y = 2.34;
LT = 63.7;

%Calculo del numero de vueltas
N = sqrt((L/1e-9)/Al)

%Calculo de la longitud del cable
Lcable = N*LT*1e-3

%Calculo de perdidas
Pcore = Cm*(freq^x)*(Bmax^y);%mW/cm3
Ploss = superf*Pcore/1e6
```

### 4. DIAGRAMAS DE SIMULINK

En este apartado se exponen los diagramas de SIMULINK utilizados en el diseño del convertidor DC/DC. En primer lugar, la figura A2.1 representa el diagrama utilizado para simular el convertidor en lazo cerrado en modo BUCK y BOOST y para implementar en VHDL el bloque “Control”.

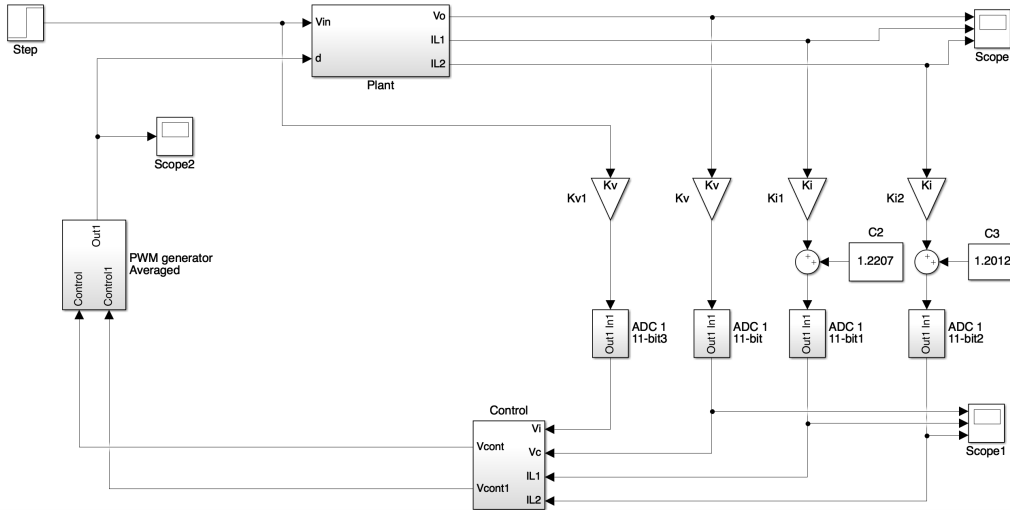


Figura A2.1: Diagrama de bloques del convertidor DC/DC en SIMULINK.

En la figura A2.2 se expone el diagrama de bloques del bloque “Control” que se implementa en lenguaje VHDL para ser implementado en la FPGA.

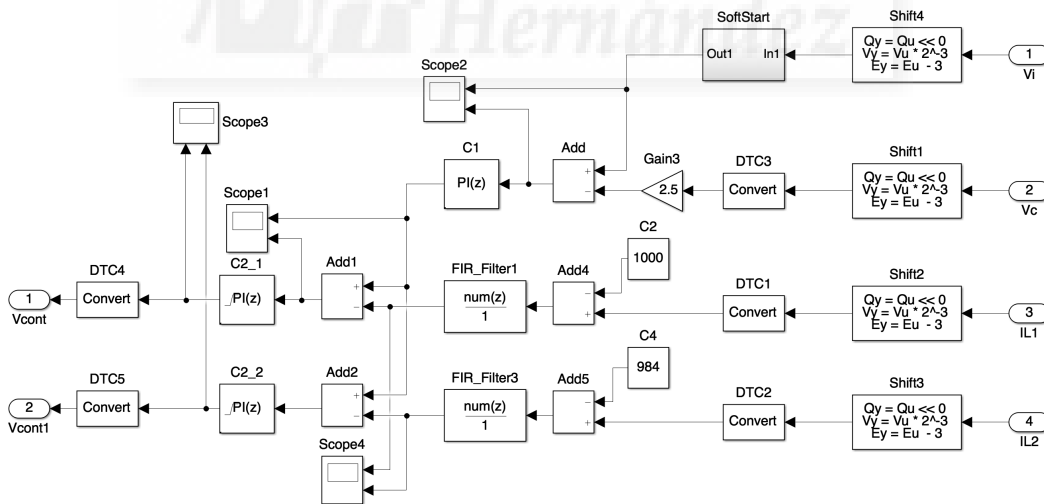


Figura A2.2: Bloque “Control” implementado en VHDL.

A continuación, la figura A2.3 representa el diagrama de bloques del generador de PWM. Cada fase del convertidor la conforma un bloque de los representados en la figura.



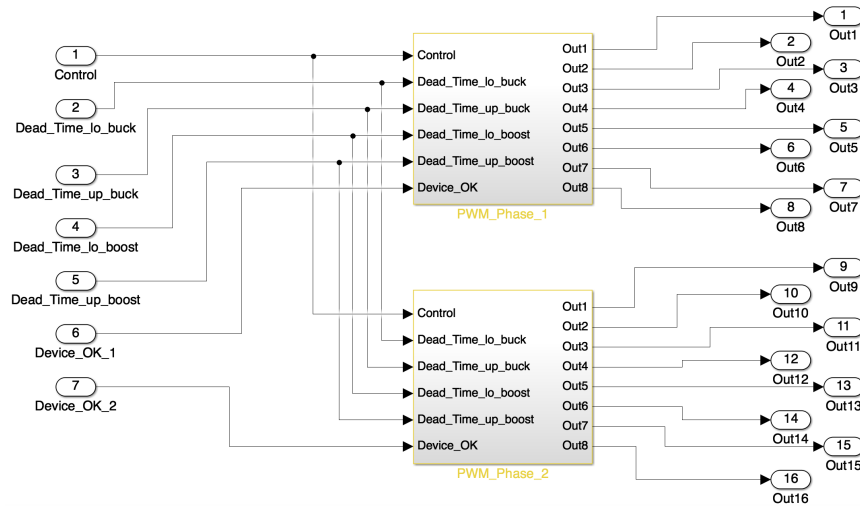


Figura A2.3: Bloque "PWM\_generator" implementado en VHDL.

En la figura A2.4 se muestra el bloque que genera las señales PWM de una fase, denominado "PWM\_Phase\_2". Como se puede ver, en este bloque hay 3 elementos distintos: El bloque "Counter", detallado en la figura A2.5, cuenta hasta un determinado valor en función de la cantidad de dispositivos funcionando (devices) y desde una cantidad inicial en función de la cantidad de fases en el convertidor (phases); el bloque "Signal\_Routing", detallado en la figura A2.6, se encarga de encaminar las señales PWM en función de los dispositivos activos y los no activos; el bloque "4-Device\_PWM\_1", detallado en la figura A2.7, se encarga de generar las señales PWM.

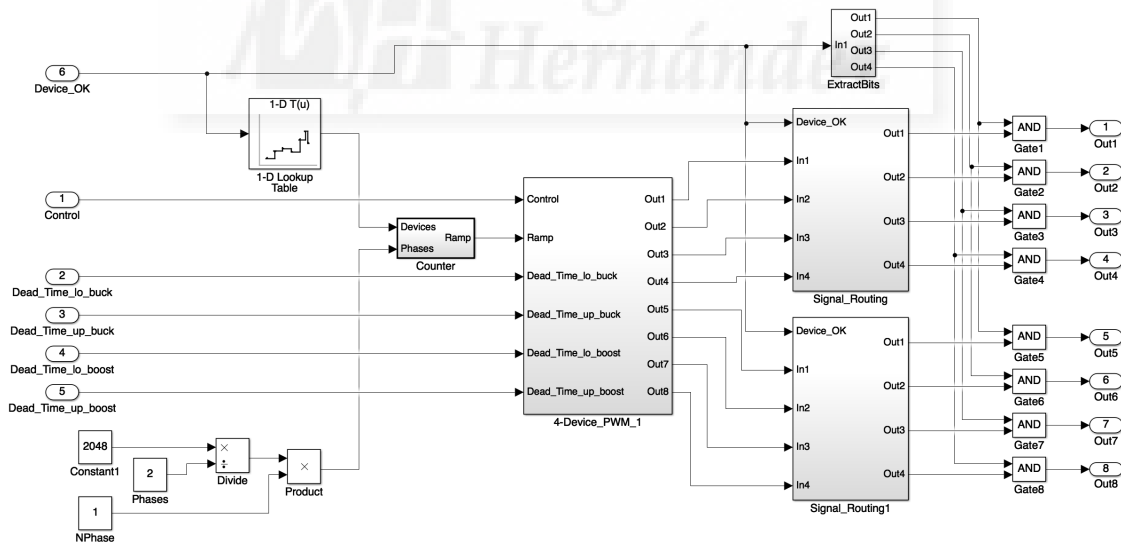


Figura A2.4: Bloque "PWM\_Phase\_2".

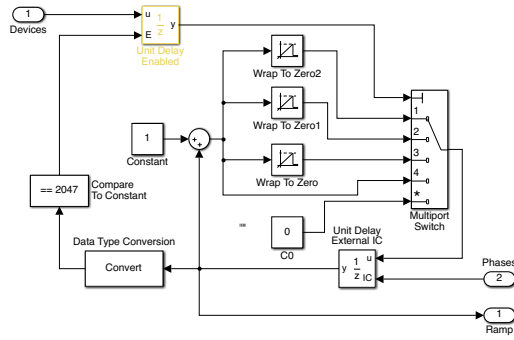


Figura A2.5: Bloque "Counter".

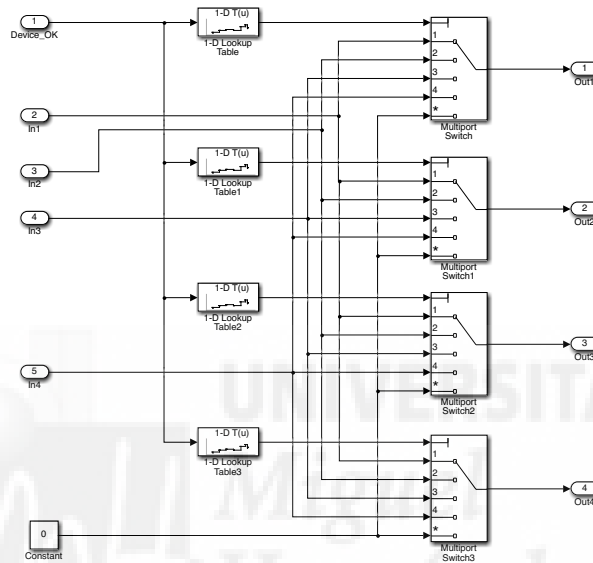


Figura A2.6: Bloque "Signal routing".

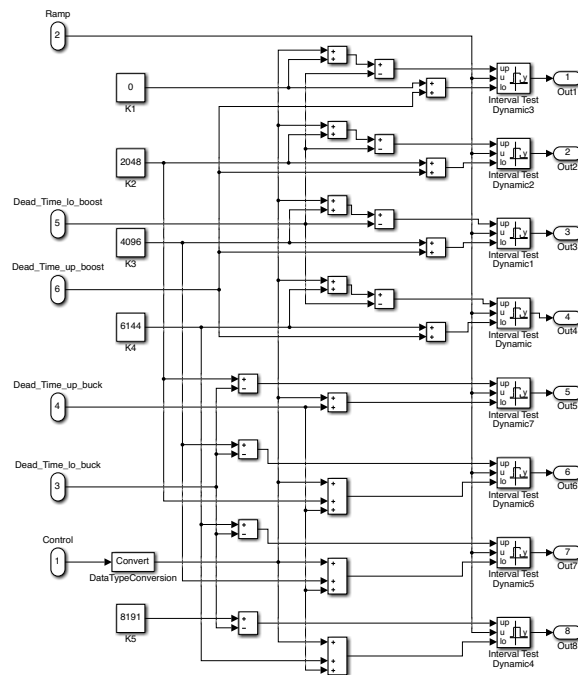


Figura A2.7: Bloque "4-Device\_PWM\_1".

# Anexo III: Códigos VHDL del sistema de control digital

---

## 1. FUNCIÓN PRINCIPAL

Esta función contiene todos los componentes necesarios para realizar todas las tareas del control digital. Esta función se denomina *PWM\_Main.vhd*.

```

-----
-- Company:
-- Engineer:
--
-- Create Date:    14:22:58 01/26/2012
-- Design Name:
-- Module Name:    PWM_Main - Behavioral
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments: Este es el bloque de código principal del sistema digital
-- de control del convertidor DC/DC. Este bloque emite pulsos a los convertidores A/D
-- de las diferentes variables (Vo, IL1 e IL2), recibe los datos por el puerto SPI
-- serializa los convertidores y emite las señales PWM para los diferentes transistores
-- del convertidor. En este bloque se declaran los diferentes bloques de código como
-- componentes que luego se instancian y se conectan entre si para formar todo el
-- sistema
-----
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_SIGNED.ALL;
--use IEEE.NUMERIC_STD.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity PWM_Main is
Port (
  clk : in  STD_LOGIC;
  reset : in  STD_LOGIC;
  A1 : out  STD_LOGIC;
  A2 : out  STD_LOGIC;
  A3 : out  STD_LOGIC;
  A4 : out  STD_LOGIC;
  A5 : out  STD_LOGIC;
  A6 : out  STD_LOGIC;
  A7 : out  STD_LOGIC;
  A8 : out  STD_LOGIC;
  A9 : out  STD_LOGIC;
  A10 : out  STD_LOGIC;
  A11 : out  STD_LOGIC;
  A12 : out  STD_LOGIC;
  A13 : out  STD_LOGIC;
  A14 : out  STD_LOGIC;
  A15 : out  STD_LOGIC;
  A16 : out  STD_LOGIC;
  S_H : out  STD_LOGIC;
  SPI_DATA_in1 : in  STD_LOGIC;
  SPI_DATA_in2 : in  STD_LOGIC;

```

```

    SPI_CLK: out STD_LOGIC;
    CONV_AD: out STD_LOGIC
);
end PWM_Main;

architecture Structural_of PWM_Main is

    COMPONENT Control
    PORT(
        clk : IN std_logic;
        reset : IN std_logic;
        clk_enable : IN std_logic;
        Vi : IN std_logic_vector(13 downto 0);
        Vc : IN std_logic_vector(13 downto 0);
        IL1 : IN std_logic_vector(13 downto 0);
        IL2 : IN std_logic_vector(13 downto 0);
        ce_out : OUT std_logic;
        Vcont : OUT std_logic_vector(10 downto 0);
        Vcont1 : OUT std_logic_vector(10 downto 0)
    );
    END COMPONENT;

    COMPONENT ADC_AMP
    PORT(
        clk50 : IN std_logic;
        reset : IN std_logic;
        start_conv : IN std_logic;
        SPI_MISO1 : IN std_logic;
        SPI_MISO2 : IN std_logic;
        CONV : OUT std_logic;
        ADC1 : OUT std_logic_vector(13 downto 0);
        ADC2 : OUT std_logic_vector(13 downto 0);
        ADC3 : OUT std_logic_vector(13 downto 0);
        ADC4 : OUT std_logic_vector(13 downto 0);
        SCK : OUT std_logic
    );
    END COMPONENT;

    COMPONENT Clockgen
    PORT(
        CLKIN_IN : IN std_logic;
        RST_IN : IN std_logic;
        CLKFX_OUT : OUT std_logic;
        CLKIN_IBUFG_OUT : OUT std_logic;
        CLK0_OUT : OUT std_logic;
        LOCKED_OUT : OUT std_logic
    );
    END COMPONENT;

    COMPONENT clockgen2
    PORT(
        CLKIN_IN : IN std_logic;
        RST_IN : IN std_logic;
        CLKFX_OUT : OUT std_logic;
        CLK0_OUT : OUT std_logic;
        LOCKED_OUT : OUT std_logic
    );
    END COMPONENT;

    COMPONENT PWM_generator
    PORT(
        clk : IN std_logic;
        reset : IN std_logic;
        ControlP1 : IN std_logic_vector(10 downto 0);
        ControlP2 : IN std_logic_vector(10 downto 0);
        Dead_Time_lo_buck : IN std_logic_vector(12 downto 0);
        Dead_Time_up_buck : IN std_logic_vector(12 downto 0);
        Dead_Time_lo_boost : IN std_logic_vector(12 downto 0);
        Dead_Time_up_boost : IN std_logic_vector(12 downto 0);
        Device_OK_1 : IN std_logic_vector(3 downto 0);
        Device_OK_2 : IN std_logic_vector(3 downto 0);
        Out1 : OUT std_logic;
        Out2 : OUT std_logic;
        Out3 : OUT std_logic;
        Out4 : OUT std_logic;
        Out5 : OUT std_logic;
        Out6 : OUT std_logic;
        Out7 : OUT std_logic;
        Out8 : OUT std_logic;
    );

```

```

    Out9 : OUT std_logic;
    Out10 : OUT std_logic;
    Out11 : OUT std_logic;
    Out12 : OUT std_logic;
    Out13 : OUT std_logic;
    Out14 : OUT std_logic;
    Out15 : OUT std_logic;
    Out16 : OUT std_logic
  );
END COMPONENT;

COMPONENT GenFrecMuestreo
PORT(
  clk : IN std_logic;
  reset : IN std_logic;
  sh : OUT std_logic
);
END COMPONENT;

-- Senales del conversor A/D
signal adc1, adc2, adc3, adc4 : std_logic_vector (13 downto 0);
signal adc1r, adc2r, adc3r, adc4r: std_logic_vector (13 downto 0);

-- Senales de salida de senal PWM
signal Out1 : std_logic;
signal Out2 : std_logic;
signal Out3 : std_logic;
signal Out4 : std_logic;
signal Out5 : std_logic;
signal Out6 : std_logic;
signal Out7 : std_logic;
signal Out8 : std_logic;
signal Out9 : std_logic;
signal Out10 : std_logic;
signal Out11 : std_logic;
signal Out12 : std_logic;
signal Out13 : std_logic;
signal Out14 : std_logic;
signal Out15 : std_logic;
signal Out16 : std_logic;

-- Senales del protocolo SPI
signal spi_sck1: std_logic;
signal ad_conv1: std_logic;

-- Senal de muestreo
signal sh: std_logic;

-- Senales de reloj de 100, 6.25 y 66.67MHz respectivamente
signal clk100, clk6_25, clk0: std_logic;

--Senales de control aplicadas a la entrada de control del generador de PWM
signal ctrl, ctrl1: std_logic_vector (10 downto 0);

begin

-- Bloque de control del convertidor
Inst_Control: Control PORT MAP(
  clk => clk6_25,
  reset => reset,
  clk_enable => sh,
  Vi => adc2r, -- adc2r modo BUCK, adc1r modo BOOST
  Vc => adc1r, -- adc1r modo BUCK, adc2r modo BOOST
  IL1 => adc3r,
  IL2 => adc4r,
  ce_out => open,
  Vcont => ctrl,
  Vcont1 => ctrl1
);

-- Obtencion de la frecuencia de 100MHz a partir de los 66.67MHz de la placa
Inst_Clockgen: Clockgen PORT MAP(
  CLKIN_IN => clk,
  RST_IN => reset,
  CLKFX_OUT => clk100,
  CLKIN_IBUFG_OUT => open,
  CLK0_OUT => clk0,

```

```

        LOCKED_OUT => open
    );

-- Obtencion de la frecuencia de 6.25MHz a partir de los 66.67MHz de la placa
Inst_clockgen2: clockgen2 PORT MAP(
    CLKIN_IN => clk0,
    RST_IN => reset,
    CLKFX_OUT => clk6_25,
    CLK0_OUT => open,
    LOCKED_OUT => open
);

-- Control de los A/D por SPI
Inst_ADC_AMP: ADC_AMP PORT MAP(
    clk50 => clk100,
    reset => reset,
    start_conv => sh,
    SPI_MISO1 => SPI_DATA_in1,
    SPI_MISO2 => SPI_DATA_in2,
    CONV => ad_conv1,
    ADC1 => adc1,
    ADC2 => adc2,
    ADC3 => adc3,
    ADC4 => adc4,
    SCK => spi_sck1
);

-- Bloque generador de senales PWM
Inst_PWM_generator: PWM_generator PORT MAP(
    clk => clk100,
    reset => reset,
    ControlP1 => ctrl,
    ControlP2 => ctrl1,
    Dead_Time_lo_buck => "0000001100100", -- Tiempo muerto en corriente minima lus
    Dead_Time_up_buck => "0000001100100", -- Tiempo muerto en corriente maxima lus
    Dead_Time_lo_boost => "0000000000000",
    Dead_Time_up_boost => "0000000000000",
    Device_OK_1 => "1111",
    Device_OK_2 => "1111",
    Out1 => Out1,
    Out2 => Out2,
    Out3 => Out3,
    Out4 => Out4,
    Out5 => Out5,
    Out6 => Out6,
    Out7 => Out7,
    Out8 => Out8,
    Out9 => Out9,
    Out10 => Out10,
    Out11 => Out11,
    Out12 => Out12,
    Out13 => Out13,
    Out14 => Out14,
    Out15 => Out15,
    Out16 => Out16
);

--Generador de la frecuencia de muestreo
Inst_GenFrecMuestreo: GenFrecMuestreo PORT MAP(
    clk => clk100,
    reset => reset,
    sh => sh
);

A1 <= Out1;
A2 <= Out2;
A3 <= Out3;
A4 <= Out4;
A5 <= Out5;
A6 <= Out6;
A7 <= Out7;
A8 <= Out8;
A9 <= Out9;
A10 <= Out10;
A11 <= Out11;
A12 <= Out12;
A13 <= Out13;
A14 <= Out14;
A15 <= Out15;

```

```
A16 <= Out16;
SPI_CLK <= spi_sck1;
CONV_AD <= ad_conv1;

S_H <= sh;

-- Registro de las muestras de los conversores A/D
process (clk6_25)
begin
  if clk6_25 = '1' and clk6_25'event then
    if reset = '1' then
      adc1r <= (others => '0');
      adc2r <= (others => '0');
      adc3r <= (others => '0');
      adc4r <= (others => '0');
    else
      adc1r <= adc1;
      adc2r <= adc2;
      adc3r <= adc3;
      adc4r <= adc4;
    end if;
  end if;
end process;
end Structural;
```



## 2. FUNCIÓN DE COMUNICACIÓN CON LOS CONVERTORES A/D

Esta función se encarga de dar comunicación a la función principal por protocolo SPI con los convertidores A/D y obtener las muestras de 14 bits.

```

-----
-- Company:
-- Engineer:
--
-- Create Date:    09:17:56 02/27/2008
-- Design Name:
-- Module Name:    ADC_AMP - Behavioral
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments: Manejo de los convertidores A/D por protocolo SPI
-- Se recibe la orden de conversion por start_conv y se envia el pulso de conversion
-- al convertidor por la salida CONV y se reciben los bits de las muestras de los canales
-- 1 y 2 del A/D en serie, bit a bit. Finalmente se sacan los bits de las muestras
-- en paralelo por las salidas ADC1 a ADC4.
--
-----
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity ADC_AMP is
Port (
    clk50 : in  STD_LOGIC;
    reset : in  std_logic;
    start_conv : in  STD_LOGIC;
    SPI_MISO1 : in  std_logic;
    SPI_MISO2 : in  std_logic;
    CONV : out  STD_LOGIC;
    ADC1 : out  std_logic_vector(13 downto 0):= (others => '0');
    ADC2 : out  std_logic_vector(13 downto 0):= (others => '0');
    ADC3 : out  std_logic_vector(13 downto 0):= (others => '0');
    ADC4 : out  std_logic_vector(13 downto 0):= (others => '0');
    SCK : out  STD_LOGIC
);
end ADC_AMP;

architecture behavioral of ADC_AMP is

type state_type is (IDLE1, IDLE_AD, START_AD, HI_AD, LO_AD, FINE_AD);
signal state : state_type;
signal counter : std_logic_vector (6 downto 0);
signal counter2:std_logic_vector (9 downto 0);
signal sample : std_logic;
signal aux1: std_logic_vector(13 downto 0):=(others => '0');
signal aux2: std_logic_vector(13 downto 0):=(others => '0');
signal aux3: std_logic_vector(13 downto 0):=(others => '0');
signal aux4: std_logic_vector(13 downto 0):=(others => '0');

begin

    process(clk50,reset)
    begin
        if clk50'event and clk50 ='1' then
            if reset = '1' then
                aux1 <= (others => '0');
                aux2 <= (others => '0');
            end if;
        end if;
    end process;

```



```

aux3 <= (others => '0');
aux4 <= (others => '0');
ADC1 <= (others => '0');
ADC2 <= (others => '0');
ADC3 <= (others => '0');
ADC4 <= (others => '0');
SCK <= '0';
counter <= (others => '0');
CONV <= '1';
state <= IDLE1;
else
  case state is
    -- Estado de inicio
    when IDLE1 =>
      CONV <= '0';
      SCK <= '0';
      counter <= (others => '0');
      state <= IDLE_AD;

    -- Conversor A/D disponible para una nueva muestra
    when IDLE_AD =>
      SCK <= '0';
      CONV <= '0';
      sample <='0';
      if start_conv = '1' then
        state <= START_AD; -- Llega una muestra
      else
        state <= IDLE_AD; -- Espera
      end if;

    -- Empieza la conversion
    when START_AD =>
      SCK <= '0';
      CONV <= '1';
      counter <= "0000000";--0;
      sample <='0';
      state <= HI_AD;

    -- Se mandan los flancos de subida para que el conversor A/D
    -- envíe los bits de la muestra
    when HI_AD =>
      SCK <= '1';
      CONV <= '0';
      counter <= counter +1;
      sample <='0';
      state <= LO_AD;

    -- Se reciben los bits de la muestra del conversor A/D en el
    -- registro de llegada
    when LO_AD =>
      SCK <= '0';
      if counter = "0000100" then      -- Carga datos canal 1
        aux1(13) <= SPI_MISO1;
        aux2(13) <= SPI_MISO2;
      elsif counter = "0000101" then
        aux1(12) <= SPI_MISO1;
        aux2(12) <= SPI_MISO2;
      elsif counter = "0000110" then
        aux1(11) <= SPI_MISO1;
        aux2(11) <= SPI_MISO2;
      elsif counter = "0000111" then
        aux1(10) <= SPI_MISO1;
        aux2(10) <= SPI_MISO2;
      elsif counter = "0001000" then
        aux1(9) <= SPI_MISO1;
        aux2(9) <= SPI_MISO2;
      elsif counter = "0001001" then
        aux1(8) <= SPI_MISO1;
        aux2(8) <= SPI_MISO2;
      elsif counter = "0001010" then
        aux1(7) <= SPI_MISO1;
        aux2(7) <= SPI_MISO2;
      elsif counter = "0001011" then
        aux1(6) <= SPI_MISO1;
        aux2(6) <= SPI_MISO2;
      elsif counter = "0001100" then
        aux1(5) <= SPI_MISO1;
        aux2(5) <= SPI_MISO2;

```

```

elsif counter = "0001101" then
    aux1(4) <= SPI_MISO1;
    aux2(4) <= SPI_MISO2;
elsif counter = "0001110" then
    aux1(3) <= SPI_MISO1;
    aux2(3) <= SPI_MISO2;
elsif counter = "0001111" then
    aux1(2) <= SPI_MISO1;
    aux2(2) <= SPI_MISO2;
elsif counter = "0010000" then
    aux1(1) <= SPI_MISO1;
    aux2(1) <= SPI_MISO2;
elsif counter = "0010001" then
    aux1(0) <= SPI_MISO1;
    aux2(0) <= SPI_MISO2;
elsif counter = "0010100" then -- Carga datos canal 2
    aux3(13) <= SPI_MISO1;
    aux4(13) <= SPI_MISO2;
elsif counter = "0010101" then
    aux3(12) <= SPI_MISO1;
    aux4(12) <= SPI_MISO2;
elsif counter = "0010110" then
    aux3(11) <= SPI_MISO1;
    aux4(11) <= SPI_MISO2;
elsif counter = "0010111" then
    aux3(10) <= SPI_MISO1;
    aux4(10) <= SPI_MISO2;
elsif counter = "0011000" then
    aux3(9) <= SPI_MISO1;
    aux4(9) <= SPI_MISO2;
elsif counter = "0011001" then
    aux3(8) <= SPI_MISO1;
    aux4(8) <= SPI_MISO2;
elsif counter = "0011010" then
    aux3(7) <= SPI_MISO1;
    aux4(7) <= SPI_MISO2;
elsif counter = "0011011" then
    aux3(6) <= SPI_MISO1;
    aux4(6) <= SPI_MISO2;
elsif counter = "0011100" then
    aux3(5) <= SPI_MISO1;
    aux4(5) <= SPI_MISO2;
elsif counter = "0011101" then
    aux3(4) <= SPI_MISO1;
    aux4(4) <= SPI_MISO2;
elsif counter = "0011110" then
    aux3(3) <= SPI_MISO1;
    aux4(3) <= SPI_MISO2;
elsif counter = "0011111" then
    aux3(2) <= SPI_MISO1;
    aux4(2) <= SPI_MISO2;
elsif counter = "0100000" then
    aux3(1) <= SPI_MISO1;
    aux4(1) <= SPI_MISO2;
elsif counter = "0100001" then
    aux3(0) <= SPI_MISO1;
    aux4(0) <= SPI_MISO2;
else
    sample <= '0';
end if;

if counter = "0100100" then
    state <= FINE_AD;
else
    state <= HI_AD;
end if;

-- Se vuelca el registro de llegada en el registro de salida
when FINE_AD =>
    state <= IDLE_AD;
    ADC1 <= aux1;
    ADC2 <= aux3;
    ADC3 <= aux2;
    ADC4 <= aux4;
    counter <= "0000000";
    SCK <= '1';
    CONV <= '0';
    sample <= '1';

```

```
        when others =>
            SCK <= '0';
            CONV <= '0';
            state <= IDLE_AD;
        end case;
    end if;
end if;
end process;
end behavioral;
```



### 3. GENERACION DE LA FRECUENCIA DE MUESTREO

Esta función genera la frecuencia de muestreo que se utiliza para muestrear las variables de control (como su propio nombre indica) y para habilitar los flancos de reloj del control.

```

-----
-- Company:
-- Engineer:
--
-- Create Date:    14:10:39 02/18/2013
-- Design Name:
-- Module Name:    GenFrecMuestreo - Behavioral
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
--
-- Additional Comments: Generador de la frecuencia de muestreo.
-- Es un contador con una salida de "fin de cuenta".
-- Genera una señal de clock_enable con la frecuencia de muestreo, 781.25KHz
-- Solo habilita un flanco de subida de reloj a la frecuencia de muestreo
--
-----
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

-- Uncomment the following library declaration if using
-- arithmetic functions with Signed or Unsigned values
--use IEEE.NUMERIC_STD.ALL;

-- Uncomment the following library declaration if instantiating
-- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity GenFrecMuestreo is
Port (
    clk : in  STD_LOGIC;
    reset : in  STD_LOGIC;
    sh : out  STD_LOGIC);
end GenFrecMuestreo;

architecture Behavioral of GenFrecMuestreo is

signal aux : std_logic_vector(6 downto 0);

begin

    process (clk,reset)
    begin
        if clk = '1' and clk'event then
            if reset = '1' then
                aux <= (others => '0');
            elsif aux < 128 then
                aux <= aux + 1;
            else
                aux <= (others => '0');
            end if;
        end if;
    end process;

    process (aux)
    begin
        if aux < 127 and aux > 118 then
            sh <= '1';
        else
            sh <= '0';
        end if;
    end process;
end architecture Behavioral;

```

```

end process;
end Behavioral;

```

#### 4. GENERACIÓN DE PWM (MATLAB SIMULINK)

A continuación se presenta el bloque general del generador de PWM, donde se conectan e instancian todos los componentes de código en VHDL generados por SIMULINK.

```

-----
--
-- File Name: C:\Users\Fernando\Documents\MATLAB\DCDCcontrol2p_v4_r2013a\PWM_generator.vhd
-- Created: 2016-01-20 13:39:38
--
-- Generated by MATLAB 8.1 and HDL Coder 3.2
--
-----
-- Rate and Clocking Details
-----
-- Model base rate: 1e-08
-- Target subsystem base rate: 1e-08
--
-----

--
-- Module: PWM_generator
-- Source Path: DCDCcontrol2p_v4_r2013a/PWM_generator
-- Hierarchy Level: 0
--
-- Additional comments: Generador de PWM. EN este bloque se generan
-- las senales de PWM para un convertidor de 2 fases y 4 dispositivos
-- los tiempos muertos se controlan desde las entradas Dead_Time_lo_buck
-- Dead_Time_up_buck, Dead_Time_lo_boost, Dead_Time_up_boost y los
-- dispositivos disponibles mediante Device_OK_1 y device_OK_2, las
-- entradas de control son ControlP1 y ControlP2 y las salidas de PWM
-- son Out1 a Out16.
--
-----
LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.numeric_std.ALL;

ENTITY PWM_generator IS
  PORT(
    clk           : IN    std_logic;
    reset         : IN    std_logic;
    ControlP1     : IN    std_logic_vector(10 DOWNTO 0); -- ufix11
    ControlP2     : IN    std_logic_vector(10 DOWNTO 0); -- ufix11
    Dead_Time_lo_buck : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
    Dead_Time_up_buck : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
    Dead_Time_lo_boost : IN std_logic_vector(12 DOWNTO 0); -- ufix13
    Dead_Time_up_boost : IN std_logic_vector(12 DOWNTO 0); -- ufix13
    Device_OK_1    : IN    std_logic_vector(3 DOWNTO 0); -- ufix4
    Device_OK_2    : IN    std_logic_vector(3 DOWNTO 0); -- ufix4
    Out1           : OUT   std_logic;
    Out2           : OUT   std_logic;
    Out3           : OUT   std_logic;
    Out4           : OUT   std_logic;
    Out5           : OUT   std_logic;
    Out6           : OUT   std_logic;
    Out7           : OUT   std_logic;
    Out8           : OUT   std_logic;
    Out9           : OUT   std_logic;
    Out10          : OUT   std_logic;
    Out11          : OUT   std_logic;
    Out12          : OUT   std_logic;
    Out13          : OUT   std_logic;
    Out14          : OUT   std_logic;
    Out15          : OUT   std_logic;
    Out16          : OUT   std_logic
  );
END PWM_generator;

```

## ARCHITECTURE rtl OF PWM\_generator IS

```
-- Component Declarations
```

```
COMPONENT PWM_Phase_1
```

```
  PORT( clk           : IN    std_logic;
        reset        : IN    std_logic;
        Control      : IN    std_logic_vector(10 DOWNTO 0); -- ufix11
        Dead_Time_lo_buck : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
        Dead_Time_up_buck : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
        Dead_Time_lo_boost : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
        Dead_Time_up_boost : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
        Device_OK      : IN    std_logic_vector(3 DOWNTO 0); -- ufix4
        Out1          : OUT   std_logic;
        Out2          : OUT   std_logic;
        Out3          : OUT   std_logic;
        Out4          : OUT   std_logic;
        Out5          : OUT   std_logic;
        Out6          : OUT   std_logic;
        Out7          : OUT   std_logic;
        Out8          : OUT   std_logic
    );
```

```
END COMPONENT;
```

```
COMPONENT PWM_Phase_2
```

```
  PORT( clk           : IN    std_logic;
        reset        : IN    std_logic;
        Control      : IN    std_logic_vector(10 DOWNTO 0); -- ufix11
        Dead_Time_lo_buck : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
        Dead_Time_up_buck : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
        Dead_Time_lo_boost : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
        Dead_Time_up_boost : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
        Device_OK      : IN    std_logic_vector(3 DOWNTO 0); -- ufix4
        Out1          : OUT   std_logic;
        Out2          : OUT   std_logic;
        Out3          : OUT   std_logic;
        Out4          : OUT   std_logic;
        Out5          : OUT   std_logic;
        Out6          : OUT   std_logic;
        Out7          : OUT   std_logic;
        Out8          : OUT   std_logic
    );
```

```
END COMPONENT;
```

```
-- Component Configuration Statements
```

```
FOR ALL : PWM_Phase_1
```

```
  USE ENTITY work.PWM_Phase_1(rtl);
```

```
FOR ALL : PWM_Phase_2
```

```
  USE ENTITY work.PWM_Phase_2(rtl);
```

```
-- Signals
```

```
SIGNAL PWM_Phase_1_out1 : std_logic;
SIGNAL PWM_Phase_1_out2 : std_logic;
SIGNAL PWM_Phase_1_out3 : std_logic;
SIGNAL PWM_Phase_1_out4 : std_logic;
SIGNAL PWM_Phase_1_out5 : std_logic;
SIGNAL PWM_Phase_1_out6 : std_logic;
SIGNAL PWM_Phase_1_out7 : std_logic;
SIGNAL PWM_Phase_1_out8 : std_logic;
SIGNAL PWM_Phase_2_out1 : std_logic;
SIGNAL PWM_Phase_2_out2 : std_logic;
SIGNAL PWM_Phase_2_out3 : std_logic;
SIGNAL PWM_Phase_2_out4 : std_logic;
SIGNAL PWM_Phase_2_out5 : std_logic;
SIGNAL PWM_Phase_2_out6 : std_logic;
SIGNAL PWM_Phase_2_out7 : std_logic;
SIGNAL PWM_Phase_2_out8 : std_logic;
```

```
BEGIN
```

```
  u_PWM_Phase_1 : PWM_Phase_1
```

```
    PORT MAP( clk => clk,
              reset => reset,
              Control => ControlP1, -- ufix11
              Dead_Time_lo_buck => Dead_Time_lo_buck, -- ufix13
              Dead_Time_up_buck => Dead_Time_up_buck, -- ufix13
              Dead_Time_lo_boost => Dead_Time_lo_boost, -- ufix13
              Dead_Time_up_boost => Dead_Time_up_boost, -- ufix13
              Device_OK => Device_OK_1, -- ufix4
    );
```

```

    Out1 => PWM_Phase_1_out1,
    Out2 => PWM_Phase_1_out2,
    Out3 => PWM_Phase_1_out3,
    Out4 => PWM_Phase_1_out4,
    Out5 => PWM_Phase_1_out5,
    Out6 => PWM_Phase_1_out6,
    Out7 => PWM_Phase_1_out7,
    Out8 => PWM_Phase_1_out8
  );

u_PWM_Phase_2 : PWM_Phase_2
  PORT MAP( clk => clk,
    reset => reset,
    Control => ControlP2, -- ufix11
    Dead_Time_lo_buck => Dead_Time_lo_buck, -- ufix13
    Dead_Time_up_buck => Dead_Time_up_buck, -- ufix13
    Dead_Time_lo_boost => Dead_Time_lo_boost, -- ufix13
    Dead_Time_up_boost => Dead_Time_up_boost, -- ufix13
    Device_OK => Device_OK_2, -- ufix4
    Out1 => PWM_Phase_2_out1,
    Out2 => PWM_Phase_2_out2,
    Out3 => PWM_Phase_2_out3,
    Out4 => PWM_Phase_2_out4,
    Out5 => PWM_Phase_2_out5,
    Out6 => PWM_Phase_2_out6,
    Out7 => PWM_Phase_2_out7,
    Out8 => PWM_Phase_2_out8
  );

Out1 <= PWM_Phase_1_out1;
Out2 <= PWM_Phase_1_out2;
Out3 <= PWM_Phase_1_out3;
Out4 <= PWM_Phase_1_out4;
Out5 <= PWM_Phase_1_out5;
Out6 <= PWM_Phase_1_out6;
Out7 <= PWM_Phase_1_out7;
Out8 <= PWM_Phase_1_out8;
Out9 <= PWM_Phase_2_out1;
Out10 <= PWM_Phase_2_out2;
Out11 <= PWM_Phase_2_out3;
Out12 <= PWM_Phase_2_out4;
Out13 <= PWM_Phase_2_out5;
Out14 <= PWM_Phase_2_out6;
Out15 <= PWM_Phase_2_out7;
Out16 <= PWM_Phase_2_out8;

END rtl;

```

El bloque PWM\_Phase\_1 es el que se encarga de la generación y gestión de las señales PWM de una sola fase.

```

-----
--
-- File Name: C:\Users\Fernando\Documents\MATLAB\DCDCcontrol2p_v4_r2013a\PWM_Phase_1.vhd
-- Created: 2016-01-20 13:39:38
--
-- Generated by MATLAB 8.1 and HDL Coder 3.2
--
-----

--
-- Module: PWM_Phase_1
-- Source Path: DCDCcontrol2p_v4_r2013a/PWM_generator/PWM_Phase_1
-- Hierarchy Level: 1
--
-----
LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.numeric_std.ALL;
USE work.PWM_generator_pkg.ALL;

ENTITY PWM_Phase_1 IS
  PORT( clk           : IN    std_logic;
         reset        : IN    std_logic;
         Control      : IN    std_logic_vector(10 DOWNTO 0); -- ufix11
         Dead_Time_lo_buck : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
         Dead_Time_up_buck : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
         Dead_Time_lo_boost : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
         Dead_Time_up_boost : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
         Device_OK       : IN    std_logic_vector(3 DOWNTO 0); -- ufix4
         Out1           : OUT   std_logic;
         Out2           : OUT   std_logic;
         Out3           : OUT   std_logic;
         Out4           : OUT   std_logic;
         Out5           : OUT   std_logic;
         Out6           : OUT   std_logic;
         Out7           : OUT   std_logic;
         Out8           : OUT   std_logic
       );
END PWM_Phase_1;

ARCHITECTURE rtl OF PWM_Phase_1 IS

  -- Component Declarations
  COMPONENT ExtractBits
    PORT( In1           : IN    std_logic_vector(3 DOWNTO 0); -- ufix4
         Out1          : OUT   std_logic; -- ufix1
         Out2          : OUT   std_logic; -- ufix1_E1
         Out3          : OUT   std_logic; -- ufix1_E2
         Out4          : OUT   std_logic; -- ufix1_E3
       );
  END COMPONENT;

  COMPONENT Counter
    PORT( clk           : IN    std_logic;
         reset        : IN    std_logic;
         Devices      : IN    std_logic_vector(2 DOWNTO 0); -- ufix3
         Phases       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
         Ramp         : OUT   std_logic_vector(12 DOWNTO 0) -- ufix13
       );
  END COMPONENT;

  COMPONENT alpha4_Device_PWM_1
    PORT( Control      : IN    std_logic_vector(10 DOWNTO 0); -- ufix11
         Ramp         : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
         Dead_Time_lo_buck : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
         Dead_Time_up_buck : IN  std_logic_vector(12 DOWNTO 0); -- ufix13
       );
  END COMPONENT;

```



```

    Dead_Time_lo_boost : IN std_logic_vector(12 DOWNTO 0); -- ufix13
    Dead_Time_up_boost : IN std_logic_vector(12 DOWNTO 0); -- ufix13
    Out1 : OUT std_logic;
    Out2 : OUT std_logic;
    Out3 : OUT std_logic;
    Out4 : OUT std_logic;
    Out5 : OUT std_logic;
    Out6 : OUT std_logic;
    Out7 : OUT std_logic;
    Out8 : OUT std_logic;
);
END COMPONENT;

COMPONENT Signal_Routing
  PORT( Device_OK : IN std_logic_vector(3 DOWNTO 0); -- ufix4
        In1 : IN std_logic;
        In2 : IN std_logic;
        In3 : IN std_logic;
        In4 : IN std_logic;
        Out1 : OUT std_logic;
        Out2 : OUT std_logic;
        Out3 : OUT std_logic;
        Out4 : OUT std_logic;
  );
END COMPONENT;

COMPONENT Signal_Routing1
  PORT( Device_OK : IN std_logic_vector(3 DOWNTO 0); -- ufix4
        In1 : IN std_logic;
        In2 : IN std_logic;
        In3 : IN std_logic;
        In4 : IN std_logic;
        Out1 : OUT std_logic;
        Out2 : OUT std_logic;
        Out3 : OUT std_logic;
        Out4 : OUT std_logic;
  );
END COMPONENT;

-- Component Configuration Statements
FOR ALL : ExtractBits
  USE ENTITY work.ExtractBits(rtl);

FOR ALL : Counter
  USE ENTITY work.Counter(rtl);

FOR ALL : alpha4_Device_PWM_1
  USE ENTITY work.alpha4_Device_PWM_1(rtl);

FOR ALL : Signal_Routing
  USE ENTITY work.Signal_Routing(rtl);

FOR ALL : Signal_Routing1
  USE ENTITY work.Signal_Routing1(rtl);

-- Constants
CONSTANT C_divbyzero_p : unsigned(12 DOWNTO 0) := to_unsigned(8191, 13); -- ufix13

CONSTANT nc : vector_of_unsigned3(0 TO 15) := (
to_unsigned(0, 3), to_unsigned(1, 3), to_unsigned(1, 3), to_unsigned(2, 3),
to_unsigned(1, 3), to_unsigned(2, 3), to_unsigned(2, 3), to_unsigned(3, 3),
to_unsigned(1, 3), to_unsigned(2, 3), to_unsigned(2, 3), to_unsigned(3, 3),
to_unsigned(2, 3), to_unsigned(3, 3), to_unsigned(3, 3), to_unsigned(4, 3)
); -- ufix3 [16]

-- Signals
SIGNAL ExtractBits_out1 : std_logic; -- ufix1
SIGNAL ExtractBits_out2 : std_logic; -- ufix1_E1
SIGNAL ExtractBits_out3 : std_logic; -- ufix1_E2
SIGNAL ExtractBits_out4 : std_logic; -- ufix1_E3
SIGNAL Constant1_out1 : unsigned(10 DOWNTO 0); -- ufix11_E1
SIGNAL Phases_out1 : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Divide_out1 : unsigned(12 DOWNTO 0); -- ufix13_E1
SIGNAL Device_OK_unsigned : unsigned(3 DOWNTO 0); -- ufix4
SIGNAL alpha_D_Lookup_Table_k : unsigned(3 DOWNTO 0); -- ufix4
SIGNAL alpha_D_Lookup_Table_out1 : unsigned(2 DOWNTO 0); -- ufix3
SIGNAL NPhase_out1 : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Product_mul_temp : unsigned(25 DOWNTO 0); -- ufix26_E1
SIGNAL Product_out1 : unsigned(12 DOWNTO 0); -- ufix13

```

```

SIGNAL Counter_out1                : std_logic_vector(12 DOWNTO 0); -- ufix13
SIGNAL alpha4_Device_PWM_1_out1    : std_logic;
SIGNAL alpha4_Device_PWM_1_out2    : std_logic;
SIGNAL alpha4_Device_PWM_1_out3    : std_logic;
SIGNAL alpha4_Device_PWM_1_out4    : std_logic;
SIGNAL alpha4_Device_PWM_1_out5    : std_logic;
SIGNAL alpha4_Device_PWM_1_out6    : std_logic;
SIGNAL alpha4_Device_PWM_1_out7    : std_logic;
SIGNAL alpha4_Device_PWM_1_out8    : std_logic;
SIGNAL Signal_Routing_out1         : std_logic;
SIGNAL Signal_Routing_out2         : std_logic;
SIGNAL Signal_Routing_out3         : std_logic;
SIGNAL Signal_Routing_out4         : std_logic;
SIGNAL ExtractBits_out1_1          : std_logic; -- ufix1
SIGNAL ExtractBits_out2_is_not0    : std_logic;
SIGNAL ExtractBits_out2_is_not0_1  : std_logic;
SIGNAL ExtractBits_out3_is_not0    : std_logic;
SIGNAL ExtractBits_out3_is_not0_1  : std_logic;
SIGNAL ExtractBits_out4_is_not0    : std_logic;
SIGNAL ExtractBits_out4_is_not0_1  : std_logic;
SIGNAL Signal_Routing1_out1        : std_logic;
SIGNAL Signal_Routing1_out2        : std_logic;
SIGNAL Signal_Routing1_out3        : std_logic;
SIGNAL Signal_Routing1_out4        : std_logic;
SIGNAL ExtractBits_out1_2          : std_logic; -- ufix1
SIGNAL ExtractBits_out2_is_not0_2  : std_logic;
SIGNAL ExtractBits_out2_is_not0_3  : std_logic;
SIGNAL ExtractBits_out3_is_not0_2  : std_logic;
SIGNAL ExtractBits_out3_is_not0_3  : std_logic;
SIGNAL ExtractBits_out4_is_not0_2  : std_logic;
SIGNAL ExtractBits_out4_is_not0_3  : std_logic;

BEGIN
u_ExtractBits : ExtractBits
  PORT MAP( In1 => Device_OK, -- ufix4
            Out1 => ExtractBits_out1, -- ufix1
            Out2 => ExtractBits_out2, -- ufix1_E1
            Out3 => ExtractBits_out3, -- ufix1_E2
            Out4 => ExtractBits_out4 -- ufix1_E3
            );

u_Counter : Counter
  PORT MAP( clk => clk,
            reset => reset,
            Devices => std_logic_vector(alpha4_D_Lookup_Table_out1), -- ufix3
            Phases => std_logic_vector(Product_out1), -- ufix13
            Ramp => Counter_out1 -- ufix13
            );

u_4_Device_PWM_1 : alpha4_Device_PWM_1
  PORT MAP( Control => Control, -- ufix11
            Ramp => Counter_out1, -- ufix13
            Dead_Time_lo_buck => Dead_Time_lo_buck, -- ufix13
            Dead_Time_up_buck => Dead_Time_up_buck, -- ufix13
            Dead_Time_lo_boost => Dead_Time_lo_boost, -- ufix13
            Dead_Time_up_boost => Dead_Time_up_boost, -- ufix13
            Out1 => alpha4_Device_PWM_1_out1,
            Out2 => alpha4_Device_PWM_1_out2,
            Out3 => alpha4_Device_PWM_1_out3,
            Out4 => alpha4_Device_PWM_1_out4,
            Out5 => alpha4_Device_PWM_1_out5,
            Out6 => alpha4_Device_PWM_1_out6,
            Out7 => alpha4_Device_PWM_1_out7,
            Out8 => alpha4_Device_PWM_1_out8
            );

u_Signal_Routing : Signal_Routing
  PORT MAP( Device_OK => Device_OK, -- ufix4
            In1 => alpha4_Device_PWM_1_out1,
            In2 => alpha4_Device_PWM_1_out2,
            In3 => alpha4_Device_PWM_1_out3,
            In4 => alpha4_Device_PWM_1_out4,
            Out1 => Signal_Routing_out1,
            Out2 => Signal_Routing_out2,
            Out3 => Signal_Routing_out3,
            Out4 => Signal_Routing_out4
            );

u_Signal_Routing1 : Signal_Routing1

```

```

PORT MAP( Device_OK => Device_OK, -- ufix4
          In1 => alpha4_Device_PWM_1_out5,
          In2 => alpha4_Device_PWM_1_out6,
          In3 => alpha4_Device_PWM_1_out7,
          In4 => alpha4_Device_PWM_1_out8,
          Out1 => Signal_Routing1_out1,
          Out2 => Signal_Routing1_out2,
          Out3 => Signal_Routing1_out3,
          Out4 => Signal_Routing1_out4
        );

Constant1_out1 <= to_unsigned(1024, 11);

Phases_out1 <= to_unsigned(2, 13);

Divide_out1 <= C_divbyzero_p WHEN Phases_out1 = 0 ELSE
  resize(Constant1_out1, 13) / Phases_out1;

Device_OK_unsigned <= unsigned(Device_OK);

alpha1_D_Lookup_Table_k <= to_unsigned(0, 4) WHEN Device_OK_unsigned <= 0 ELSE
  to_unsigned(15, 4) WHEN Device_OK_unsigned >= 15 ELSE
  Device_OK_unsigned;
alpha1_D_Lookup_Table_out1 <= nc(to_integer(alpha1_D_Lookup_Table_k));

NPhase_out1 <= to_unsigned(0, 13);

Product_mul_temp <= Divide_out1 * NPhase_out1;

Product_out1 <= "111111111111" WHEN Product_mul_temp(25 DOWNT0 12) /= "000000000000" ELSE
  Product_mul_temp(11 DOWNT0 0) & '0';

ExtractBits_out1_1 <= ExtractBits_out1 AND Signal_Routing_out1;

ExtractBits_out2_is_not0 <= '1' WHEN ExtractBits_out2 /= '0' ELSE
  '0';

ExtractBits_out2_is_not0_1 <= ExtractBits_out2_is_not0 AND Signal_Routing_out2;

ExtractBits_out3_is_not0 <= '1' WHEN ExtractBits_out3 /= '0' ELSE
  '0';

ExtractBits_out3_is_not0_1 <= ExtractBits_out3_is_not0 AND Signal_Routing_out3;

ExtractBits_out4_is_not0 <= '1' WHEN ExtractBits_out4 /= '0' ELSE
  '0';

ExtractBits_out4_is_not0_1 <= ExtractBits_out4_is_not0 AND Signal_Routing_out4;

ExtractBits_out1_2 <= ExtractBits_out1 AND Signal_Routing1_out1;

ExtractBits_out2_is_not0_2 <= '1' WHEN ExtractBits_out2 /= '0' ELSE
  '0';

ExtractBits_out2_is_not0_3 <= ExtractBits_out2_is_not0_2 AND Signal_Routing1_out2;

ExtractBits_out3_is_not0_2 <= '1' WHEN ExtractBits_out3 /= '0' ELSE
  '0';

ExtractBits_out3_is_not0_3 <= ExtractBits_out3_is_not0_2 AND Signal_Routing1_out3;

ExtractBits_out4_is_not0_2 <= '1' WHEN ExtractBits_out4 /= '0' ELSE
  '0';

ExtractBits_out4_is_not0_3 <= ExtractBits_out4_is_not0_2 AND Signal_Routing1_out4;

Out1 <= ExtractBits_out1_1;

Out2 <= ExtractBits_out2_is_not0_1;

Out3 <= ExtractBits_out3_is_not0_1;

```

```

Out4 <= ExtractBits_out4_is_not0_1;

Out5 <= ExtractBits_out1_2;

Out6 <= ExtractBits_out2_is_not0_3;

Out7 <= ExtractBits_out3_is_not0_3;

Out8 <= ExtractBits_out4_is_not0_3;

END rtl;

```

El módulo contador (counter) cuenta de 0 a 8191 cíclicamente con un reloj de 100MHz, desborda volviendo a cero y vuelve a contar. Este contador es el que se encarga de activar o desactivar las diferentes salidas del generador de PWM.

```

-----
--
-- File Name: C:\Users\Fernando\Documents\MATLAB\DCDCcontrol2p_v4_r2013a\Counter.vhd
-- Created: 2016-01-20 13:39:38
--
-- Generated by MATLAB 8.1 and HDL Coder 3.2
--
-----

-----
--
-- Module: Counter
-- Source Path: DCDCcontrol2p_v4_r2013a/PWM_generator/PWM_Phase_1/Counter
-- Hierarchy Level: 2
--
-----

LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.numeric_std.ALL;

ENTITY Counter IS
    PORT( clk      : IN    std_logic;
          reset    : IN    std_logic;
          Devices  : IN    std_logic_vector(2 DOWNTO 0); -- ufix3
          Phases   : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          Ramp     : OUT   std_logic_vector(12 DOWNTO 0) -- ufix13
        );
END Counter;

ARCHITECTURE rtl OF Counter IS

    -- Component Declarations
    COMPONENT Wrap_To_Zero
        PORT( U      : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
              Y      : OUT   std_logic_vector(12 DOWNTO 0) -- ufix13
            );
    END COMPONENT;

    COMPONENT Wrap_To_Zero1
        PORT( U      : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
              Y      : OUT   std_logic_vector(12 DOWNTO 0) -- ufix13
            );
    END COMPONENT;

    COMPONENT Wrap_To_Zero2
        PORT( U      : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
              Y      : OUT   std_logic_vector(12 DOWNTO 0) -- ufix13
            );
    END COMPONENT;

    COMPONENT Unit_Delay_External_IC
        PORT( clk      : IN    std_logic;
              reset    : IN    std_logic;
              u        : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
              IC       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
            );

```

```

        y          : OUT  std_logic_vector(12 DOWNTO 0) -- ufix13
    );
END COMPONENT;

-- Component Configuration Statements
FOR ALL : Wrap_To_Zero
    USE ENTITY work.Wrap_To_Zero(rtl);

FOR ALL : Wrap_To_Zero1
    USE ENTITY work.Wrap_To_Zero1(rtl);

FOR ALL : Wrap_To_Zero2
    USE ENTITY work.Wrap_To_Zero2(rtl);

FOR ALL : Unit_Delay_External_IC
    USE ENTITY work.Unit_Delay_External_IC(rtl);

-- Signals
SIGNAL Devices_unsigned      : unsigned(2 DOWNTO 0); -- ufix3
SIGNAL Constant_out1        : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL C0_out1              : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Sum_out1             : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Wrap_To_Zero_out1    : std_logic_vector(12 DOWNTO 0); -- ufix13
SIGNAL Wrap_To_Zero_out1_unsigned : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Wrap_To_Zero1_out1   : std_logic_vector(12 DOWNTO 0); -- ufix13
SIGNAL Wrap_To_Zero1_out1_unsigned : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Unit_Delay_External_IC_out1_unsigned : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Wrap_To_Zero2_out1   : std_logic_vector(12 DOWNTO 0); -- ufix13
SIGNAL Wrap_To_Zero2_out1_unsigned : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Unit_Delay_External_IC_out1 : std_logic_vector(12 DOWNTO 0); -- ufix13
SIGNAL Data_Type_Conversion_out1 : unsigned(10 DOWNTO 0); -- ufix11
SIGNAL Compare_To_Constant_out1 : std_logic;
SIGNAL Unit_Delay_Enabled_out1 : unsigned(2 DOWNTO 0); -- ufix3
SIGNAL Multiport_Switch_out1 : unsigned(12 DOWNTO 0); -- ufix13

BEGIN
    u_Wrap_To_Zero : Wrap_To_Zero
        PORT MAP( U => std_logic_vector(Sum_out1), -- ufix13
                 Y => Wrap_To_Zero_out1 -- ufix13
        );

    u_Wrap_To_Zero1 : Wrap_To_Zero1
        PORT MAP( U => std_logic_vector(Sum_out1), -- ufix13
                 Y => Wrap_To_Zero1_out1 -- ufix13
        );

    u_Wrap_To_Zero2 : Wrap_To_Zero2
        PORT MAP( U => std_logic_vector(Sum_out1), -- ufix13
                 Y => Wrap_To_Zero2_out1 -- ufix13
        );

    u_Unit_Delay_External_IC : Unit_Delay_External_IC
        PORT MAP( clk => clk,
                 reset => reset,
                 u => std_logic_vector(Multiport_Switch_out1), -- ufix13
                 IC => Phases, -- ufix13
                 y => Unit_Delay_External_IC_out1 -- ufix13
        );

    Devices_unsigned <= unsigned(Devices);

    Constant_out1 <= to_unsigned(1, 13);

    C0_out1 <= to_unsigned(0, 13);

    Wrap_To_Zero_out1_unsigned <= unsigned(Wrap_To_Zero_out1);

    Wrap_To_Zero1_out1_unsigned <= unsigned(Wrap_To_Zero1_out1);

    Sum_out1 <= Constant_out1 + Unit_Delay_External_IC_out1_unsigned;

    Wrap_To_Zero2_out1_unsigned <= unsigned(Wrap_To_Zero2_out1);

    Unit_Delay_External_IC_out1_unsigned <= unsigned(Unit_Delay_External_IC_out1);

    Data_Type_Conversion_out1 <= Unit_Delay_External_IC_out1_unsigned(10 DOWNTO 0);

    Compare_To_Constant_out1 <= '1' WHEN Data_Type_Conversion_out1 = 2047 ELSE

```

```

'0';

Unit_Delay_Enabled_process : PROCESS (clk)
BEGIN
  IF clk'EVENT AND clk = '1' THEN
    IF reset = '1' THEN
      Unit_Delay_Enabled_out1 <= to_unsigned(4, 3);
    ELSIF Compare_To_Constant_out1 = '1' THEN
      Unit_Delay_Enabled_out1 <= Devices_unsigned;
    END IF;
  END IF;
END PROCESS Unit_Delay_Enabled_process;

Multiport_Switch_out1 <= Wrap_To_Zero2_out1_unsigned WHEN Unit_Delay_Enabled_out1 = 1 ELSE
  Wrap_To_Zero1_out1_unsigned WHEN Unit_Delay_Enabled_out1 = 2 ELSE
  Wrap_To_Zero_out1_unsigned WHEN Unit_Delay_Enabled_out1 = 3 ELSE
  Sum_out1 WHEN Unit_Delay_Enabled_out1 = 4 ELSE
  C0_out1;

Ramp <= Unit_Delay_External_IC_out1;

END rtl;

```

El bloque 4-Device\_PWM\_1, es el que realmente se encarga de generar las señales PWM de una fase, a partir del valor del contador (Counter) y del valor de la señal de control, mediante comparaciones, sumas y restas.

```

-----
--
-- File Name: C:\Users\Fernando\Documents\MATLAB\DCDCcontrol2p_v4_r2013a\alpha4_Device_PWM_1.vhd
-- Created: 2016-01-20 13:39:38
--
-- Generated by MATLAB 8.1 and HDL Coder 3.2
--
-----
--
-- Module: alpha4_Device_PWM_1
-- Source Path: DCDCcontrol2p_v4_r2013a/PWM_generator/PWM_Phase_1/4-Device_PWM_1
-- Hierarchy Level: 2
--
-----
LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.numeric_std.ALL;

ENTITY alpha4_Device_PWM_1 IS
  PORT( Control      : IN    std_logic_vector(10 DOWNTO 0); -- ufix11
        Ramp         : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
        Dead_Time_lo_buck : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
        Dead_Time_up_buck  : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
        Dead_Time_lo_boost : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
        Dead_Time_up_boost : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
        Out1              : OUT   std_logic;
        Out2              : OUT   std_logic;
        Out3              : OUT   std_logic;
        Out4              : OUT   std_logic;
        Out5              : OUT   std_logic;
        Out6              : OUT   std_logic;
        Out7              : OUT   std_logic;
        Out8              : OUT   std_logic
    );
END alpha4_Device_PWM_1;

ARCHITECTURE rtl OF alpha4_Device_PWM_1 IS

  -- Component Declarations
  COMPONENT Interval_Test_Dynamic3
  PORT( up      : IN    std_logic_vector(12 DOWNTO 0); -- ufix13

```

```

        u          : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
        lo         : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
        y          : OUT   std_logic
    );
END COMPONENT;

COMPONENT Interval_Test_Dynamic2
    PORT( up       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          u        : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          lo       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          y        : OUT   std_logic
    );
END COMPONENT;

COMPONENT Interval_Test_Dynamic1
    PORT( up       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          u        : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          lo       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          y        : OUT   std_logic
    );
END COMPONENT;

COMPONENT Interval_Test_Dynamic
    PORT( up       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          u        : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          lo       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          y        : OUT   std_logic
    );
END COMPONENT;

COMPONENT Interval_Test_Dynamic7
    PORT( up       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          u        : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          lo       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          y        : OUT   std_logic
    );
END COMPONENT;

COMPONENT Interval_Test_Dynamic6
    PORT( up       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          u        : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          lo       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          y        : OUT   std_logic
    );
END COMPONENT;

COMPONENT Interval_Test_Dynamic5
    PORT( up       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          u        : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          lo       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          y        : OUT   std_logic
    );
END COMPONENT;

COMPONENT Interval_Test_Dynamic4
    PORT( up       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          u        : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          lo       : IN    std_logic_vector(12 DOWNTO 0); -- ufix13
          y        : OUT   std_logic
    );
END COMPONENT;

-- Component Configuration Statements
FOR ALL : Interval_Test_Dynamic3
    USE ENTITY work.Interval_Test_Dynamic3(rtl);

FOR ALL : Interval_Test_Dynamic2
    USE ENTITY work.Interval_Test_Dynamic2(rtl);

FOR ALL : Interval_Test_Dynamic1
    USE ENTITY work.Interval_Test_Dynamic1(rtl);

FOR ALL : Interval_Test_Dynamic
    USE ENTITY work.Interval_Test_Dynamic(rtl);

FOR ALL : Interval_Test_Dynamic7
    USE ENTITY work.Interval_Test_Dynamic7(rtl);

FOR ALL : Interval_Test_Dynamic6

```

```

USE ENTITY work.Interval_Test_Dynamic6(rtl);

FOR ALL : Interval_Test_Dynamic5
  USE ENTITY work.Interval_Test_Dynamic5(rtl);

FOR ALL : Interval_Test_Dynamic4
  USE ENTITY work.Interval_Test_Dynamic4(rtl);

-- Signals
SIGNAL Control_unsigned          : unsigned(10 DOWNT0 0); -- ufix11
SIGNAL DataTypeConversion_out1   : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL K1_out1                   : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum3_add_temp             : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum3_out1                 : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Dead_Time_lo_boost_unsigned : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum16_sub_cast            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum16_sub_cast_1          : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum16_sub_temp            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum16_cast                : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum16_out1                : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Dead_Time_up_boost_unsigned : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum8_add_temp             : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum8_out1                 : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Interval_Test_Dynamic3_out1 : std_logic;
SIGNAL K2_out1                   : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum2_add_temp             : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum2_out1                 : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum17_sub_cast            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum17_sub_cast_1          : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum17_sub_temp            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum17_cast                : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum17_out1                : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum13_add_temp            : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum13_out1                : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Interval_Test_Dynamic2_out1 : std_logic;
SIGNAL K3_out1                   : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum1_add_temp             : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum1_out1                 : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum18_sub_cast            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum18_sub_cast_1          : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum18_sub_temp            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum18_cast                : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum18_out1                : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum14_add_temp            : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum14_out1                : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Interval_Test_Dynamic1_out1 : std_logic;
SIGNAL K4_out1                   : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum_add_temp              : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum_out1                  : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum19_sub_cast            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum19_sub_cast_1          : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum19_sub_temp            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum19_cast                : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum19_out1                : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum15_add_temp            : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum15_out1                : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Interval_Test_Dynamic_out1 : std_logic;
SIGNAL Dead_Time_lo_buck_unsigned : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum9_sub_cast            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum9_sub_cast_1          : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum9_sub_temp            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum9_cast                : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum9_out1                : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Dead_Time_up_buck_unsigned : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum7_add_temp             : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum7_out1                 : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Interval_Test_Dynamic7_out1 : std_logic;
SIGNAL Sum10_sub_cast            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum10_sub_cast_1          : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum10_sub_temp            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum10_cast                : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum10_out1                : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Sum6_add_temp             : unsigned(15 DOWNT0 0); -- ufix16
SIGNAL Sum6_add_temp_1           : unsigned(16 DOWNT0 0); -- ufix17
SIGNAL Sum6_out1                 : unsigned(12 DOWNT0 0); -- ufix13
SIGNAL Interval_Test_Dynamic6_out1 : std_logic;
SIGNAL Sum11_sub_cast            : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum11_sub_cast_1          : signed(16 DOWNT0 0); -- sfix17
SIGNAL Sum11_sub_temp            : signed(16 DOWNT0 0); -- sfix17

```



```

SIGNAL Sum11_cast          : unsigned(15 DOWNTO 0); -- ufix16
SIGNAL Sum11_out1         : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Sum5_add_temp      : unsigned(15 DOWNTO 0); -- ufix16
SIGNAL Sum5_add_temp_1    : unsigned(16 DOWNTO 0); -- ufix17
SIGNAL Sum5_out1         : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Interval_Test_Dynamic5_out1 : std_logic;
SIGNAL K5_out1           : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Sum12_sub_cast    : signed(16 DOWNTO 0); -- sfix17
SIGNAL Sum12_sub_cast_1  : signed(16 DOWNTO 0); -- sfix17
SIGNAL Sum12_sub_temp    : signed(16 DOWNTO 0); -- sfix17
SIGNAL Sum12_cast        : unsigned(15 DOWNTO 0); -- ufix16
SIGNAL Sum12_out1       : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Sum4_add_temp     : unsigned(15 DOWNTO 0); -- ufix16
SIGNAL Sum4_add_temp_1   : unsigned(16 DOWNTO 0); -- ufix17
SIGNAL Sum4_out1        : unsigned(12 DOWNTO 0); -- ufix13
SIGNAL Interval_Test_Dynamic4_out1 : std_logic;

```

BEGIN

```

u_Interval_Test_Dynamic3 : Interval_Test_Dynamic3
  PORT MAP( up => std_logic_vector(Sum16_out1), -- ufix13
            u => Ramp, -- ufix13
            lo => std_logic_vector(Sum8_out1), -- ufix13
            y => Interval_Test_Dynamic3_out1
          );

```

```

u_Interval_Test_Dynamic2 : Interval_Test_Dynamic2
  PORT MAP( up => std_logic_vector(Sum17_out1), -- ufix13
            u => Ramp, -- ufix13
            lo => std_logic_vector(Sum13_out1), -- ufix13
            y => Interval_Test_Dynamic2_out1
          );

```

```

u_Interval_Test_Dynamic1 : Interval_Test_Dynamic1
  PORT MAP( up => std_logic_vector(Sum18_out1), -- ufix13
            u => Ramp, -- ufix13
            lo => std_logic_vector(Sum14_out1), -- ufix13
            y => Interval_Test_Dynamic1_out1
          );

```

```

u_Interval_Test_Dynamic : Interval_Test_Dynamic
  PORT MAP( up => std_logic_vector(Sum19_out1), -- ufix13
            u => Ramp, -- ufix13
            lo => std_logic_vector(Sum15_out1), -- ufix13
            y => Interval_Test_Dynamic_out1
          );

```

```

u_Interval_Test_Dynamic7 : Interval_Test_Dynamic7
  PORT MAP( up => std_logic_vector(Sum9_out1), -- ufix13
            u => Ramp, -- ufix13
            lo => std_logic_vector(Sum7_out1), -- ufix13
            y => Interval_Test_Dynamic7_out1
          );

```

```

u_Interval_Test_Dynamic6 : Interval_Test_Dynamic6
  PORT MAP( up => std_logic_vector(Sum10_out1), -- ufix13
            u => Ramp, -- ufix13
            lo => std_logic_vector(Sum6_out1), -- ufix13
            y => Interval_Test_Dynamic6_out1
          );

```

```

u_Interval_Test_Dynamic5 : Interval_Test_Dynamic5
  PORT MAP( up => std_logic_vector(Sum11_out1), -- ufix13
            u => Ramp, -- ufix13
            lo => std_logic_vector(Sum5_out1), -- ufix13
            y => Interval_Test_Dynamic5_out1
          );

```

```

u_Interval_Test_Dynamic4 : Interval_Test_Dynamic4
  PORT MAP( up => std_logic_vector(Sum12_out1), -- ufix13
            u => Ramp, -- ufix13
            lo => std_logic_vector(Sum4_out1), -- ufix13
            y => Interval_Test_Dynamic4_out1
          );

```

```
Control_unsigned <= unsigned(Control);
```

```
DataTypeConversion_out1 <= resize(Control_unsigned, 13);
```

```
K1_out1 <= to_unsigned(0, 13);
```

```

Sum3_add_temp <= resize(DataTypeConversion_out1, 16) + resize(K1_out1, 16);
Sum3_out1 <= "111111111111" WHEN Sum3_add_temp(15 DOWNT0 13) /= "000" ELSE
  Sum3_add_temp(12 DOWNT0 0);

Dead_Time_lo_boost_unsigned <= unsigned(Dead_Time_lo_boost);

Sum16_sub_cast <= signed(resize(Sum3_out1, 17));
Sum16_sub_cast_1 <= signed(resize(Dead_Time_lo_boost_unsigned, 17));
Sum16_sub_temp <= Sum16_sub_cast - Sum16_sub_cast_1;

Sum16_cast <= "0000000000000000" WHEN Sum16_sub_temp(16) = '1' ELSE
  unsigned(Sum16_sub_temp(15 DOWNT0 0));

Sum16_out1 <= "111111111111" WHEN Sum16_cast(15 DOWNT0 13) /= "000" ELSE
  Sum16_cast(12 DOWNT0 0);

Dead_Time_up_boost_unsigned <= unsigned(Dead_Time_up_boost);

Sum8_add_temp <= resize(K1_out1, 16) + resize(Dead_Time_up_boost_unsigned, 16);
Sum8_out1 <= "111111111111" WHEN Sum8_add_temp(15 DOWNT0 13) /= "000" ELSE
  Sum8_add_temp(12 DOWNT0 0);

K2_out1 <= to_unsigned(2048, 13);

Sum2_add_temp <= resize(DataTypeConversion_out1, 16) + resize(K2_out1, 16);
Sum2_out1 <= "111111111111" WHEN Sum2_add_temp(15 DOWNT0 13) /= "000" ELSE
  Sum2_add_temp(12 DOWNT0 0);

Sum17_sub_cast <= signed(resize(Sum2_out1, 17));
Sum17_sub_cast_1 <= signed(resize(Dead_Time_lo_boost_unsigned, 17));
Sum17_sub_temp <= Sum17_sub_cast - Sum17_sub_cast_1;

Sum17_cast <= "0000000000000000" WHEN Sum17_sub_temp(16) = '1' ELSE
  unsigned(Sum17_sub_temp(15 DOWNT0 0));

Sum17_out1 <= "111111111111" WHEN Sum17_cast(15 DOWNT0 13) /= "000" ELSE
  Sum17_cast(12 DOWNT0 0);

Sum13_add_temp <= resize(K2_out1, 16) + resize(Dead_Time_up_boost_unsigned, 16);
Sum13_out1 <= "111111111111" WHEN Sum13_add_temp(15 DOWNT0 13) /= "000" ELSE
  Sum13_add_temp(12 DOWNT0 0);

K3_out1 <= to_unsigned(4096, 13);

Sum1_add_temp <= resize(DataTypeConversion_out1, 16) + resize(K3_out1, 16);
Sum1_out1 <= "111111111111" WHEN Sum1_add_temp(15 DOWNT0 13) /= "000" ELSE
  Sum1_add_temp(12 DOWNT0 0);

Sum18_sub_cast <= signed(resize(Sum1_out1, 17));
Sum18_sub_cast_1 <= signed(resize(Dead_Time_lo_boost_unsigned, 17));
Sum18_sub_temp <= Sum18_sub_cast - Sum18_sub_cast_1;

Sum18_cast <= "0000000000000000" WHEN Sum18_sub_temp(16) = '1' ELSE
  unsigned(Sum18_sub_temp(15 DOWNT0 0));

Sum18_out1 <= "111111111111" WHEN Sum18_cast(15 DOWNT0 13) /= "000" ELSE
  Sum18_cast(12 DOWNT0 0);

Sum14_add_temp <= resize(K3_out1, 16) + resize(Dead_Time_up_boost_unsigned, 16);
Sum14_out1 <= "111111111111" WHEN Sum14_add_temp(15 DOWNT0 13) /= "000" ELSE
  Sum14_add_temp(12 DOWNT0 0);

K4_out1 <= to_unsigned(6144, 13);

Sum_add_temp <= resize(DataTypeConversion_out1, 16) + resize(K4_out1, 16);
Sum_out1 <= "111111111111" WHEN Sum_add_temp(15 DOWNT0 13) /= "000" ELSE
  Sum_add_temp(12 DOWNT0 0);

Sum19_sub_cast <= signed(resize(Sum_out1, 17));
Sum19_sub_cast_1 <= signed(resize(Dead_Time_lo_boost_unsigned, 17));
Sum19_sub_temp <= Sum19_sub_cast - Sum19_sub_cast_1;

```

```

Sum19_cast <= "0000000000000000" WHEN Sum19_sub_temp(16) = '1' ELSE
    unsigned(Sum19_sub_temp(15 DOWNT0 0));

Sum19_out1 <= "111111111111" WHEN Sum19_cast(15 DOWNT0 13) /= "000" ELSE
    Sum19_cast(12 DOWNT0 0);

Sum15_add_temp <= resize(K4_out1, 16) + resize(Dead_Time_up_boost_unsigned, 16);

Sum15_out1 <= "111111111111" WHEN Sum15_add_temp(15 DOWNT0 13) /= "000" ELSE
    Sum15_add_temp(12 DOWNT0 0);

Dead_Time_lo_buck_unsigned <= unsigned(Dead_Time_lo_buck);

Sum9_sub_cast <= signed(resize(K2_out1, 17));
Sum9_sub_cast_1 <= signed(resize(Dead_Time_lo_buck_unsigned, 17));
Sum9_sub_temp <= Sum9_sub_cast - Sum9_sub_cast_1;

Sum9_cast <= "0000000000000000" WHEN Sum9_sub_temp(16) = '1' ELSE
    unsigned(Sum9_sub_temp(15 DOWNT0 0));

Sum9_out1 <= "111111111111" WHEN Sum9_cast(15 DOWNT0 13) /= "000" ELSE
    Sum9_cast(12 DOWNT0 0);

Dead_Time_up_buck_unsigned <= unsigned(Dead_Time_up_buck);

Sum7_add_temp <= resize(DataTypeConversion_out1, 16) + resize(Dead_Time_up_buck_unsigned, 16);

Sum7_out1 <= "111111111111" WHEN Sum7_add_temp(15 DOWNT0 13) /= "000" ELSE
    Sum7_add_temp(12 DOWNT0 0);

Sum10_sub_cast <= signed(resize(K3_out1, 17));
Sum10_sub_cast_1 <= signed(resize(Dead_Time_lo_buck_unsigned, 17));
Sum10_sub_temp <= Sum10_sub_cast - Sum10_sub_cast_1;

Sum10_cast <= "0000000000000000" WHEN Sum10_sub_temp(16) = '1' ELSE
    unsigned(Sum10_sub_temp(15 DOWNT0 0));

Sum10_out1 <= "111111111111" WHEN Sum10_cast(15 DOWNT0 13) /= "000" ELSE
    Sum10_cast(12 DOWNT0 0);

Sum6_add_temp <= resize(DataTypeConversion_out1, 16) + resize(K2_out1, 16);
Sum6_add_temp_1 <= resize(Sum6_add_temp, 17) + resize(Dead_Time_up_buck_unsigned, 17);

Sum6_out1 <= "111111111111" WHEN Sum6_add_temp_1(16 DOWNT0 13) /= "0000" ELSE
    Sum6_add_temp_1(12 DOWNT0 0);

Sum11_sub_cast <= signed(resize(K4_out1, 17));
Sum11_sub_cast_1 <= signed(resize(Dead_Time_lo_buck_unsigned, 17));
Sum11_sub_temp <= Sum11_sub_cast - Sum11_sub_cast_1;

Sum11_cast <= "0000000000000000" WHEN Sum11_sub_temp(16) = '1' ELSE
    unsigned(Sum11_sub_temp(15 DOWNT0 0));

Sum11_out1 <= "111111111111" WHEN Sum11_cast(15 DOWNT0 13) /= "000" ELSE
    Sum11_cast(12 DOWNT0 0);

Sum5_add_temp <= resize(DataTypeConversion_out1, 16) + resize(K3_out1, 16);
Sum5_add_temp_1 <= resize(Sum5_add_temp, 17) + resize(Dead_Time_up_buck_unsigned, 17);

Sum5_out1 <= "111111111111" WHEN Sum5_add_temp_1(16 DOWNT0 13) /= "0000" ELSE
    Sum5_add_temp_1(12 DOWNT0 0);

K5_out1 <= to_unsigned(8191, 13);

Sum12_sub_cast <= signed(resize(K5_out1, 17));
Sum12_sub_cast_1 <= signed(resize(Dead_Time_lo_buck_unsigned, 17));
Sum12_sub_temp <= Sum12_sub_cast - Sum12_sub_cast_1;

Sum12_cast <= "0000000000000000" WHEN Sum12_sub_temp(16) = '1' ELSE
    unsigned(Sum12_sub_temp(15 DOWNT0 0));

Sum12_out1 <= "111111111111" WHEN Sum12_cast(15 DOWNT0 13) /= "000" ELSE
    Sum12_cast(12 DOWNT0 0);

Sum4_add_temp <= resize(DataTypeConversion_out1, 16) + resize(K4_out1, 16);
Sum4_add_temp_1 <= resize(Sum4_add_temp, 17) + resize(Dead_Time_up_buck_unsigned, 17);

Sum4_out1 <= "111111111111" WHEN Sum4_add_temp_1(16 DOWNT0 13) /= "0000" ELSE

```

```

Sum4_add_temp_1(12 DOWNT0 0);
Out1 <= Interval_Test_Dynamic3_out1;
Out2 <= Interval_Test_Dynamic2_out1;
Out3 <= Interval_Test_Dynamic1_out1;
Out4 <= Interval_Test_Dynamic_out1;
Out5 <= Interval_Test_Dynamic7_out1;
Out6 <= Interval_Test_Dynamic6_out1;
Out7 <= Interval_Test_Dynamic5_out1;
Out8 <= Interval_Test_Dynamic4_out1;
END rtl;

```

El bloque Interval\_Test\_Dynamic se encarga de comprobar una variable 'y' si se encuentra entre dos límites, si se encuentra entre estos dos límites, la salida en '1', en cualquier otro caso, la salida es '0'.

```

-----
--
-- File Name: C:\Users\Fernando\Documents\MATLAB\DCDCcontrol2p_v4_r2013a\Interval_Test_Dynamic.vhd
-- Created: 2016-01-20 13:39:38
--
-- Generated by MATLAB 8.1 and HDL Coder 3.2
--
-----
--
-- Module: Interval_Test_Dynamic
-- Source Path: DCDCcontrol2p_v4_r2013a/PWM_generator/PWM_Phase_1/4-Device_PWM_1/Interval Test
Dynamic
-- Hierarchy Level: 3
--
-----
LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.numeric_std.ALL;

ENTITY Interval_Test_Dynamic IS
  PORT(
    up      : IN    std_logic_vector(12 DOWNT0 0); -- ufix13
    u       : IN    std_logic_vector(12 DOWNT0 0); -- ufix13
    lo      : IN    std_logic_vector(12 DOWNT0 0); -- ufix13
    y       : OUT   std_logic
  );
END Interval_Test_Dynamic;

ARCHITECTURE rtl OF Interval_Test_Dynamic IS

  -- Signals
  SIGNAL lo_unsigned      : unsigned(12 DOWNT0 0); -- ufix13
  SIGNAL u_unsigned      : unsigned(12 DOWNT0 0); -- ufix13
  SIGNAL Lower_Test_relop1 : std_logic;
  SIGNAL Lower_Test_out1  : std_logic;
  SIGNAL up_unsigned     : unsigned(12 DOWNT0 0); -- ufix13
  SIGNAL Upper_Test_relop1 : std_logic;
  SIGNAL Lower_Test_out1_1 : std_logic;

BEGIN
  lo_unsigned <= unsigned(lo);

  u_unsigned <= unsigned(u);

  Lower_Test_relop1 <= '1' WHEN lo_unsigned <= u_unsigned ELSE
    '0';

  Lower_Test_out1 <= Lower_Test_relop1;

```

```

up_unsigned <= unsigned(up);

Upper_Test_relop1 <= '1' WHEN u_unsigned < up_unsigned ELSE
    '0';

Lower_Test_out1_1 <= Lower_Test_out1 AND Upper_Test_relop1;

y <= Lower_Test_out1_1;
END rtl;

```

Este bloque, se encarga de dirigir la señal PWM en función de los dispositivos disponibles (habilitados), y en los dispositivos deshabilitados manda una señal PWM a '0'.

```

-----
--
-- File Name: C:\Users\Fernando\Documents\MATLAB\DCDCcontrol2p_v4_r2013a\Signal_Routing.vhd
-- Created: 2016-01-20 13:39:38
--
-- Generated by MATLAB 8.1 and HDL Coder 3.2
--
-----

-----
--
-- Module: Signal_Routing
-- Source Path: DCDCcontrol2p_v4_r2013a/PWM_generator/PWM_Phase_1/Signal_Routing
-- Hierarchy Level: 2
--
-----

LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.numeric_std.ALL;
USE work.PWM_generator_pkg.ALL;

ENTITY Signal_Routing IS
    PORT( Device_OK      : IN    std_logic_vector(3 DOWNTO 0); -- ufix4
          In1            : IN    std_logic;
          In2            : IN    std_logic;
          In3            : IN    std_logic;
          In4            : IN    std_logic;
          Out1           : OUT   std_logic;
          Out2           : OUT   std_logic;
          Out3           : OUT   std_logic;
          Out4           : OUT   std_logic
        );
END Signal_Routing;

ARCHITECTURE rtl OF Signal_Routing IS

    -- Constants
    CONSTANT nc      : vector_of_unsigned3(0 TO 15) := (
        to_unsigned(0, 3), to_unsigned(1, 3), to_unsigned(2, 3), to_unsigned(1, 3),
        to_unsigned(3, 3), to_unsigned(1, 3), to_unsigned(3, 3), to_unsigned(1, 3),
        to_unsigned(2, 3), to_unsigned(1, 3), to_unsigned(4, 3), to_unsigned(1, 3),
        to_unsigned(3, 3), to_unsigned(1, 3), to_unsigned(4, 3), to_unsigned(1, 3)
    ); -- ufix3 [16]

    CONSTANT nc_2   : vector_of_unsigned3(0 TO 15) := (
        to_unsigned(0, 3), to_unsigned(2, 3), to_unsigned(1, 3), to_unsigned(2, 3),
        to_unsigned(2, 3), to_unsigned(3, 3), to_unsigned(2, 3), to_unsigned(2, 3),
        to_unsigned(3, 3), to_unsigned(4, 3), to_unsigned(2, 3), to_unsigned(2, 3),
        to_unsigned(4, 3), to_unsigned(4, 3), to_unsigned(1, 3), to_unsigned(2, 3)
    ); -- ufix3 [16]

    CONSTANT nc_4   : vector_of_unsigned3(0 TO 15) := (
        to_unsigned(0, 3), to_unsigned(3, 3), to_unsigned(3, 3), to_unsigned(3, 3),
        to_unsigned(1, 3), to_unsigned(2, 3), to_unsigned(1, 3), to_unsigned(3, 3),
        to_unsigned(4, 3), to_unsigned(3, 3), to_unsigned(3, 3), to_unsigned(4, 3),
        to_unsigned(1, 3), to_unsigned(3, 3), to_unsigned(2, 3), to_unsigned(3, 3)
    );

```

```

); -- ufix3 [16]

CONSTANT nc_6 : vector_of_unsigned3(0 TO 15) := (
to_unsigned(0, 3), to_unsigned(4, 3), to_unsigned(4, 3), to_unsigned(4, 3),
to_unsigned(4, 3), to_unsigned(4, 3), to_unsigned(4, 3), to_unsigned(4, 3),
to_unsigned(1, 3), to_unsigned(2, 3), to_unsigned(1, 3), to_unsigned(3, 3),
to_unsigned(2, 3), to_unsigned(2, 3), to_unsigned(3, 3), to_unsigned(4, 3)
); -- ufix3 [16]

-- Signals
SIGNAL Device_OK_unsigned          : unsigned(3 DOWNTO 0); -- ufix4
SIGNAL alpha_D_Lookup_Table_k      : unsigned(3 DOWNTO 0); -- ufix4
SIGNAL alpha_D_Lookup_Table_out1   : unsigned(2 DOWNTO 0); -- ufix3
SIGNAL Constant_out1              : std_logic;
SIGNAL Multiport_Switch_out1       : std_logic;
SIGNAL alpha_D_Lookup_Table1_k     : unsigned(3 DOWNTO 0); -- ufix4
SIGNAL alpha_D_Lookup_Table1_out1  : unsigned(2 DOWNTO 0); -- ufix3
SIGNAL Multiport_Switch1_out1      : std_logic;
SIGNAL alpha_D_Lookup_Table2_k     : unsigned(3 DOWNTO 0); -- ufix4
SIGNAL alpha_D_Lookup_Table2_out1  : unsigned(2 DOWNTO 0); -- ufix3
SIGNAL Multiport_Switch2_out1      : std_logic;
SIGNAL alpha_D_Lookup_Table3_k     : unsigned(3 DOWNTO 0); -- ufix4
SIGNAL alpha_D_Lookup_Table3_out1  : unsigned(2 DOWNTO 0); -- ufix3
SIGNAL Multiport_Switch3_out1      : std_logic;

BEGIN
--

Device_OK_unsigned <= unsigned(Device_OK);

alpha_D_Lookup_Table_k <= to_unsigned(0, 4) WHEN Device_OK_unsigned <= 0 ELSE
to_unsigned(15, 4) WHEN Device_OK_unsigned >= 15 ELSE
Device_OK_unsigned;
alpha_D_Lookup_Table_out1 <= nc(to_integer(alpha_D_Lookup_Table_k));
Constant_out1 <= '0';

Multiport_Switch_out1 <= In1 WHEN alpha_D_Lookup_Table_out1 = 1 ELSE
In2 WHEN alpha_D_Lookup_Table_out1 = 2 ELSE
In3 WHEN alpha_D_Lookup_Table_out1 = 3 ELSE
In4 WHEN alpha_D_Lookup_Table_out1 = 4 ELSE
Constant_out1;

alpha_D_Lookup_Table1_k <= to_unsigned(0, 4) WHEN Device_OK_unsigned <= 0 ELSE
to_unsigned(15, 4) WHEN Device_OK_unsigned >= 15 ELSE
Device_OK_unsigned;
alpha_D_Lookup_Table1_out1 <= nc_2(to_integer(alpha_D_Lookup_Table1_k));

Multiport_Switch1_out1 <= In1 WHEN alpha_D_Lookup_Table1_out1 = 1 ELSE
In2 WHEN alpha_D_Lookup_Table1_out1 = 2 ELSE
In3 WHEN alpha_D_Lookup_Table1_out1 = 3 ELSE
In4 WHEN alpha_D_Lookup_Table1_out1 = 4 ELSE
Constant_out1;

alpha_D_Lookup_Table2_k <= to_unsigned(0, 4) WHEN Device_OK_unsigned <= 0 ELSE
to_unsigned(15, 4) WHEN Device_OK_unsigned >= 15 ELSE
Device_OK_unsigned;
alpha_D_Lookup_Table2_out1 <= nc_4(to_integer(alpha_D_Lookup_Table2_k));

Multiport_Switch2_out1 <= In1 WHEN alpha_D_Lookup_Table2_out1 = 1 ELSE
In2 WHEN alpha_D_Lookup_Table2_out1 = 2 ELSE
In3 WHEN alpha_D_Lookup_Table2_out1 = 3 ELSE
In4 WHEN alpha_D_Lookup_Table2_out1 = 4 ELSE
Constant_out1;

alpha_D_Lookup_Table3_k <= to_unsigned(0, 4) WHEN Device_OK_unsigned <= 0 ELSE
to_unsigned(15, 4) WHEN Device_OK_unsigned >= 15 ELSE
Device_OK_unsigned;
alpha_D_Lookup_Table3_out1 <= nc_6(to_integer(alpha_D_Lookup_Table3_k));

Multiport_Switch3_out1 <= In1 WHEN alpha_D_Lookup_Table3_out1 = 1 ELSE

```

```
In2 WHEN alpha1_D_Lookup_Table3_out1 = 2 ELSE  
In3 WHEN alpha1_D_Lookup_Table3_out1 = 3 ELSE  
In4 WHEN alpha1_D_Lookup_Table3_out1 = 4 ELSE  
Constant_out1;  
  
Out1 <= Multiport_Switch_out1;  
  
Out2 <= Multiport_Switch1_out1;  
  
Out3 <= Multiport_Switch2_out1;  
  
Out4 <= Multiport_Switch3_out1;  
  
END rtl;
```



## 5. CONTROLADORES PI (MATLAB SIMULINK)

Este es el módulo general de los controladores digitales de tensión y de corriente.

```

-----
--
-- File Name: F:\hdlsrc\DCDCDiscrete_Buck2\Control.vhd
-- Created: 2016-01-04 15:08:35
--
-- Generated by MATLAB 8.1 and HDL Coder 3.2
--
-----
-- Rate and Clocking Details
-----
-- Model base rate: 1e-08
-- Target subsystem base rate: 1.28e-06
--
-- Clock Enable Sample Time
-----
-- ce_out          1.28e-06
-----
--
-- Output Signal          Clock Enable Sample Time
-----
-- Vcont                 ce_out          1.28e-06
-- Vcont1                ce_out          1.28e-06
-----
--
--
-----
-- Module: Control
-- Source Path: DCDCDiscrete_Buck2/Control
-- Hierarchy Level: 0
--
-----
LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.numeric_std.ALL;

ENTITY Control IS
  PORT( clk           : IN    std_logic;
        reset         : IN    std_logic;
        clk_enable    : IN    std_logic;
        Vi            : IN    std_logic_vector(13 DOWNTO 0); -- ufix14
        Vc            : IN    std_logic_vector(13 DOWNTO 0); -- ufix14
        IL1           : IN    std_logic_vector(13 DOWNTO 0); -- ufix14
        IL2           : IN    std_logic_vector(13 DOWNTO 0); -- ufix14
        ce_out        : OUT   std_logic;
        Vcont         : OUT   std_logic_vector(10 DOWNTO 0); -- ufix11
        Vcont1        : OUT   std_logic_vector(10 DOWNTO 0); -- ufix11
        );
END Control;

ARCHITECTURE rtl OF Control IS

  -- Component Declarations
  COMPONENT SoftStart
    PORT( clk           : IN    std_logic;
          reset         : IN    std_logic;
          enb_1_128_0   : IN    std_logic;
          In1           : IN    std_logic_vector(13 DOWNTO 0); -- ufix14_En3
          Out1          : OUT   std_logic_vector(23 DOWNTO 0) -- sfix24_En10
        );
  END COMPONENT;

  COMPONENT C1
    PORT( clk           : IN    std_logic;
          reset         : IN    std_logic;
          enb_1_128_0   : IN    std_logic;
  
```



```

        u          : IN   std_logic_vector(19 DOWNTO 0); -- sfix20_En6
        y          : OUT  std_logic_vector(29 DOWNTO 0) -- sfix30_En7
    );
END COMPONENT;

COMPONENT FIR_Filter1
    PORT( clk          : IN   std_logic;
          enb_1_128_0 : IN   std_logic;
          reset        : IN   std_logic;
          FIR_Filter1_in : IN  std_logic_vector(14 DOWNTO 0); -- sfix15_En3
          FIR_Filter1_out : OUT std_logic_vector(19 DOWNTO 0) -- sfix20_En6
    );
END COMPONENT;

COMPONENT C2_1
    PORT( clk          : IN   std_logic;
          reset        : IN   std_logic;
          enb_1_128_0 : IN   std_logic;
          u            : IN   std_logic_vector(23 DOWNTO 0); -- sfix24_En11
          y            : OUT  std_logic_vector(31 DOWNTO 0) -- sfix32_En2
    );
END COMPONENT;

COMPONENT FIR_Filter3
    PORT( clk          : IN   std_logic;
          enb_1_128_0 : IN   std_logic;
          reset        : IN   std_logic;
          FIR_Filter3_in : IN  std_logic_vector(14 DOWNTO 0); -- sfix15_En3
          FIR_Filter3_out : OUT std_logic_vector(19 DOWNTO 0) -- sfix20_En6
    );
END COMPONENT;

COMPONENT C2_2
    PORT( clk          : IN   std_logic;
          reset        : IN   std_logic;
          enb_1_128_0 : IN   std_logic;
          u            : IN   std_logic_vector(23 DOWNTO 0); -- sfix24_En11
          y            : OUT  std_logic_vector(31 DOWNTO 0) -- sfix32_En2
    );
END COMPONENT;

-- Component Configuration Statements
FOR ALL : SoftStart
    USE ENTITY work.SoftStart(rtl);

FOR ALL : C1
    USE ENTITY work.C1(rtl);

FOR ALL : FIR_Filter1
    USE ENTITY work.FIR_Filter1(rtl);

FOR ALL : C2_1
    USE ENTITY work.C2_1(rtl);

FOR ALL : FIR_Filter3
    USE ENTITY work.FIR_Filter3(rtl);

FOR ALL : C2_2
    USE ENTITY work.C2_2(rtl);

-- Signals
SIGNAL enb_1_128_0          : std_logic;
SIGNAL Vi_unsigned         : unsigned(13 DOWNTO 0); -- ufix14
SIGNAL Shift4_bitshift     : unsigned(13 DOWNTO 0); -- ufix14
SIGNAL Shift4_out1         : unsigned(13 DOWNTO 0); -- ufix14_En3
SIGNAL SoftStart_out1      : std_logic_vector(23 DOWNTO 0); -- ufix24
SIGNAL SoftStart_out1_signed : signed(23 DOWNTO 0); -- sfix24_En10
SIGNAL Vc_unsigned         : unsigned(13 DOWNTO 0); -- ufix14
SIGNAL Shift1_bitshift     : unsigned(13 DOWNTO 0); -- ufix14
SIGNAL Shift1_out1         : unsigned(13 DOWNTO 0); -- ufix14_En3
SIGNAL DTC3_out1          : signed(14 DOWNTO 0); -- sfix15_En3
SIGNAL Gain3_mul_temp      : signed(30 DOWNTO 0); -- sfix31_En16
SIGNAL Gain3_out1         : signed(19 DOWNTO 0); -- sfix20_En6
SIGNAL Add_sub_cast        : signed(19 DOWNTO 0); -- sfix20_En6
SIGNAL Add_sub_cast_1      : signed(20 DOWNTO 0); -- sfix21_En6
SIGNAL Add_sub_cast_2      : signed(20 DOWNTO 0); -- sfix21_En6
SIGNAL Add_sub_temp        : signed(20 DOWNTO 0); -- sfix21_En6
SIGNAL Add_out1           : signed(19 DOWNTO 0); -- sfix20_En6
SIGNAL C1_out1            : std_logic_vector(29 DOWNTO 0); -- ufix30

```

```

SIGNAL C1_out1_signed          : signed(29 DOWNT0 0); -- sfix30_En7
SIGNAL IL1_unsigned           : unsigned(13 DOWNT0 0); -- ufix14
SIGNAL Shift2_bitshift        : unsigned(13 DOWNT0 0); -- ufix14
SIGNAL Shift2_out1            : unsigned(13 DOWNT0 0); -- ufix14_En3
SIGNAL DTC1_out1              : signed(14 DOWNT0 0); -- sfix15_En3
SIGNAL C2_out1                : signed(14 DOWNT0 0); -- sfix15_En3
SIGNAL Add4_sub_cast          : signed(15 DOWNT0 0); -- sfix16_En3
SIGNAL Add4_sub_cast_1        : signed(15 DOWNT0 0); -- sfix16_En3
SIGNAL Add4_sub_temp          : signed(15 DOWNT0 0); -- sfix16_En3
SIGNAL Add4_out1              : signed(14 DOWNT0 0); -- sfix15_En3
SIGNAL Add4_out1_1            : std_logic_vector(14 DOWNT0 0); -- ufix15
SIGNAL FIR_Filter1_out1       : std_logic_vector(19 DOWNT0 0); -- ufix20
SIGNAL FIR_Filter1_out1_signed : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL Add1_sub_cast          : signed(23 DOWNT0 0); -- sfix24_En11
SIGNAL Add1_sub_cast_1        : signed(24 DOWNT0 0); -- sfix25_En11
SIGNAL Add1_sub_cast_2        : signed(23 DOWNT0 0); -- sfix24_En11
SIGNAL Add1_sub_cast_3        : signed(24 DOWNT0 0); -- sfix25_En11
SIGNAL Add1_sub_temp          : signed(24 DOWNT0 0); -- sfix25_En11
SIGNAL Add1_out1              : signed(23 DOWNT0 0); -- sfix24_En11
SIGNAL C2_1_out1              : std_logic_vector(31 DOWNT0 0); -- ufix32
SIGNAL C2_1_out1_signed       : signed(31 DOWNT0 0); -- sfix32_En2
SIGNAL DTC4_out1              : unsigned(10 DOWNT0 0); -- ufix11
SIGNAL IL2_unsigned           : unsigned(13 DOWNT0 0); -- ufix14
SIGNAL Shift3_bitshift        : unsigned(13 DOWNT0 0); -- ufix14
SIGNAL Shift3_out1            : unsigned(13 DOWNT0 0); -- ufix14_En3
SIGNAL DTC2_out1              : signed(14 DOWNT0 0); -- sfix15_En3
SIGNAL C4_out1                : signed(14 DOWNT0 0); -- sfix15_En3
SIGNAL Add5_sub_cast          : signed(15 DOWNT0 0); -- sfix16_En3
SIGNAL Add5_sub_cast_1        : signed(15 DOWNT0 0); -- sfix16_En3
SIGNAL Add5_sub_temp          : signed(15 DOWNT0 0); -- sfix16_En3
SIGNAL Add5_out1              : signed(14 DOWNT0 0); -- sfix15_En3
SIGNAL Add5_out1_1            : std_logic_vector(14 DOWNT0 0); -- ufix15
SIGNAL FIR_Filter3_out1       : std_logic_vector(19 DOWNT0 0); -- ufix20
SIGNAL FIR_Filter3_out1_signed : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL Add2_sub_cast          : signed(23 DOWNT0 0); -- sfix24_En11
SIGNAL Add2_sub_cast_1        : signed(24 DOWNT0 0); -- sfix25_En11
SIGNAL Add2_sub_cast_2        : signed(23 DOWNT0 0); -- sfix24_En11
SIGNAL Add2_sub_cast_3        : signed(24 DOWNT0 0); -- sfix25_En11
SIGNAL Add2_sub_temp          : signed(24 DOWNT0 0); -- sfix25_En11
SIGNAL Add2_out1              : signed(23 DOWNT0 0); -- sfix24_En11
SIGNAL C2_2_out1              : std_logic_vector(31 DOWNT0 0); -- ufix32
SIGNAL C2_2_out1_signed       : signed(31 DOWNT0 0); -- sfix32_En2
SIGNAL DTC5_out1              : unsigned(10 DOWNT0 0); -- ufix11

BEGIN
u_SoftStart : SoftStart
  PORT MAP( clk => clk,
            reset => reset,
            enb_1_128_0 => enb_1_128_0,
            In1 => std_logic_vector(Shift4_out1), -- ufix14_En3
            Out1 => SoftStart_out1 -- sfix24_En10
            );

u_C1 : C1
  PORT MAP( clk => clk,
            reset => reset,
            enb_1_128_0 => enb_1_128_0,
            u => std_logic_vector(Add_out1), -- sfix20_En6
            y => C1_out1 -- sfix30_En7
            );

u_FIR_Filter1 : FIR_Filter1
  PORT MAP( clk => clk,
            enb_1_128_0 => enb_1_128_0,
            reset => reset,
            FIR_Filter1_in => Add4_out1_1, -- sfix15_En3
            FIR_Filter1_out => FIR_Filter1_out1 -- sfix20_En6
            );

u_C2_1 : C2_1
  PORT MAP( clk => clk,
            reset => reset,
            enb_1_128_0 => enb_1_128_0,
            u => std_logic_vector(Add1_out1), -- sfix24_En11
            y => C2_1_out1 -- sfix32_En2
            );

u_FIR_Filter3 : FIR_Filter3
  PORT MAP( clk => clk,

```

```

    enb_1_128_0 => enb_1_128_0,
    reset => reset,
    FIR_Filter3_in => Add5_out1_1, -- sfix15_En3
    FIR_Filter3_out => FIR_Filter3_out1 -- sfix20_En6
  );

u_C2_2 : C2_2
  PORT MAP( clk => clk,
            reset => reset,
            enb_1_128_0 => enb_1_128_0,
            u => std_logic_vector(Add2_out1), -- sfix24_En11
            y => C2_2_out1 -- sfix32_En2
  );

Vi_unsigned <= unsigned(Vi);

Shift4_bitshift <= Vi_unsigned;

Shift4_out1 <= Shift4_bitshift;

enb_1_128_0 <= clk_enable;

SoftStart_out1_signed <= signed(SoftStart_out1);

Vc_unsigned <= unsigned(Vc);

Shift1_bitshift <= Vc_unsigned;

Shift1_out1 <= Shift1_bitshift;

DTC3_out1 <= signed(resize(Shift1_out1, 15));

Gain3_mul_temp <= to_signed(20480, 16) * DTC3_out1;
Gain3_out1 <= Gain3_mul_temp(29 DOWNTO 10);

Add_sub_cast <= "01111111111111111111" WHEN (SoftStart_out1_signed(23) = '0') AND
(SoftStart_out1_signed(22 DOWNTO 4) = "11111111111111111111") ELSE
  SoftStart_out1_signed(23 DOWNTO 4);
Add_sub_cast_1 <= resize(Add_sub_cast, 21);
Add_sub_cast_2 <= resize(Gain3_out1, 21);
Add_sub_temp <= Add_sub_cast_1 - Add_sub_cast_2;

Add_out1 <= "01111111111111111111" WHEN (Add_sub_temp(20) = '0') AND (Add_sub_temp(19) /= '0')
ELSE
  "10000000000000000000" WHEN (Add_sub_temp(20) = '1') AND (Add_sub_temp(19) /= '1') ELSE
  Add_sub_temp(19 DOWNTO 0);

C1_out1_signed <= signed(C1_out1);

IL1_unsigned <= unsigned(IL1);

Shift2_bitshift <= IL1_unsigned;

Shift2_out1 <= Shift2_bitshift;

DTC1_out1 <= signed(resize(Shift2_out1, 15));

C2_out1 <= to_signed(8000, 15);

Add4_sub_cast <= resize(DTC1_out1, 16);
Add4_sub_cast_1 <= resize(C2_out1, 16);
Add4_sub_temp <= Add4_sub_cast - Add4_sub_cast_1;

Add4_out1 <= "0111111111111111" WHEN (Add4_sub_temp(15) = '0') AND (Add4_sub_temp(14) /= '0') ELSE
  "1000000000000000" WHEN (Add4_sub_temp(15) = '1') AND (Add4_sub_temp(14) /= '1') ELSE
  Add4_sub_temp(14 DOWNTO 0);

Add4_out1_1 <= std_logic_vector(Add4_out1);

FIR_Filter1_out1_signed <= signed(FIR_Filter1_out1);

Add1_sub_cast <= "0111111111111111111111111111" WHEN (C1_out1_signed(29) = '0') AND (C1_out1_signed(28
DOWNTO 19) /= "0000000000") ELSE
  "1000000000000000000000000000" WHEN (C1_out1_signed(29) = '1') AND (C1_out1_signed(28 DOWNTO 19)
/= "1111111111") ELSE
  C1_out1_signed(19 DOWNTO 0) & '0' & '0' & '0' & '0';
Add1_sub_cast_1 <= resize(Add1_sub_cast, 25);

```

```

Add1_sub_cast_2 <= "01111111111111111111111111111111" WHEN (FIR_Filter1_out1_signed(19) = '0') AND
(FIR_Filter1_out1_signed(18) /= '0') ELSE
"10000000000000000000000000000000" WHEN (FIR_Filter1_out1_signed(19) = '1') AND
(FIR_Filter1_out1_signed(18) /= '1') ELSE
FIR_Filter1_out1_signed(18 DOWNT0 0) & '0' & '0' & '0' & '0' & '0' & '0';
Add1_sub_cast_3 <= resize(Add1_sub_cast_2, 25);
Add1_sub_temp <= Add1_sub_cast_1 - Add1_sub_cast_3;

Add1_out1 <= "01111111111111111111111111111111" WHEN (Add1_sub_temp(24) = '0') AND (Add1_sub_temp(23) /=
'0') ELSE
"10000000000000000000000000000000" WHEN (Add1_sub_temp(24) = '1') AND (Add1_sub_temp(23) /= '1') ELSE
Add1_sub_temp(23 DOWNT0 0);

C2_1_out1_signed <= signed(C2_1_out1);

DTC4_out1 <= "1111111111" WHEN (C2_1_out1_signed(31) = '0') AND (C2_1_out1_signed(30 DOWNT0 13)
/= "000000000000000000000000") ELSE
"000000000000" WHEN C2_1_out1_signed(31) = '1' ELSE
unsigned(C2_1_out1_signed(12 DOWNT0 2));

Vcont <= std_logic_vector(DTC4_out1);

IL2_unsigned <= unsigned(IL2);

Shift3_bitshift <= IL2_unsigned;

Shift3_out1 <= Shift3_bitshift;

DTC2_out1 <= signed(resize(Shift3_out1, 15));

C4_out1 <= to_signed(7872, 15);

Add5_sub_cast <= resize(DTC2_out1, 16);
Add5_sub_cast_1 <= resize(C4_out1, 16);
Add5_sub_temp <= Add5_sub_cast - Add5_sub_cast_1;

Add5_out1 <= "0111111111111111" WHEN (Add5_sub_temp(15) = '0') AND (Add5_sub_temp(14) /= '0') ELSE
"10000000000000000000" WHEN (Add5_sub_temp(15) = '1') AND (Add5_sub_temp(14) /= '1') ELSE
Add5_sub_temp(14 DOWNT0 0);

Add5_out1_1 <= std_logic_vector(Add5_out1);

FIR_Filter3_out1_signed <= signed(FIR_Filter3_out1);

Add2_sub_cast <= "01111111111111111111111111111111" WHEN (C1_out1_signed(29) = '0') AND (C1_out1_signed(28
DOWNT0 19) /= "0000000000") ELSE
"10000000000000000000000000000000" WHEN (C1_out1_signed(29) = '1') AND (C1_out1_signed(28 DOWNT0 19)
/= "1111111111") ELSE
C1_out1_signed(19 DOWNT0 0) & '0' & '0' & '0' & '0';
Add2_sub_cast_1 <= resize(Add2_sub_cast, 25);

Add2_sub_cast_2 <= "01111111111111111111111111111111" WHEN (FIR_Filter3_out1_signed(19) = '0') AND
(FIR_Filter3_out1_signed(18) /= '0') ELSE
"10000000000000000000000000000000" WHEN (FIR_Filter3_out1_signed(19) = '1') AND
(FIR_Filter3_out1_signed(18) /= '1') ELSE
FIR_Filter3_out1_signed(18 DOWNT0 0) & '0' & '0' & '0' & '0' & '0';
Add2_sub_cast_3 <= resize(Add2_sub_cast_2, 25);
Add2_sub_temp <= Add2_sub_cast_1 - Add2_sub_cast_3;

Add2_out1 <= "01111111111111111111111111111111" WHEN (Add2_sub_temp(24) = '0') AND (Add2_sub_temp(23) /=
'0') ELSE
"10000000000000000000000000000000" WHEN (Add2_sub_temp(24) = '1') AND (Add2_sub_temp(23) /= '1') ELSE
Add2_sub_temp(23 DOWNT0 0);

C2_2_out1_signed <= signed(C2_2_out1);

DTC5_out1 <= "1111111111" WHEN (C2_2_out1_signed(31) = '0') AND (C2_2_out1_signed(30 DOWNT0 13)
/= "000000000000000000000000") ELSE
"000000000000" WHEN C2_2_out1_signed(31) = '1' ELSE
unsigned(C2_2_out1_signed(12 DOWNT0 2));

Vcont1 <= std_logic_vector(DTC5_out1);

ce_out <= clk_enable;

```

```
END rtl;
```

En este bloque de código se implementa el controlador de tensión C1. Este bloque se encarga de proporcionar la ganancia en bajas frecuencias para reducir el error en DC.

```
-----
--
-- File Name: F:\hdlsrc\DCDCDiscrete_Buck2\C1.vhd
-- Created: 2016-01-04 15:08:30
--
-- Generated by MATLAB 8.1 and HDL Coder 3.2
--
-----

--
-- Module: C1
-- Source Path: DCDCDiscrete_Buck2/Control/C1
-- Hierarchy Level: 1
--
-----

LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.numeric_std.ALL;

ENTITY C1 IS
  PORT( clk           : IN    std_logic;
        reset         : IN    std_logic;
        enb_1_128_0   : IN    std_logic;
        u             : IN    std_logic_vector(19 DOWNTO 0); -- sfix20_En6
        y             : OUT   std_logic_vector(29 DOWNTO 0) -- sfix30_En7
        );
END C1;

ARCHITECTURE rtl OF C1 IS

  -- Signals
  SIGNAL u_signed           : signed(19 DOWNTO 0); -- sfix20_En6
  SIGNAL Proportional_Gain_mul_temp : signed(39 DOWNTO 0); -- sfix40_En21
  SIGNAL Proportional_Gain_out1   : signed(23 DOWNTO 0); -- sfix24_En7
  SIGNAL Integral_Gain_mul_temp   : signed(39 DOWNTO 0); -- sfix40_En11
  SIGNAL Integral_Gain_out1       : signed(29 DOWNTO 0); -- sfix30_En7
  SIGNAL Integrator_indtc         : signed(29 DOWNTO 0); -- sfix30
  SIGNAL gain_mul_temp           : signed(59 DOWNTO 0); -- sfix60_En48
  SIGNAL Integrator_u_gain       : signed(27 DOWNTO 0); -- sfix28
  SIGNAL Integrator_u_dtc        : signed(27 DOWNTO 0); -- sfix28_En7
  SIGNAL Integrator_y_add        : signed(27 DOWNTO 0); -- sfix28_En7
  SIGNAL adder_add_cast          : signed(28 DOWNTO 0); -- sfix29_En7
  SIGNAL adder_add_cast_1        : signed(28 DOWNTO 0); -- sfix29_En7
  SIGNAL adder_add_temp          : signed(28 DOWNTO 0); -- sfix29_En7
  SIGNAL Integrator_x_add        : signed(27 DOWNTO 0); -- sfix28_En7
  SIGNAL Integrator_x_reg        : signed(27 DOWNTO 0); -- sfix28_En7
  SIGNAL adder_add_cast_2        : signed(28 DOWNTO 0); -- sfix29_En7
  SIGNAL adder_add_cast_3        : signed(28 DOWNTO 0); -- sfix29_En7
  SIGNAL adder_add_temp_1        : signed(28 DOWNTO 0); -- sfix29_En7
  SIGNAL Sum_add_cast            : signed(29 DOWNTO 0); -- sfix30_En7
  SIGNAL Sum_add_cast_1          : signed(29 DOWNTO 0); -- sfix30_En7
  SIGNAL Sum_out1                : signed(29 DOWNTO 0); -- sfix30_En7

BEGIN
  u_signed <= signed(u);

  Proportional_Gain_mul_temp <= 345865 * u_signed;

  Proportional_Gain_out1 <= "011111111111111111111111" WHEN ((Proportional_Gain_mul_temp(39) = '0')
AND (Proportional_Gain_mul_temp(38 DOWNTO 37) /= "00")) OR ((Proportional_Gain_mul_temp(39) = '0')
AND (Proportional_Gain_mul_temp(37 DOWNTO 14) = "011111111111111111111111")) ELSE
  "1000000000000000000000000000" WHEN (Proportional_Gain_mul_temp(39) = '1') AND
(Proportional_Gain_mul_temp(38 DOWNTO 37) /= "11") ELSE
  Proportional_Gain_mul_temp(37 DOWNTO 14) + ('0' & Proportional_Gain_mul_temp(13));

  Integral_Gain_mul_temp <= 129907 * u_signed;
```

```

Integral_Gain_out1 <= "01111111111111111111111111111111" WHEN ((Integral_Gain_mul_temp(39) = '0')
AND (Integral_Gain_mul_temp(38 DOWNT0 33) /= "000000")) OR ((Integral_Gain_mul_temp(39) = '0') AND
(Integral_Gain_mul_temp(33 DOWNT0 4) = "01111111111111111111111111111111") ELSE
"1000000000000000000000000000000000000000" WHEN (Integral_Gain_mul_temp(39) = '1') AND
(Integral_Gain_mul_temp(38 DOWNT0 33) /= "111111") ELSE
Integral_Gain_mul_temp(33 DOWNT0 4) + ('0' & Integral_Gain_mul_temp(3));

Integrator_indtc <= Integral_Gain_out1;

gain_mul_temp <= 180143985 * Integrator_indtc;
Integrator_u_gain <= (resize(gain_mul_temp(59 DOWNT0 48), 28)) + ('0' & gain_mul_temp(47));

Integrator_u_dtc <= Integrator_u_gain;

adder_add_cast <= resize(Integrator_x_add, 29);
adder_add_cast_1 <= resize(Integrator_u_dtc, 29);
adder_add_temp <= adder_add_cast + adder_add_cast_1;

Integrator_y_add <= "01111111111111111111111111111111" WHEN (adder_add_temp(28) = '0') AND
(adder_add_temp(27) /= '0') ELSE
"1000000000000000000000000000000000" WHEN (adder_add_temp(28) = '1') AND (adder_add_temp(27) /= '1')
ELSE
adder_add_temp(27 DOWNT0 0);

Integrator_reg_process : PROCESS (clk)
BEGIN
IF clk'EVENT AND clk = '1' THEN
IF reset = '1' THEN
Integrator_x_reg <= to_signed(0, 28);
ELSIF enb_1_128_0 = '1' THEN
Integrator_x_reg <= Integrator_y_add;
END IF;
END IF;
END PROCESS Integrator_reg_process;

adder_add_cast_2 <= resize(Integrator_x_reg, 29);
adder_add_cast_3 <= resize(Integrator_u_dtc, 29);
adder_add_temp_1 <= adder_add_cast_2 + adder_add_cast_3;

Integrator_x_add <= "01111111111111111111111111111111" WHEN (adder_add_temp_1(28) = '0') AND
(adder_add_temp_1(27) /= '0') ELSE
"1000000000000000000000000000000000" WHEN (adder_add_temp_1(28) = '1') AND (adder_add_temp_1(27) /=
'1') ELSE
adder_add_temp_1(27 DOWNT0 0);

Sum_add_cast <= resize(Proportional_Gain_out1, 30);
Sum_add_cast_1 <= resize(Integrator_x_add, 30);
Sum_out1 <= Sum_add_cast + Sum_add_cast_1;

y <= std_logic_vector(Sum_out1);

END rtl;

```

En este bloque de código se implementa el controlador de Corriente C2\_1 y C2\_2. Este bloque se encarga de proporcionar la ganancia en bajas frecuencias para reducir el error en DC.

```

-- -----
--
-- File Name: F:\hdlsrc\DCDCDiscrete_Buck2\C2_2.vhd
-- Created: 2016-01-04 15:08:32
--

```

```

-- Generated by MATLAB 8.1 and HDL Coder 3.2
--
-----

--
--
-- Module: C2_2
-- Source Path: DCDCDiscrete_Buck2/Control/C2_2
-- Hierarchy Level: 1
--
-----

LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.numeric_std.ALL;

ENTITY C2_2 IS
    PORT( clk           : IN    std_logic;
          reset        : IN    std_logic;
          enb_1_128_0  : IN    std_logic;
          u            : IN    std_logic_vector(23 DOWNTO 0); -- sfix24_En11
          y            : OUT   std_logic_vector(31 DOWNTO 0) -- sfix32_En2
        );
END C2_2;

ARCHITECTURE rtl OF C2_2 IS

    -- Signals
    SIGNAL u_signed           : signed(23 DOWNTO 0); -- sfix24_En11
    SIGNAL Proportional_Gain_mul_temp : signed(43 DOWNTO 0); -- sfix44_En32
    SIGNAL Proportional_Gain_out1    : signed(27 DOWNTO 0); -- sfix28_En18
    SIGNAL Integral_Gain_mul_temp    : signed(43 DOWNTO 0); -- sfix44_En19
    SIGNAL Integral_Gain_out1        : signed(31 DOWNTO 0); -- sfix32_En2
    SIGNAL Integrator_indtc          : signed(31 DOWNTO 0); -- sfix32
    SIGNAL gain_mul_temp             : signed(63 DOWNTO 0); -- sfix64_En35
    SIGNAL Integrator_u_gain         : signed(31 DOWNTO 0); -- sfix32
    SIGNAL Integrator_u_dtc          : signed(31 DOWNTO 0); -- sfix32_En18
    SIGNAL Integrator_x_add          : signed(31 DOWNTO 0); -- sfix32_En18
    SIGNAL adder_add_cast            : signed(32 DOWNTO 0); -- sfix33_En18
    SIGNAL adder_add_cast_1          : signed(32 DOWNTO 0); -- sfix33_En18
    SIGNAL adder_add_temp            : signed(32 DOWNTO 0); -- sfix33_En18
    SIGNAL Integrator_y_add          : signed(31 DOWNTO 0); -- sfix32_En18
    SIGNAL Integrator_x_reg          : signed(31 DOWNTO 0); -- sfix32_En18
    SIGNAL adder_add_cast_2          : signed(32 DOWNTO 0); -- sfix33_En18
    SIGNAL adder_add_cast_3          : signed(32 DOWNTO 0); -- sfix33_En18
    SIGNAL adder_add_temp_1          : signed(32 DOWNTO 0); -- sfix33_En18
    SIGNAL Sum_add_cast              : signed(31 DOWNTO 0); -- sfix32_En18
    SIGNAL Sum_add_cast_1            : signed(32 DOWNTO 0); -- sfix33_En18
    SIGNAL Sum_add_cast_2            : signed(32 DOWNTO 0); -- sfix33_En18
    SIGNAL Sum_add_temp              : signed(32 DOWNTO 0); -- sfix33_En18
    SIGNAL Sum_out1                  : signed(31 DOWNTO 0); -- sfix32_En18
    SIGNAL Sum_out1_dtc              : signed(31 DOWNTO 0); -- sfix32_En2
    SIGNAL Saturation_out1           : signed(31 DOWNTO 0); -- sfix32_En2

BEGIN
    u_signed <= signed(u);

    Proportional_Gain_mul_temp <= to_signed(161420, 20) * u_signed;

    Proportional_Gain_out1 <= "0111111111111111111111111111" WHEN ((Proportional_Gain_mul_temp(43) =
'0') AND (Proportional_Gain_mul_temp(42 DOWNTO 41) /= "00")) OR ((Proportional_Gain_mul_temp(43) =
'0') AND (Proportional_Gain_mul_temp(41 DOWNTO 14) = "0111111111111111111111111111")) ELSE
"1000000000000000000000000000" WHEN (Proportional_Gain_mul_temp(43) = '1') AND
(Proportional_Gain_mul_temp(42 DOWNTO 41) /= "11") ELSE
    Proportional_Gain_mul_temp(41 DOWNTO 14) + ('0' & Proportional_Gain_mul_temp(13));

    Integral_Gain_mul_temp <= to_signed(277530, 20) * u_signed;
    Integral_Gain_out1 <= (resize(Integral_Gain_mul_temp(43 DOWNTO 17), 32)) + ('0' &
Integral_Gain_mul_temp(16));

    Integrator_indtc <= Integral_Gain_out1;

    gain_mul_temp <= 1441151881 * Integrator_indtc;
    Integrator_u_gain <= (resize(gain_mul_temp(63 DOWNTO 35), 32)) + ('0' & gain_mul_temp(34));

    Integrator_u_dtc <= Integrator_u_gain;

    adder_add_cast <= resize(Integrator_x_add, 33);

```

```

adder_add_cast_1 <= resize(Integrator_u_dtc, 33);
adder_add_temp <= adder_add_cast + adder_add_cast_1;

Integrator_y_add <= "01111111111111111111111111111111" WHEN (adder_add_temp(32) = '0') AND
(adder_add_temp(31) /= '0') ELSE
"10000000000000000000000000000000" WHEN (adder_add_temp(32) = '1') AND (adder_add_temp(31) /=
'1') ELSE
adder_add_temp(31 DOWNT0 0);

Integrator_reg_process : PROCESS (clk)
BEGIN
IF clk'EVENT AND clk = '1' THEN
IF reset = '1' THEN
Integrator_x_reg <= to_signed(0, 32);
ELSIF enb_1_128_0 = '1' THEN
Integrator_x_reg <= Integrator_y_add;
END IF;
END IF;
END PROCESS Integrator_reg_process;

adder_add_cast_2 <= resize(Integrator_x_reg, 33);
adder_add_cast_3 <= resize(Integrator_u_dtc, 33);
adder_add_temp_1 <= adder_add_cast_2 + adder_add_cast_3;

Integrator_x_add <= "01111111111111111111111111111111" WHEN (adder_add_temp_1(32) = '0') AND
(adder_add_temp_1(31) /= '0') ELSE
"10000000000000000000000000000000" WHEN (adder_add_temp_1(32) = '1') AND (adder_add_temp_1(31)
/= '1') ELSE
adder_add_temp_1(31 DOWNT0 0);

Sum_add_cast <= resize(Proportional_Gain_out1, 32);
Sum_add_cast_1 <= resize(Sum_add_cast, 33);
Sum_add_cast_2 <= resize(Integrator_x_add, 33);
Sum_add_temp <= Sum_add_cast_1 + Sum_add_cast_2;

Sum_out1 <= "01111111111111111111111111111111" WHEN (Sum_add_temp(32) = '0') AND (Sum_add_temp(31)
/= '0') ELSE
"10000000000000000000000000000000" WHEN (Sum_add_temp(32) = '1') AND (Sum_add_temp(31) /= '1')
ELSE
Sum_add_temp(31 DOWNT0 0);

Sum_out1_dtc <= (resize(Sum_out1(31 DOWNT0 16), 32)) + ('0' & Sum_out1(15));

Saturation_out1 <= to_signed(8188, 32) WHEN Sum_out1_dtc > 8188 ELSE
to_signed(-8192, 32) WHEN Sum_out1_dtc < (-8192) ELSE
Sum_out1_dtc;

y <= std_logic_vector(Saturation_out1);

END rtl;

```

En este bloque de código se implementa el filtro de promedio "FIR\_Filter". Este bloque se encarga de promediar en un periodo de 16 muestras la señal quedando únicamente el valor medio.

```

-----
--
-- File Name: F:\hdlsrc\DCDCDiscrete_Buck2\FIR_Filter1
-- Created: 2016-01-04 15:08:33
-- Generated by MATLAB 8.1 and HDL Coder 3.2
--
-----
--
--
-----
--

```



```

-- Module: FIR_Filter1
-- Source Path: /FIR_Filter1
--
-----
--
-- HDL Implementation      : Fully parallel
-- Multipliers             : 16
-- Folding Factor          : 1

LIBRARY IEEE;
USE IEEE.std_logic_1164.all;
USE IEEE.numeric_std.ALL;

ENTITY FIR_Filter1 IS
    PORT( clk           : IN    std_logic;
          enb_1_128_0   : IN    std_logic;
          reset         : IN    std_logic;
          FIR_Filter1_in : IN    std_logic_vector(14 DOWNTO 0); -- sfix15_En3
          FIR_Filter1_out : OUT   std_logic_vector(19 DOWNTO 0)  -- sfix20_En6
        );

END FIR_Filter1;

-----
--Module Architecture: FIR_Filter1
-----
ARCHITECTURE rtl OF FIR_Filter1 IS
    -- Local Functions
    -- Type Definitions
    TYPE delay_pipeline_type IS ARRAY (NATURAL range <>) OF signed(14 DOWNTO 0); -- sfix15_En3
    -- Constants
    CONSTANT coeff1  : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff2  : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff3  : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff4  : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff5  : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff6  : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff7  : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff8  : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff9  : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff10 : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff11 : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff12 : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff13 : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff14 : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff15 : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16
    CONSTANT coeff16 : signed(14 DOWNTO 0) := to_signed(10240, 15); -- sfix15_En16

    -- Signals
    SIGNAL delay_pipeline           : delay_pipeline_type(0 TO 14); -- sfix15_En3
    SIGNAL FIR_Filter1_in_regtype  : signed(14 DOWNTO 0); -- sfix15_En3
    SIGNAL product16               : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp                 : signed(29 DOWNTO 0); -- sfix30_En19
    SIGNAL product15               : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp_1               : signed(29 DOWNTO 0); -- sfix30_En19
    SIGNAL product14               : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp_2               : signed(29 DOWNTO 0); -- sfix30_En19
    SIGNAL product13               : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp_3               : signed(29 DOWNTO 0); -- sfix30_En19
    SIGNAL product12               : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp_4               : signed(29 DOWNTO 0); -- sfix30_En19
    SIGNAL product11               : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp_5               : signed(29 DOWNTO 0); -- sfix30_En19
    SIGNAL product10               : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp_6               : signed(29 DOWNTO 0); -- sfix30_En19
    SIGNAL product9                : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp_7               : signed(29 DOWNTO 0); -- sfix30_En19
    SIGNAL product8                : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp_8               : signed(29 DOWNTO 0); -- sfix30_En19
    SIGNAL product7                : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp_9               : signed(29 DOWNTO 0); -- sfix30_En19
    SIGNAL product6                : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp_10              : signed(29 DOWNTO 0); -- sfix30_En19
    SIGNAL product5                : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp_11              : signed(29 DOWNTO 0); -- sfix30_En19
    SIGNAL product4                : signed(29 DOWNTO 0); -- sfix30_En16
    SIGNAL mul_temp_12              : signed(29 DOWNTO 0); -- sfix30_En19

```

```

SIGNAL product3           : signed(29 DOWNT0 0); -- sfix30_En16
SIGNAL mul_temp_13        : signed(29 DOWNT0 0); -- sfix30_En19
SIGNAL product2           : signed(29 DOWNT0 0); -- sfix30_En16
SIGNAL mul_temp_14        : signed(29 DOWNT0 0); -- sfix30_En19
SIGNAL product1           : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL mul_temp_15        : signed(29 DOWNT0 0); -- sfix30_En19
SIGNAL sum1               : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast           : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_1         : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp           : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum2               : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_2         : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_3         : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_1         : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum3               : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_4         : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_5         : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_2         : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum4               : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_6         : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_7         : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_3         : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum5               : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_8         : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_9         : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_4         : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum6               : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_10        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_11        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_5         : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum7               : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_12        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_13        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_6         : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum8               : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_14        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_15        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_7         : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum9               : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_16        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_17        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_8         : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum10              : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_18        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_19        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_9         : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum11              : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_20        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_21        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_10        : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum12              : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_22        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_23        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_11        : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum13              : signed(13 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_24        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_25        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_12        : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum14              : signed(14 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_26        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_27        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_13        : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL sum15              : signed(15 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_28        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_cast_29        : signed(19 DOWNT0 0); -- sfix20_En6
SIGNAL add_temp_14        : signed(20 DOWNT0 0); -- sfix21_En6
SIGNAL output_typeconvert : signed(19 DOWNT0 0); -- sfix20_En6

```

BEGIN

```

-- Block Statements
Delay_Pipeline_process : PROCESS (clk)
BEGIN
  IF clk'event AND clk = '1' THEN
    IF reset = '1' THEN
      delay_pipeline(0 TO 14) <= (OTHERS => (OTHERS => '0'));
    ELSIF enb_1_128_0 = '1' THEN
      delay_pipeline(0) <= signed(FIR_Filter1_in);
    
```

```

        delay_pipeline(1 TO 14) <= delay_pipeline(0 TO 13);
    END IF;
END IF;
END PROCESS Delay_Pipeline_process;

FIR_Filter1_in_regtype <= signed(FIR_Filter1_in);

mul_temp <= delay_pipeline(14) * coeff16;
product16 <= resize(mul_temp(29 DOWNTO 3), 30);

mul_temp_1 <= delay_pipeline(13) * coeff15;
product15 <= resize(mul_temp_1(29 DOWNTO 3), 30);

mul_temp_2 <= delay_pipeline(12) * coeff14;
product14 <= resize(mul_temp_2(29 DOWNTO 3), 30);

mul_temp_3 <= delay_pipeline(11) * coeff13;
product13 <= resize(mul_temp_3(29 DOWNTO 3), 30);

mul_temp_4 <= delay_pipeline(10) * coeff12;
product12 <= resize(mul_temp_4(29 DOWNTO 3), 30);

mul_temp_5 <= delay_pipeline(9) * coeff11;
product11 <= resize(mul_temp_5(29 DOWNTO 3), 30);

mul_temp_6 <= delay_pipeline(8) * coeff10;
product10 <= resize(mul_temp_6(29 DOWNTO 3), 30);

mul_temp_7 <= delay_pipeline(7) * coeff9;
product9 <= resize(mul_temp_7(29 DOWNTO 3), 30);

mul_temp_8 <= delay_pipeline(6) * coeff8;
product8 <= resize(mul_temp_8(29 DOWNTO 3), 30);

mul_temp_9 <= delay_pipeline(5) * coeff7;
product7 <= resize(mul_temp_9(29 DOWNTO 3), 30);

mul_temp_10 <= delay_pipeline(4) * coeff6;
product6 <= resize(mul_temp_10(29 DOWNTO 3), 30);

mul_temp_11 <= delay_pipeline(3) * coeff5;
product5 <= resize(mul_temp_11(29 DOWNTO 3), 30);

mul_temp_12 <= delay_pipeline(2) * coeff4;
product4 <= resize(mul_temp_12(29 DOWNTO 3), 30);

mul_temp_13 <= delay_pipeline(1) * coeff3;
product3 <= resize(mul_temp_13(29 DOWNTO 3), 30);

mul_temp_14 <= delay_pipeline(0) * coeff2;
product2 <= resize(mul_temp_14(29 DOWNTO 3), 30);

mul_temp_15 <= FIR_Filter1_in_regtype * coeff1;
product1 <= resize(mul_temp_15(29 DOWNTO 13), 20);

add_cast <= product1;
add_cast_1 <= product2(29 DOWNTO 10);
add_temp <= resize(add_cast, 21) + resize(add_cast_1, 21);
sum1 <= (19 => '0', OTHERS => '1') WHEN add_temp(20) = '0' AND add_temp(19) /= '0'
    ELSE (19 => '1', OTHERS => '0') WHEN add_temp(20) = '1' AND add_temp(19) /= '1'
    ELSE (add_temp(19 DOWNTO 0));

add_cast_2 <= sum1;
add_cast_3 <= product3(29 DOWNTO 10);
add_temp_1 <= resize(add_cast_2, 21) + resize(add_cast_3, 21);
sum2 <= (19 => '0', OTHERS => '1') WHEN add_temp_1(20) = '0' AND add_temp_1(19) /= '0'
    ELSE (19 => '1', OTHERS => '0') WHEN add_temp_1(20) = '1' AND add_temp_1(19) /= '1'
    ELSE (add_temp_1(19 DOWNTO 0));

add_cast_4 <= sum2;
add_cast_5 <= product4(29 DOWNTO 10);
add_temp_2 <= resize(add_cast_4, 21) + resize(add_cast_5, 21);
sum3 <= (19 => '0', OTHERS => '1') WHEN add_temp_2(20) = '0' AND add_temp_2(19) /= '0'
    ELSE (19 => '1', OTHERS => '0') WHEN add_temp_2(20) = '1' AND add_temp_2(19) /= '1'
    ELSE (add_temp_2(19 DOWNTO 0));

add_cast_6 <= sum3;
add_cast_7 <= product5(29 DOWNTO 10);
add_temp_3 <= resize(add_cast_6, 21) + resize(add_cast_7, 21);

```

```

sum4 <= (19 => '0', OTHERS => '1') WHEN add_temp_3(20) = '0' AND add_temp_3(19) /= '0'
      ELSE (19 => '1', OTHERS => '0') WHEN add_temp_3(20) = '1' AND add_temp_3(19) /= '1'
      ELSE (add_temp_3(19) DOWNT0 0));

add_cast_8 <= sum4;
add_cast_9 <= product6(29 DOWNT0 10);
add_temp_4 <= resize(add_cast_8, 21) + resize(add_cast_9, 21);
sum5 <= (19 => '0', OTHERS => '1') WHEN add_temp_4(20) = '0' AND add_temp_4(19) /= '0'
      ELSE (19 => '1', OTHERS => '0') WHEN add_temp_4(20) = '1' AND add_temp_4(19) /= '1'
      ELSE (add_temp_4(19) DOWNT0 0));

add_cast_10 <= sum5;
add_cast_11 <= product7(29 DOWNT0 10);
add_temp_5 <= resize(add_cast_10, 21) + resize(add_cast_11, 21);
sum6 <= (19 => '0', OTHERS => '1') WHEN add_temp_5(20) = '0' AND add_temp_5(19) /= '0'
      ELSE (19 => '1', OTHERS => '0') WHEN add_temp_5(20) = '1' AND add_temp_5(19) /= '1'
      ELSE (add_temp_5(19) DOWNT0 0));

add_cast_12 <= sum6;
add_cast_13 <= product8(29 DOWNT0 10);
add_temp_6 <= resize(add_cast_12, 21) + resize(add_cast_13, 21);
sum7 <= (19 => '0', OTHERS => '1') WHEN add_temp_6(20) = '0' AND add_temp_6(19) /= '0'
      ELSE (19 => '1', OTHERS => '0') WHEN add_temp_6(20) = '1' AND add_temp_6(19) /= '1'
      ELSE (add_temp_6(19) DOWNT0 0));

add_cast_14 <= sum7;
add_cast_15 <= product9(29 DOWNT0 10);
add_temp_7 <= resize(add_cast_14, 21) + resize(add_cast_15, 21);
sum8 <= (19 => '0', OTHERS => '1') WHEN add_temp_7(20) = '0' AND add_temp_7(19) /= '0'
      ELSE (19 => '1', OTHERS => '0') WHEN add_temp_7(20) = '1' AND add_temp_7(19) /= '1'
      ELSE (add_temp_7(19) DOWNT0 0));

add_cast_16 <= sum8;
add_cast_17 <= product10(29 DOWNT0 10);
add_temp_8 <= resize(add_cast_16, 21) + resize(add_cast_17, 21);
sum9 <= (19 => '0', OTHERS => '1') WHEN add_temp_8(20) = '0' AND add_temp_8(19) /= '0'
      ELSE (19 => '1', OTHERS => '0') WHEN add_temp_8(20) = '1' AND add_temp_8(19) /= '1'
      ELSE (add_temp_8(19) DOWNT0 0));

add_cast_18 <= sum9;
add_cast_19 <= product11(29 DOWNT0 10);
add_temp_9 <= resize(add_cast_18, 21) + resize(add_cast_19, 21);
sum10 <= (19 => '0', OTHERS => '1') WHEN add_temp_9(20) = '0' AND add_temp_9(19) /= '0'
      ELSE (19 => '1', OTHERS => '0') WHEN add_temp_9(20) = '1' AND add_temp_9(19) /= '1'
      ELSE (add_temp_9(19) DOWNT0 0));

add_cast_20 <= sum10;
add_cast_21 <= product12(29 DOWNT0 10);
add_temp_10 <= resize(add_cast_20, 21) + resize(add_cast_21, 21);
sum11 <= (19 => '0', OTHERS => '1') WHEN add_temp_10(20) = '0' AND add_temp_10(19) /= '0'
      ELSE (19 => '1', OTHERS => '0') WHEN add_temp_10(20) = '1' AND add_temp_10(19) /= '1'
      ELSE (add_temp_10(19) DOWNT0 0));

add_cast_22 <= sum11;
add_cast_23 <= product13(29 DOWNT0 10);
add_temp_11 <= resize(add_cast_22, 21) + resize(add_cast_23, 21);
sum12 <= (19 => '0', OTHERS => '1') WHEN add_temp_11(20) = '0' AND add_temp_11(19) /= '0'
      ELSE (19 => '1', OTHERS => '0') WHEN add_temp_11(20) = '1' AND add_temp_11(19) /= '1'
      ELSE (add_temp_11(19) DOWNT0 0));

add_cast_24 <= sum12;
add_cast_25 <= product14(29 DOWNT0 10);
add_temp_12 <= resize(add_cast_24, 21) + resize(add_cast_25, 21);
sum13 <= (19 => '0', OTHERS => '1') WHEN add_temp_12(20) = '0' AND add_temp_12(19) /= '0'
      ELSE (19 => '1', OTHERS => '0') WHEN add_temp_12(20) = '1' AND add_temp_12(19) /= '1'
      ELSE (add_temp_12(19) DOWNT0 0));

add_cast_26 <= sum13;
add_cast_27 <= product15(29 DOWNT0 10);
add_temp_13 <= resize(add_cast_26, 21) + resize(add_cast_27, 21);
sum14 <= (19 => '0', OTHERS => '1') WHEN add_temp_13(20) = '0' AND add_temp_13(19) /= '0'
      ELSE (19 => '1', OTHERS => '0') WHEN add_temp_13(20) = '1' AND add_temp_13(19) /= '1'
      ELSE (add_temp_13(19) DOWNT0 0));

add_cast_28 <= sum14;
add_cast_29 <= product16(29 DOWNT0 10);
add_temp_14 <= resize(add_cast_28, 21) + resize(add_cast_29, 21);
sum15 <= (19 => '0', OTHERS => '1') WHEN add_temp_14(20) = '0' AND add_temp_14(19) /= '0'
      ELSE (19 => '1', OTHERS => '0') WHEN add_temp_14(20) = '1' AND add_temp_14(19) /= '1'

```

```

        ELSE (add_temp_14(19 DOWNT0 0));

output_typeconvert <= sum15;

-- Assignment Statements
FIR_Filter1_out <= std_logic_vector(output_typeconvert);
END rtl;

```

En este bloque de código se implementa la unidad de “SoftStart”. Este bloque se encarga de hacer crecer la referencia de forma suave y lenta, para que la tensión de salida siga la referencia de forma adecuada y no se produzcan inestabilidades en el convertidor.

```

-----
--
-- File Name: F:\hdlsrc\DCDCDiscrete_Buck2\SoftStart.vhd
-- Created: 2016-01-04 15:08:32
--
-- Generated by MATLAB 8.1 and HDL Coder 3.2
--
-----

--
-- Module: SoftStart
-- Source Path: DCDCDiscrete_Buck2/Control/SoftStart
-- Hierarchy Level: 1
--
-----

LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.numeric_std.ALL;

ENTITY SoftStart IS
  PORT( clk      : IN    std_logic;
        reset    : IN    std_logic;
        enb_1_128_0 : IN    std_logic;
        In1      : IN    std_logic_vector(13 DOWNT0 0); -- ufix14_En3
        Out1     : OUT   std_logic_vector(23 DOWNT0 0) -- sfix24_En10
        );
END SoftStart;

ARCHITECTURE rtl OF SoftStart IS

  -- Signals
  SIGNAL In1_unsigned      : unsigned(13 DOWNT0 0); -- ufix14_En3
  SIGNAL Comparator_out1   : std_logic;
  SIGNAL switch_compare_1  : std_logic;
  SIGNAL C3_out1           : signed(11 DOWNT0 0); -- sfix12
  SIGNAL C3_out1_dtc       : signed(14 DOWNT0 0); -- sfix15_En3
  SIGNAL C2_out1           : signed(14 DOWNT0 0); -- sfix15_En3
  SIGNAL Switch_out1       : signed(14 DOWNT0 0); -- sfix15_En3
  SIGNAL Integrator_indtc  : signed(14 DOWNT0 0); -- sfix15
  SIGNAL gain_mul_temp     : signed(29 DOWNT0 0); -- sfix30_En20
  SIGNAL Integrator_u_gain : signed(23 DOWNT0 0); -- sfix24
  SIGNAL Integrator_u_dtc  : signed(23 DOWNT0 0); -- sfix24_En10
  SIGNAL Integrator_x_reg  : signed(23 DOWNT0 0); -- sfix24_En10
  SIGNAL adder_add_cast    : signed(24 DOWNT0 0); -- sfix25_En10
  SIGNAL adder_add_cast_1  : signed(24 DOWNT0 0); -- sfix25_En10
  SIGNAL adder_add_temp    : signed(24 DOWNT0 0); -- sfix25_En10
  SIGNAL Integrator_u_add  : signed(23 DOWNT0 0); -- sfix24_En10
  SIGNAL Integrator_u_sat  : signed(23 DOWNT0 0); -- sfix24_En10

BEGIN
  In1_unsigned <= unsigned(In1);

  Comparator_out1 <= '1' WHEN In1_unsigned >= 9600 ELSE
    '0';

  switch_compare_1 <= '1' WHEN Comparator_out1 > '0' ELSE
    '0';

```

```

C3_out1 <= to_signed(0, 12);
C3_out1_dtc <= C3_out1 & '0' & '0' & '0';
C2_out1 <= to_signed(12288, 15);

Switch_out1 <= C3_out1_dtc WHEN switch_compare_1 = '0' ELSE
    C2_out1;

Integrator_indtc <= Switch_out1;

gain_mul_temp <= 229 * Integrator_indtc;
Integrator_u_gain <= resize(gain_mul_temp(29 DOWNT0 20), 24);

Integrator_u_dtc <= Integrator_u_gain;

adder_add_cast <= resize(Integrator_x_reg, 25);
adder_add_cast_1 <= resize(Integrator_u_dtc, 25);
adder_add_temp <= adder_add_cast + adder_add_cast_1;

Integrator_u_add <= "011111111111111111111111" WHEN (adder_add_temp(24) = '0') AND
(adder_add_temp(23) /= '0') ELSE
    "100000000000000000000000" WHEN (adder_add_temp(24) = '1') AND (adder_add_temp(23) /= '1')
ELSE
    adder_add_temp(23 DOWNT0 0);

Integrator_u_sat <= to_signed(3032064, 24) WHEN Integrator_u_add > 3032064 ELSE
    to_signed(0, 24) WHEN Integrator_u_add < 0 ELSE
    Integrator_u_add;

Integrator_reg_process : PROCESS (clk)
BEGIN
    IF clk'EVENT AND clk = '1' THEN
        IF reset = '1' THEN
            Integrator_x_reg <= to_signed(0, 24);
        ELSIF enb_1_128_0 = '1' THEN
            Integrator_x_reg <= Integrator_u_sat;
        END IF;
    END IF;
END PROCESS Integrator_reg_process;

Out1 <= std_logic_vector(Integrator_x_reg);

END rtl;

```

## 6. ARCHIVO DE "PINOUT" Y RESTRICCIONES

En este archivo se especifica el periodo de la señal de reloj y los pines asignados a las entradas y salidas.

```
TIMESPEC TS_clk = PERIOD "clk" 15 ns HIGH 50%;

NET "clk" LOC = "R9" | IOSTANDARD = LVTTTL;
NET "reset" LOC = "A7" | IOSTANDARD = LVTTTL | PULLDOWN;

NET "A1" LOC = "D13" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A2" LOC = "C13" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A3" LOC = "D12" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A4" LOC = "C12" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A5" LOC = "C10" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A6" LOC = "D9" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A7" LOC = "C8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A8" LOC = "D8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A9" LOC = "A14" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A10" LOC = "A13" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A11" LOC = "A6" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A12" LOC = "B6" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A13" LOC = "C11" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A14" LOC = "A11" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A15" LOC = "B8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "A16" LOC = "A8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;
NET "S_H" LOC = "L4" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2;

NET "SPI_CLK" LOC = "E3" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2 ;
NET "CONV_AD" LOC = "E2" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 2 ;
NET "SPI_DATA_in1" LOC = "G2" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "SPI_DATA_in2" LOC = "C6" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;

#Created by Constraints Editor (xc3s1400a-ft256-5) - 2013/02/27
NET "clk" TNM_NET = clk;
```





# Anexo IV: Descripción del set-up experimental

## 1. INSTRUMENTACIÓN EMPLEADA

Durante el desarrollo de los prototipos y su consiguiente verificación experimental se ha utilizado la siguiente instrumentación, disponible en el laboratorio del Grupo de Electrónica Industrial del Departamento de Ciencia de Materiales, Óptica y Tecnología Electrónica de la Universidad Miguel Hernández de Elche.

|   |  |
|---|--|
|    | <p><b>Fuente de alimentación: Lambda GEN150-10</b></p> <p>Fuente DC de 150V y 10A, empleada como sistema de alimentación principal para la prueba de los dos prototipos. La validación experimental ha estado condicionada al uso de este equipo, si bien los semiconductores de potencia utilizados pueden soportar mayores valores de tensión y corriente.</p> |
|  | <p><b>Carga electrónica: Agilent N3300A</b></p> <p>Carga electrónica DC con tres módulos de 150V y 60A, 500W max. por módulo, empleada como carga (funcionando en modo corriente constante) para las pruebas dinámicas y medida de eficiencia.</p>   |
|  | <p><b>Osciloscopios digitales: Tektronix DPO4034 y MDO3104</b></p> <p>Osciloscopios de 350MHz y 1GHz de ancho de banda respectivamente de cuatro canales y uno de ellos con analizador lógico integrado. Empleados para el registro de las formas de onda de los dos prototipos y depuración del sistema basado en FPGA.</p>                                     |



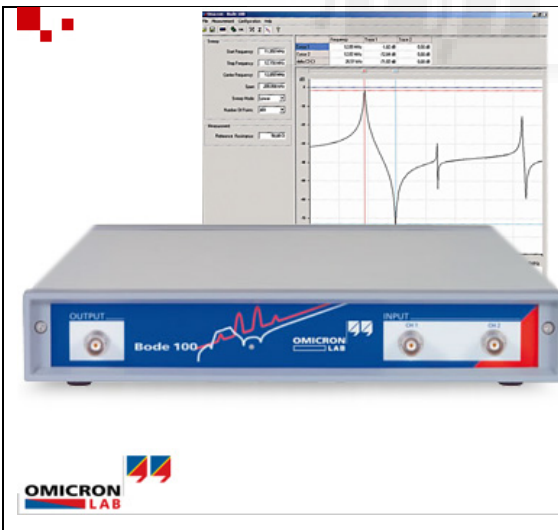
**Sondas de corriente y amplificadores: Tektronix TCP303, TCP312 y TCPA300**

Necesarias para el registro de la corriente por los inductores, corriente en los nodos V1 y V2, así como la corriente de los semiconductores de potencia. Utilizadas con los osciloscopios digitales.



**Sondas diferenciales de tensión: Tektronix P5205**

Utilizadas para la medida de tensión en distintos puntos del convertidor y garantizar separación galvánica en distintas medidas simultáneas.



**Analizador vectorial de redes: Omicron Bode-100**

Analizador de redes hasta 40MHz, utilizado para la medida de las funciones de transferencia en pequeña señal del convertidor, así como las funciones de lazo para ajustar los compensadores digitales.



**Vatímetro de precisión: Yokogawa WT1800**

Vatímetro de 0,1% de precisión en medida de potencia. Empleado para medir la potencia P1 y P2 del convertidor y obtener la eficiencia del mismo en distintas condiciones de trabajo.



**Termómetro de infrarrojos: Fluke VT04**

Termómetro de infrarrojos con combinación de imagen visual y mapa térmico. Empleado en las medidas de distribución de temperatura en los dispositivos semiconductores.



**Interfaz USB-JTAG: Xilinx**

Empleado en la depuración de los distintos subsistemas digitales integrados en la FPGA. Permite representar mediante la herramienta "Chipscope" las variables internas de interés. El módulo DLP-HS-FPGA3 se programa directamente por un interfaz USB. El código VHDL se genera mediante HDL coder en MATLAB – SIMULINK. El código generado se carga mediante la herramienta ISE de Xilinx.



## 2. SET-UP PARA LA MEDIDA DE LAS FUNCIONES DE LAZO

Para medir la función del lazo de tensión se ha utilizado el analizador de redes Bode100 de la casa Omicron mostrado en la sección anterior. La configuración del sistema de medida se muestra en la figura A4.1.

La inyección de la perturbación y la medida se realiza en el divisor de tensión del lazo de realimentación. Dicha perturbación es posteriormente digitalizada y los compensadores digitales, tanto de corriente como de tensión, proporcionan finalmente la señal de disparo PWM de los IGBTs.

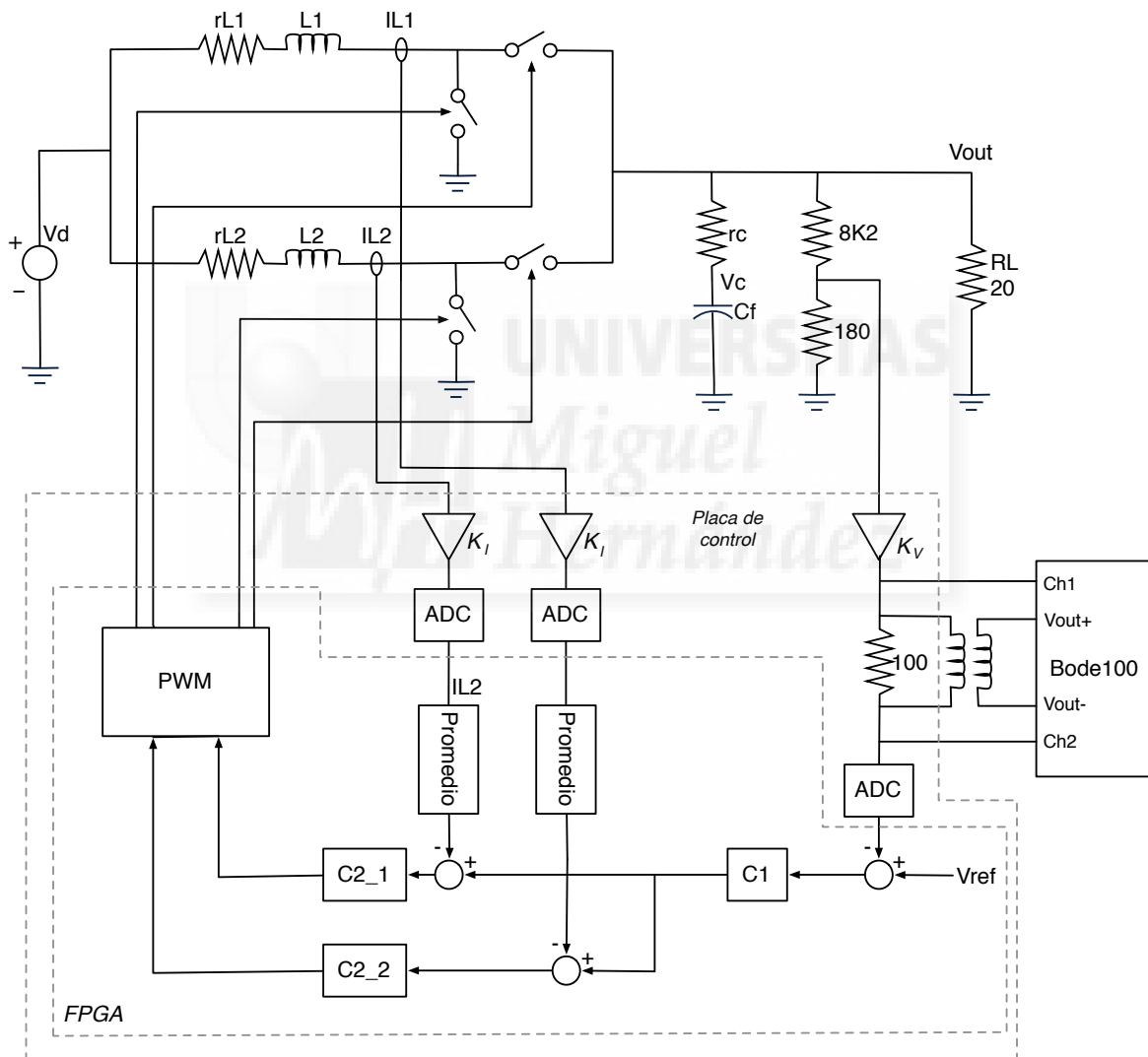


Figura A4.1: Esquema del circuito para medir la función de lazo de tensión.

# Anexo V: Publicaciones

---

En este anexo se incluyen las publicaciones científicas derivadas de la presente tesis.

- [T1] A. Garrigós, F. Sobrino-Manzanares, “Interleaved multi-phase and multi-switch boost converter for fuel cell applications,” *International Journal of Hydrogen Energy*, vol. 40, pp. 8419-8432, Jul. 2015  
JCR metrics (2014 – no hay datos disponibles para 2015 en la fecha de redacción de este documento) – Impact Factor: 3.313. Cuartil: Q1 (*Electrochemistry*, posición 7 de 28), Q2 (*Energy & Fuels*, posición 25 de 89)
- [T2] F. Sobrino-Manzanares, A. Garrigós, “Interleaved, multi-switch, multi-phase boost converter for battery discharge regulators,” 11th European Space Power Conference, Thessaloniki, Greece, 2016.
- [T3] F. Sobrino-Manzanares, A. Garrigós, “An interleaved, FPGA-controlled, multi-phase and multi-switch synchronous boost converter for fuel cell applications,” *International Journal of Hydrogen Energy*, vol. 40, pp. 12447-12456, Sep. 2015  
JCR metrics (2014 – no hay datos disponibles para 2015 en la fecha de redacción de este documento) – Impact Factor: 3.313. Cuartil: Q1 (*Electrochemistry*, posición 7 de 28), Q2 (*Energy & Fuels*, posición 25 de 89)
- [T4] F. Sobrino-Manzanares, A. Garrigós, “Bidirectional, interleaved, multiphase, multidevice, soft-switching, FPGA controlled, buck-boost converter with WPM real-time reconfiguration,” *IEEE Trans Power Electron* (EN REVISIÓN)  
JCR metrics (2014 – no hay datos disponibles para 2015 en la fecha de redacción de este documento) – Impact Factor: 6.008. Cuartil: Q1 (*Engineering, electrical & electronic*, posición 3 de 249)
- [T5] F. Sobrino-Manzanares, A. Garrigós, “A generic FPGA based PWM generator with automatic device fault recovery for fuel cell, interleaved, multi-phase and multi-switch DC/DC boost converters,” 21<sup>st</sup> World Hydrogen Energy Conference 2016, Zaragoza, Spain, 13-16<sup>th</sup> June, 2016.



Available online at [www.sciencedirect.com](http://www.sciencedirect.com)

ScienceDirect

journal homepage: [www.elsevier.com/locate/he](http://www.elsevier.com/locate/he)

# Interleaved multi-phase and multi-switch boost converter for fuel cell applications

Ausias Garrigós\*, Fernando Sobrino-Manzanares

Industrial Electronics Group, University Miguel Hernández, 03202-Elche, Alicante, Spain

## ARTICLE INFO

### Article history:

Received 27 March 2015

Received in revised form

22 April 2015

Accepted 24 April 2015

Available online 16 May 2015

### Keywords:

Multi-phase

Multi-switch

Boost converter

Interleaving

PWM

Fuel cell

## ABSTRACT

This work describes an interleaved multi-phase, multi-switch boost converter for fuel cell applications. Different options of PWM switching patterns are detailed with special emphasis in those that pursue input current ripple minimization and part reduction. The topology studied contains  $n$  power modules (phases) with  $m$  switches per module. From the different available configurations, the multi-phase, multi-switch boost converter operating in interleaving mode, so-called multi-interleaved boost converter (MIBC), performs remarkably in terms of magnetics, input and output current ripple and part count. MIBC description, modeling and simulation are provided in this paper. Finally, a comparative trade-off analysis is performed between the interleaved multi-phase, multi-switch boost converter and the traditional interleaved boost converter for a stand-alone, battery backed-up, 1 kW fuel cell power system.

Copyright © 2015, Hydrogen Energy Publications, LLC. Published by Elsevier Ltd. All rights reserved.

## Introduction

Fuel Cells (FCs) are clean power sources which provide a compact and lightweight solution for a large number of applications. Nowadays, they are present for primary or back-up power in industrial [1–4], electrical mobility [5–10], residential [11–14] or portable electronics [15–18] among other applications.

Since FCs are non-regulated Direct Current (DC) power sources, they usually require power electronic interfaces to adapt input–output voltage levels and protect both, the source and the load. This power electronic interface normally has step-up voltage characteristic due to low DC voltage of the fuel cell [19–23].

For low-power FCs, the power electronic interface could be a single converter including two switches (e.g. boost converter). For high power levels a single converter module might be not adequate due to several reasons, e.g. limited current handling capabilities, concentration of losses, thermal management issues and problems associated to magnetic design. Therefore a different approach is required to address this problem. Parallelization of several power switches (multiple-switch approach) is traditionally employed when a single switch is not able to handle the required current. Parallelization of several power modules (multi-module or multi-phase approach) is also a typical solution to alleviate electrical stresses in all components while providing greater modularity. In both cases, power and current sharing are major

\* Corresponding author. Industrial Electronics Group, Dpt. Materials Science, Optics and Electronics Technology, Building “Torrevalillo”, 1D6., University Miguel Hernandez, Av. Universidad s/n, 03202-Elche, Spain. Tel.: +34 96 665 8892; fax: +34 96 665 8497.

E-mail address: [augarsir@umh.es](mailto:augarsir@umh.es) (A. Garrigós).

<http://dx.doi.org/10.1016/j.ijhydene.2015.04.132>

0360-3199/Copyright © 2015, Hydrogen Energy Publications, LLC. Published by Elsevier Ltd. All rights reserved.

### Nomenclature

|      |                                   |
|------|-----------------------------------|
| CCM  | continuous conduction mode        |
| DCM  | discontinuous conduction mode     |
| DC   | direct current                    |
| DDS  | distributed driving scheme        |
| EMI  | electro-magnetic interference     |
| FC   | fuel cell                         |
| IBC  | interleaved boost converter       |
| MIBC | multi-interleaved boost converter |
| PDS  | parallel driving scheme           |
| PFC  | power factor correction           |
| PWM  | pulse width modulation            |
| SDS  | sequential driving scheme         |
| VRM  | voltage regulation modules        |

issues to avoid heat dissipation problems derived from any imbalance.

On top of this, it exists another important concern for FC's converters regarding the input current ripple. As a result of the connection of cascaded DC/DC and DC/AC converters, FC's are subjected to current harmonics in high-frequency (in the kHz range) and low-frequency (in the hundred Hz range) which have an important impact on system performance degradation and reliability [24–26]. To mitigate such effects different investigations are aimed to develop converters with very low input current ripple [27–29]. In this sense, the Interleaved Boost Converter (IBC) is typical choice [30–32] because offers step-up voltage ratio, simplicity, modularity and reduced input current ripple. The selection of the number of phases is a critical aspect during IBC design since impacts directly on magnetics, power semiconductors and associated control circuitry, e.g. current sensors, driving circuits, etc.; which in turn, translates into converter size and cost. Hence, any improvement in this direction would contribute to power converter optimization for fuel cell applications.

In this context, the present paper explores the combined use of multi-phase and multi-switch approach with different Pulse Width Modulation (PWM) switching patterns to optimize the boost converter used as an FC front-end power interface.

The converter described here has been reported previously in the literature [33,34], but in this work the analysis is extended to any number of phases-switches and it quantifies the most important characteristics to assess converter performance and compare with other options.

To conclude this section, the paper is structured as follows. Introduction is given in Section [Introduction](#); multi-switch and multi-phase boost converters are described in Section [Multi-switch, multi-phase boost converters](#); modeling of the

proposed converter is covered in Section [MIBC converter analysis](#); converter simulation and comparative study with IBC converter is performed in Section [Fuel cell converter simulation: 4-IBC vs 2-2-MIBC](#), optimization of an existing FC IBC converter [35] is treated in Section [Fuel cell converter evaluation: 4-IBC vs 2-2-MIBC](#) and the conclusions summarized in Section [Conclusions](#).

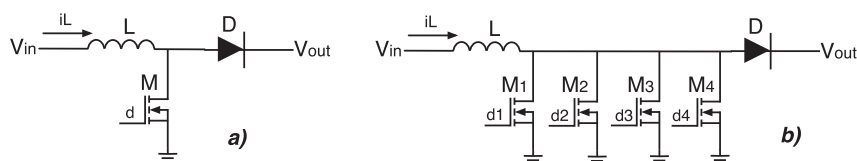
## Multi-switch, multi-phase boost converters

### Multi-switch boost converters: driving scheme options

An arrangement that comprises several paralleled power switches, please refer to [Fig. 1](#), is normally adopted if the single switch boost converter is not an adequate solution. Reasons to consider such approach are various and include insufficient power switch current handling capabilities, excessive power switch dissipation, complicate thermal management or power switch redundancy. Multi-switch boost converters could admit different driving schemes with different levels of complexity and performance.

Driving all switches simultaneously, here named Parallel Driving Scheme (PDS) please refer to [Fig. 2](#), is probably the most common technique employed because of simplicity, i.e. only one driving signal is required for all switches; but two other driving options can be considered, Sequential Driving Scheme (SDS) and Distributed Driving Scheme (DDS), please refer to [Fig. 3](#) and [Fig. 4](#) respectively. The SDS divides the equivalent ton into  $m$  time intervals which drive sequentially each power switch. The PDS is similar to the previous scheme but the equivalent toff is also divided into  $m$  intervals. Driving signals sequentially start at  $k \cdot T_s/m$ , where  $k = 1, 2, \dots, (m-1)$ .

The main features of driving schemes, divided into pros and cons, are gathered in [Table 1](#). PDS is the easiest way to drive the multi-switch boost but has some limitations concerning current sharing, especially critical for negative temperature coefficient power semiconductors like IGBTs; and to some extent it also applies for positive temperature coefficient power switches like MOSFETs [36–38]. SDS could overcome that issue since only one switch conducts at a given time, but the penalty will be higher peak and RMS currents in the power switches. DDS avoids the problem of current sharing between switches in the same way that SDS, but also modifies the inductor frequency. The latter represents a new design parameter for converter design. For instance, keeping the same switching frequency for all three driving schemes, DDS might offer some advantage in terms of inductor design and input current ripple. Conversely, if the inductor frequency is the same for all three, then switching frequency on DDS has to be reduced, which impacts on switching losses and thermal management.



**Fig. 1 – a) single-switch boost converter; b) multi-switch boost converter (paralleled switches,  $m = 4$ ).**



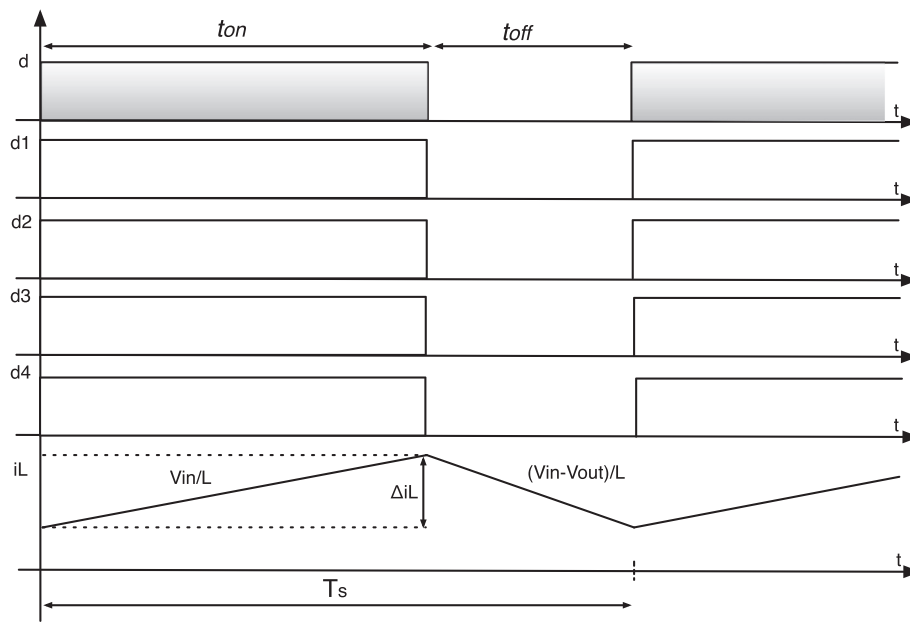


Fig. 2 – Sketch of the PDS driving waveforms and inductor current of the  $m = 4$  multi-switch boost converter.

#### Multi-module boost converters: phase shifting

Paralleling several converter modules is also another common alternative employed for current and power sharing. The advantages of module paralleling are well known and include improved dynamic response, expandability, redundancy, power losses distribution, standardization, flexibility, optimization of component utilization and easy maintenance [39]. However, paralleling modules is not exempt of problems and

creates new design challenges that include power sharing, stability issues and cost [40].

Paralleled converters could be synchronized or phase shifted; the latter is so-called interleaved converters or simply interleaving. The advantages of using an interleaved version respect the synchronized mainly come from the reduction of input and output filters due to ripple cancellation, which in turn impacts on additional aspects like dynamic response, converter stress and EMI generation. Nowadays, the use of

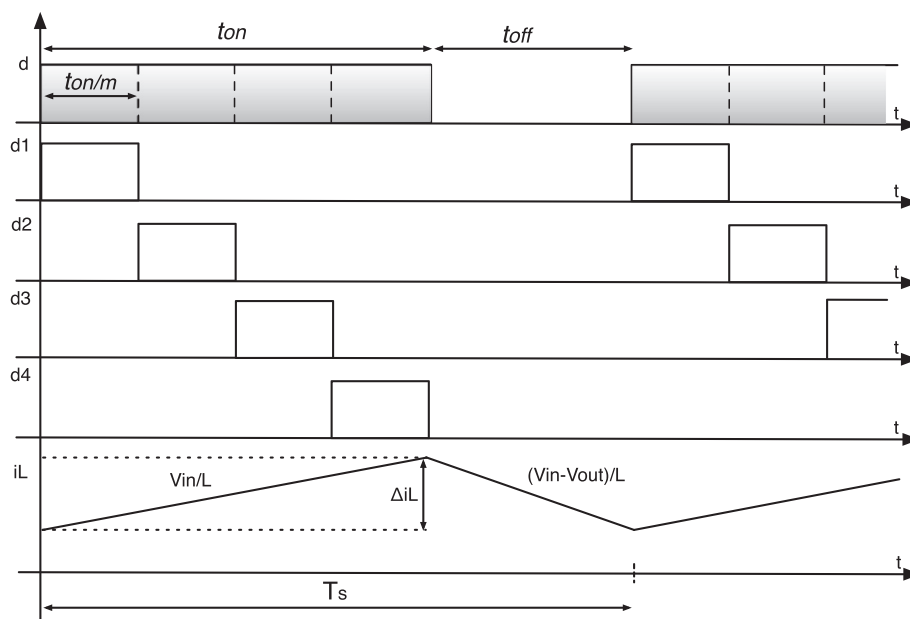


Fig. 3 – Sketch of the SDS driving waveforms and inductor current of the  $m = 4$  multi-switch boost converter.

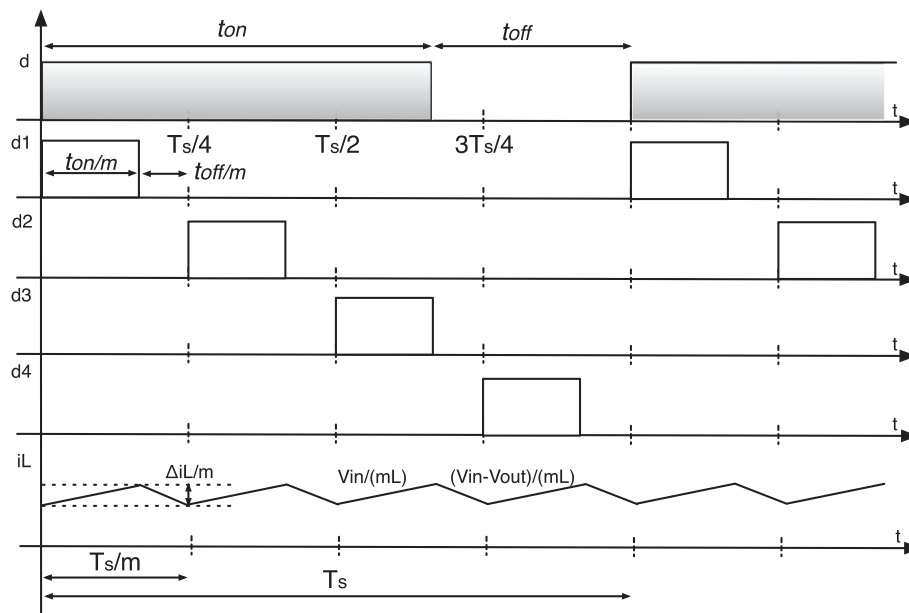


Fig. 4 – Sketch of the DDS driving waveforms and inductor current of the  $m = 4$  multi-switch boost converter.

interleaved converters is widespread, e.g. VRM, PFC and medium and high power converters.

The paralleled multi-phase boost converter, depicted in Fig. 5, is made of several distributed single-switch boost power modules. If, additionally, it operates in interleaving mode, then becomes IBC, whose PWM signals are separated in phase over a switching period in  $2 \cdot \pi/N$  radians, being  $N$  the number of power modules in parallel, refer to Fig. 6. As the input current of each module is displaced from the others, some current cancellation takes place at the input node. Besides, the frequency of this input current is  $N$  times the inductor frequency. Applied to FC converters, this is an effective way to keep low ripple FC currents while retain the other benefits of the multi-module converters.

It is obvious that the IBC could require an important number of parts. At least, each power module includes one power inductor, one power semiconductor and its driving circuit and one power diode; but additionally, especially with certain type of current control schemes, the following extra circuits are required for each module, one current sensor, its associated conditioning circuit and one current loop compensator circuit. Therefore, the number of power phases has a major impact on converter size, cost and reliability, being a critical issue the decision of the number of phases.

#### Multi-phase, multi-switch boost converters: multi-interleaved boost converter (MIBC)

The combination of multi-switch and multi-phase structures for DC/DC conversion has been reported in the literature, Taufik et al. [41] describe a multi-phase, multi-phase buck converter for VRM applications, Sobrino-Manzanares [33] proposes multi-switch, multi-phase structures for high power converters and Hegazy et al. [34] develop 2-switch, 2-phase boost converter for FC hybrid electric vehicles.

As this converter derives from multi-switch and multi-phase structures, the same driving schemes and phase synchronization are allowable, yielding multiple configurations. PDS, SDS or DDS can be considered within module in conjunction with synchronized or interleaved modes for each module, please refer to Fig. 5 (right side). This work, however, focuses with the multi-phase, multi-switch boost converter operating in DDS and interleaving because it offers good compromise between input current ripple and part count. For the sake of clarity this converter has been named Multi-Interleaved Boost Converter (MIBC).

The underlying idea of the MIBC is to create a two-dimensional interleaving structure from the switching pattern given by  $[d_{1,1}; d_{2,1}; \dots; d_{n,1}; d_{1,2}; d_{2,2}; \dots; d_{n,2}; \dots; d_{1,m}; d_{2,m}; \dots; d_{n,m}]$  separated in phase over a switching period in  $2\pi/(n \cdot m)$  radians, please refer to Fig. 6. As a result, the MIBC adds a new degree of freedom for the design process since the number of paralleled switches and the number of phases can be selected as a function of the switching frequency and inductor frequency. For instance, considering the same switching frequency for the IBC and the MIBC, the latter will exhibit an inductor frequency  $m$  times higher than the IBC. An increase of the inductor frequency represents less current ripple for the same value of inductance or less inductance required for the same current ripple requirement. Conversely, the switching frequency of the MIBC can be reduced  $m$  times the IBC switching frequency to obtain the same inductor frequency.

#### MIBC converter analysis

This section covers DC and small-signal analysis of the MIBC under CCM. It is assumed that all modules (phases) are identical with perfect current balancing between phases.

Table 1 – Main characteristics of the different driving schemes for a multi-switch boost converter.

|     | PROS  | CONS   |
|-----|---|--|
| PDS | Simple PWM signal generation. One circuit for all switches<br>Ability to operate at low duty cycles   | Poor current sharing and thermal runaway problems<br>Same inductor and switching frequencies   |
| SDS | Low current switch (if ideal current sharing)<br>No current sharing between switches<br>Individual duty cycles could be adjusted to compensate power loss mismatch between switches | Complex PWM signal generation<br>Excessive overlapping could be required to operate at low duty cycles<br>High current switch<br>Same inductor and switching frequencies |
| DDS | No current sharing between switches<br>Inductor frequency $m$ times higher than switching frequency   | Complex PWM signal generation<br>Not suitable for low duty cycle operation<br>High current switch  |

The MIBC analysis has been organized in different subsections.

#### Conversion ratio and component stresses

The input to output voltage transfer ratio is obtained easily from the volt-second balance of a single phase inductor, please refer to Fig. 7. On the other hand, average and RMS values of the inductor current and power semiconductors are directly derived from the analysis of the current waveforms.

The voltage conversion ratio results from inductor volt-second balance in steady-state conditions (1) and has the same form as the boost converter.

$$M = \frac{V_{out}}{V_{in}} = \frac{1}{1-D} \quad (1)$$

where  $D$  is the phase duty cycle, defined as the fraction of time resulting from the sum of all  $t_{on}$  of one phase (2).

$$D = m \frac{t_{on}}{T_s} \quad (2)$$

On the other hand, switch duty cycle is defined as the fraction of time that a single controlled power semiconductor is in ON state (3).

$$D_{sw} = \frac{t_{on}}{T_s} \quad (3)$$

The complement of the phase duty cycle and switch duty cycle are given by (4) and (5), respectively.

$$D' = m \frac{t_{off}}{T_s} \quad (4)$$

$$D'_{sw} = \frac{t_{off}}{T_s} \quad (5)$$

From the analysis of the slope of the inductor current, the inductor current ripple yields (6).

$$\Delta i_L = \frac{1}{m} \frac{V_{out} M' [1 - M']}{L f_s} \quad (6)$$

being  $M'$ , the inverse of the voltage conversion ratio.

Equation (6) shows an inversely proportional relationship between the number of parallel switches and the inductor current ripple. In other words, the inductor current ripple is inversely proportional to the inductor frequency which is  $m$  times higher than the switching frequency.

The average inductor current can be expressed in terms of the input current (7) and the maximum, minimum and RMS inductor current in terms of average and current ripple, (8), (9) and (10) respectively.

$$\langle i_L \rangle = \frac{\langle i_{in} \rangle}{n} \quad (7)$$

$$i_{L,max} = \langle i_L \rangle + \frac{\Delta i_L}{2} \quad (8)$$

$$i_{L,min} = \langle i_L \rangle - \frac{\Delta i_L}{2} \quad (9)$$

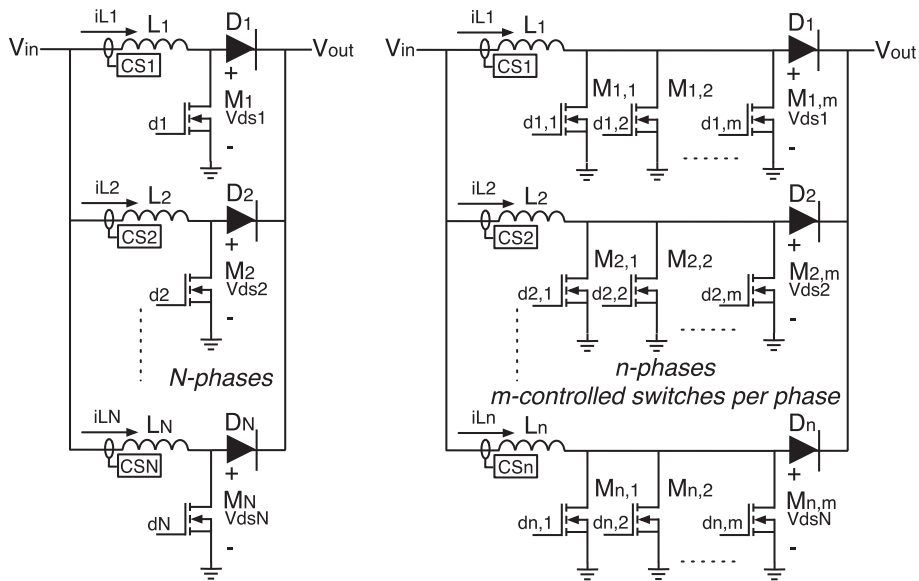


Fig. 5 – Single-switch, multi-phase boost converter (left side). Multi-phase, multi-switch boost converter (right side).

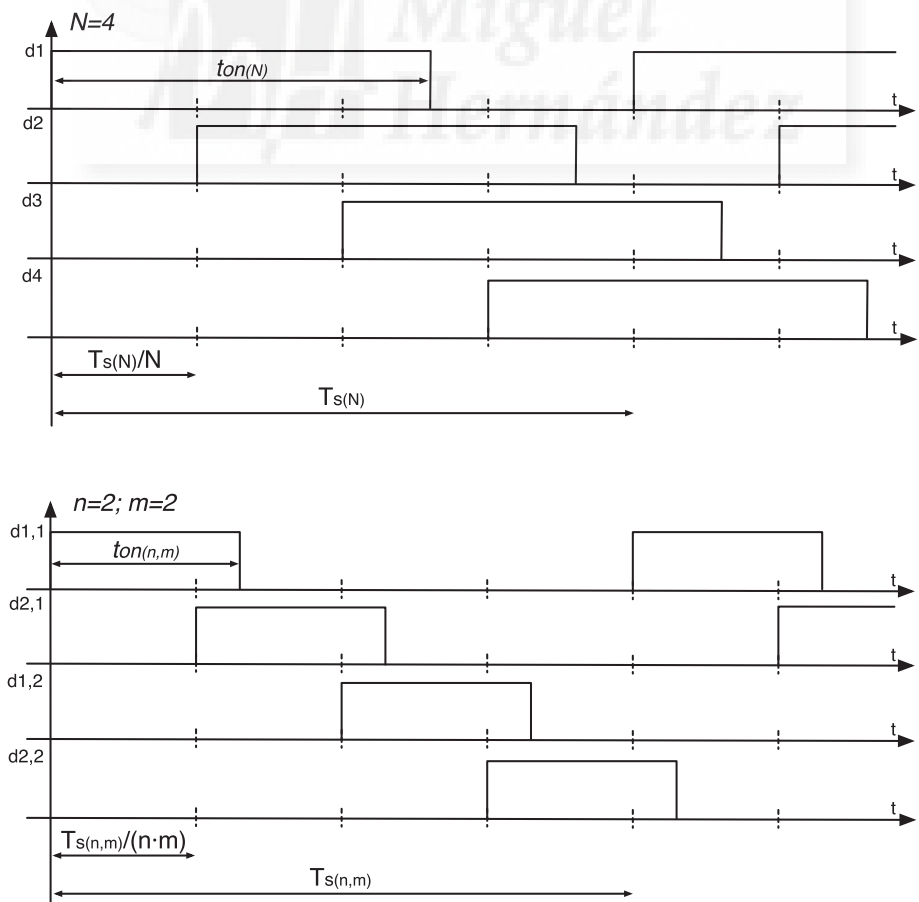


Fig. 6 – Sketch of the 4-IBC driving signals (upper side). Sketch of the 2-2-MIBC driving signals (bottom side).

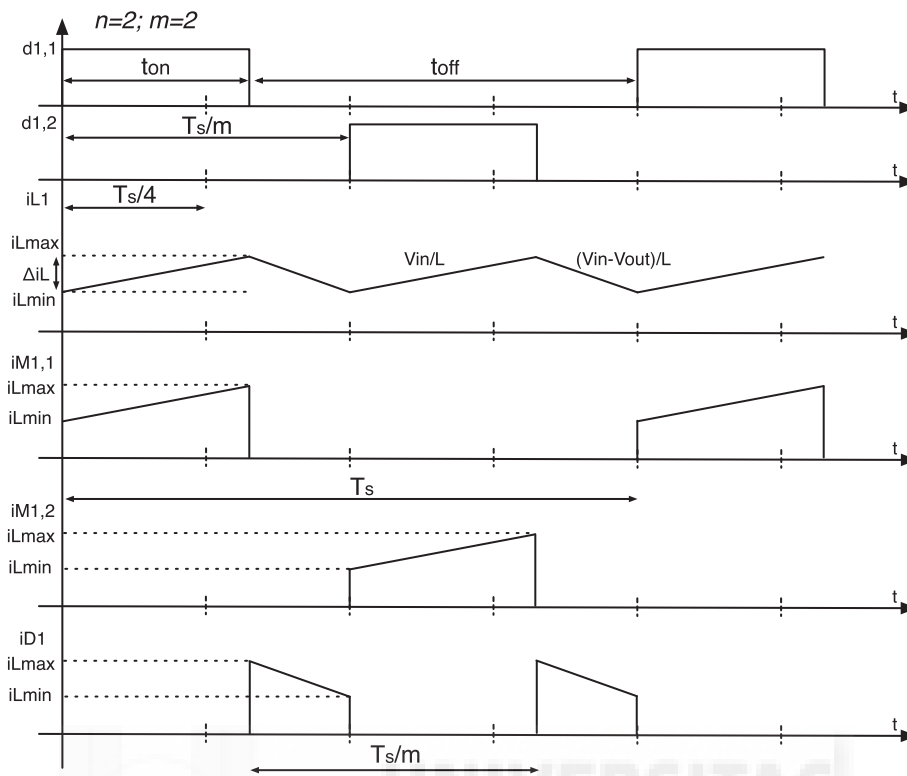


Fig. 7 – 2-2 MIBC converter: sketch of the main waveforms of one phase.

$$I_{RMS L} = \sqrt{\langle i_L \rangle^2 + \frac{\Delta i_L^2}{12}} \quad (10)$$

The average and RMS current values of the controlled power semiconductor (S) and the diode (D) are given by (11), (12), (13) and (14).

$$\langle i_S \rangle = D_{sw} \langle i_L \rangle \quad (11)$$

$$I_{RMS S} = \sqrt{D_{sw}} I_{RMS L} \quad (12)$$

$$\langle i_D \rangle = D'_{sw} \langle i_L \rangle \quad (13)$$

$$I_{RMS D} = \sqrt{D'_{sw}} I_{RMS L} \quad (14)$$

### Input current ripple

Reduction of the input current ripple and increase of the frequency are the two main results of having triangular phase-shifted current waveforms at the input node [42,43]. The input peak-to-peak current ripple for the MIBC yields (15).

$$\Delta i_{in} = \frac{n}{m} \frac{V_{out}}{L f_s} R \left[ \frac{1}{n} - R \right] \quad (15)$$

where R is the ripple cancellation index given by (16).

$$R = M' \text{mod} n^{-1} \quad (16)$$

A relevant conclusion is that the MIBC exhibits less current ripple than the IBC converter with the same number of

controlled switches and switching frequency. Besides, the number of inductors and current sensors required are also less. Fig. 8 plots the normalized input peak-to-peak current ripple versus duty cycle (up to  $D = 0.5$ ) for three MIBC configurations with four controllable power semiconductors. The same inductor value and switching frequency are considered. As it can be observed, the higher the  $n$ , the more input ripple cancellation points appear; but in terms of maximum ripple, the combination  $n = 2$  and  $m = 2$  gives the lowest input ripple.

Looking from a different point of view, if the number of phases is maintained and the number of paralleled switches

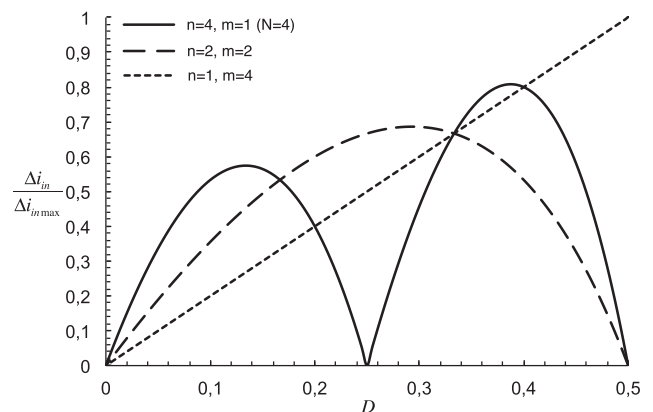
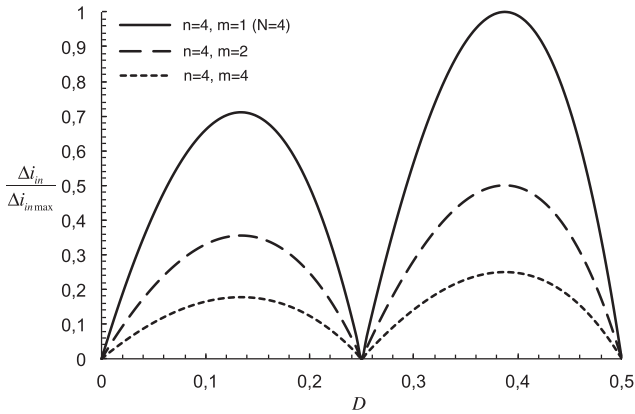
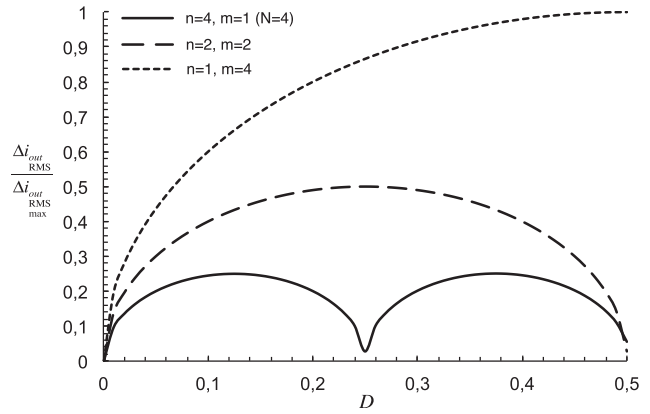


Fig. 8 – Normalized peak-to-peak input current ripple versus duty cycle for three different MIBC:  $n = 4$ ,  $m = 1$ ;  $n = 2$ ,  $m = 2$  and  $n = 1$ ,  $m = 4$ .



**Fig. 9 – Normalized peak-to-peak input current ripple versus duty cycle for three different MIBC:  $n = 4, m = 1$ ;  $n = 4, m = 2$  and  $n = 4, m = 4$ .**



**Fig. 10 – Normalized RMS output current ripple versus duty cycle for three different MIBC:  $n = 4, m = 1$ ;  $n = 2, m = 2$  and  $n = 1, m = 4$ .**

increases while keeping the same switching frequency, the input current ripple decreases because of higher inductor frequency. Fig. 9 plots the normalized input peak-to-peak current ripple versus duty cycle (up to  $D = 0.5$ ) for three MIBC configurations with the same number of phases but different number of paralleled controllable power semiconductors.

**Output current ripple**

Similarly to what happens with the input current ripple, the sum of the trapezoidal diode currents at the output node results in a less ripple waveform with increased frequency [44]. The RMS value of the output current ripple, which mainly determines the output voltage ripple through the capacitor ESR and capacitor losses, results (17).

$$\Delta i_{out\_RMS} = \langle i_{in} \rangle \sqrt{\left[ \left( D' - \frac{\text{floor}(nD')}{n} \right) \left( \frac{\text{floor}(nD') + 1}{n} - D' \right) \right] + \frac{n}{12D'} \left( \frac{V_{in}D}{mL\langle i_{in} \rangle f_s} \right)^2} \sqrt{\left[ (\text{floor}(nD') + 1)^2 \left( D' - \frac{\text{floor}(nD')}{n} \right)^3 + \text{floor}(nD')^2 \left( \frac{\text{floor}(nD') + 1}{n} - D' \right)^3 \right]} \tag{17}$$

An interesting property of equation (17) is that it is independent from the number of paralleled power semiconductors, if the first term in the square root is larger than the second one. Then, the RMS value of the output current ripple will only depend on the input current, phase duty cycle and number of phases.

Fig. 10 plots the normalized output peak-to-peak current ripple RMS value versus duty cycle (up to  $D = 0.5$ ) for three MIBC configurations with four controllable power semiconductors. An input power of 1 kW at 24 V, with the same inductor value and switching frequency are considered. As it can be observed, the RMS output ripple current decreases with the number of phases, resulting the  $n = 4, m = 1$  the best configuration of the three.

**CCM-DCM boundary**

Another interesting point related to inductor frequency, therefore, the number of paralleled power semiconductors, is the boundary condition between CCM and DCM. It is widely accepted that operation in only one conduction mode simplifies converter design in different ways, such as control loop design or EMI filtering. Increasing the number of parallel switches, but keeping rest of parameters unaltered, will reduce the inductor current ripple, hence the required input current to maintain CCM. MIBC minimum input current for CCM operation is given by (18). It can be noted minimum CCM current is proportional to the number of phases and inversely proportional to the number of paralleled switches.

$$\langle i_{in\ min} \rangle = \frac{n}{m} \frac{V_{in}D}{2Lf_s} \tag{18}$$

**Inductor stored energy**

The energy stored in the inductor determines the inductor size and becomes a key parameter for converter design. Single inductor stored energy for MIBC is given by (19) and the total stored energy, assuming ideal balancing between phases, will be  $n$  times the single inductor energy.

$$E_L = \frac{L}{2} \left[ \frac{\langle i_{in} \rangle}{n} + \frac{\Delta i_L}{2} \right]^2 \tag{19}$$

### Inductor losses

Inductor frequency and current (DC bias and ripple) are the main parameters for inductor design and they have a major impact in the overall inductor losses. Inductor losses can be divided into core and winding losses. The evaluation of core inductor losses is not an easy task from simple equations since they are affected by different phenomena. Manufacturers often offer loss density information for their magnetic materials using the Steinmetz's equation, which basically depends on magnetic flux density and frequency. Winding losses comprise DC losses and AC losses, which in turn depend on inductor current ripple, skin effect and proximity effect. Complete inductor losses evaluation yields (20).

$$P_L = A_e l_e a B^b f_L^c + R_{DC} \langle i_L \rangle^2 + R_{AC} \Delta i_L^2_{RMS} \quad (20)$$

### Output capacitor losses

Output capacitor losses (21) are driven by the RMS output ripple current and the output capacitor ESR.

$$P_{Co} = \frac{\Delta i_{Out}^2}{RMS} ESR \quad (21)$$

### Power semiconductor losses

Power semiconductor losses can be divided into conduction and switching losses. Depending on the type of controlled power semiconductor, i.e. MOSFET or IGBT, the power losses equations differ because of different loss mechanisms. In a general form, the overall MIBC power semiconductor losses are given by (22), where  $P_{cond}$  and  $P_{sw}$  are conduction and switching losses

$$P_{PS} = nm[P_{conds} + P_{sws}] + n[P_{condD} + P_{swD}] \quad (22)$$

### Small-signal circuit equations

It is widely accepted that module paralleling results in an equivalent single circuit with an equivalent inductance [45]. Applying the PWM switch model and substituting the small-signal model [46] to the MIBC, yield the following small-signal control transfer functions, duty cycle-to-output voltage (23) and duty cycle-to-inductor current (24).

$$\frac{\tilde{v}_{out}}{\tilde{d}} = K_{vo/d} \frac{(s/\omega_{z1} + 1)(1 - s/\omega_{z2})}{(s/\omega_o)^2 + s/Q\omega_o + 1} \quad (23)$$

$$K_{vo/d} = V_{in}/D^2; \quad \omega_{z1} = 1/(ESR \cdot C); \quad \omega_{z2} \approx D^2 R/L$$

$$\omega_o = D' / \sqrt{LC}; \quad Q = D'R\sqrt{C/L}$$

$$\frac{\tilde{i}_L}{\tilde{d}} = K_{iL/d} \frac{(s/\omega_{z3} + 1)}{(s/\omega_o)^2 + s/Q\omega_o + 1} \quad (24)$$

$$K_{iL/d} = 2\langle i_{in} \rangle / D'n; \quad \omega_{z3} = 2/RC$$

$$\omega_o = D' / \sqrt{LC}; \quad Q = D'R\sqrt{C/L}$$

## Fuel cell converter simulation: 4-IBC vs 2-2-MIBC

In this section, the 4-IBC and the 2-2-MIBC are simulated to compare converter performance for a Nexa Ballard PEM fuel cell. The most relevant specifications for converter simulation are listed in Table 2. Simulation circuits are depicted in Fig. 11.

Fig. 12 plots fuel cell current ripple at 0.96 kW input power with  $D = 0.39$  for the 4-IBC and  $D = 0.295$  for the 2-2-MIBC. This simulation considers the worst conditions for input current ripple in both converters. It is worth to note that the 2-2-MIBC reduces up to 15% the maximum peak-to-peak ripple with the same inductance value and switching frequency.

Next simulation is intended to observe the minimum input current necessary to maintain the CCM-DCM boundary in both configurations, please refer to Fig. 13. Both simulations are performed at  $D = 0.5$  and it can be concluded that the 4-IBC has the CCM boundary at 8 A fuel cell current whereas the 2-2-MIBC operates in CCM down to 2 A fuel cell current. In other words, 4-IBC enters in DCM below 192 W or 16% of the nominal FC power while 2-2-MIBC enters in DCM below 48 W or 4% of the nominal FC power.

Fig. 14 represents the current of both power semiconductor devices for the 4-IBC and the 2-2-MIBC at 0.96 kW and  $D = 0.5$ . Peak, RMS and average values are also indicated. Both configurations have the same average value for the controlled switch but with different peak and RMS values. 2-2-MIBC average diode current is twice the 4-IBC because employs half of the diodes required in the 4-IBC.

Fig. 15 represents the output current ripple of both configurations at 0.96 kW input power and  $D = 0.37$  for the 4-IBC and  $D = 0.25$  for the 2-2-MIBC, which are the worst conditions for output current ripple. The 4-IBC takes advantage in this sense since the 2-2-MIBC RMS output current ripple is twice the 4-IBC.

To conclude this section, the last two simulations have been performed to observe the dynamic behavior of both converters. Fig. 16 shows the output voltage, at  $D = 0.5$  and  $C_o = 100\mu F$ , of the 4-IBC and the 2-2-MIBC when an step load from 480 W to 960 W occurs at  $t = 4.1$  ms. Fig. 17 represents the output voltage and inductor current of the 4-IBC and the 2-2-MIBC for a sudden change of  $D$ , from 0.3 to 0.4 at 960 W. As expected, the transient response of the 2-2-MIBC is slower than the 4-IBC, since the dynamic behavior strongly depends on the number of phases and not on the number of paralleled switches.

## Fuel cell converter evaluation: 4-IBC vs 2-2-MIBC

In the fourth section computer simulation has been carried out to assess electrical converter evaluation. Now, an existing

**Table 2 – Main specifications for 4-IBC and 2-2-MIBC converter simulation.**

|                                   |            |
|-----------------------------------|------------|
| Fuel cell (input) power           | 1.2 kW     |
| Fuel cell (input) voltage range   | 24 V–42 V  |
| Maximum fuel cell (input) current | 50 A       |
| Output voltage                    | 48 V       |
| Inductance                        | 30 $\mu H$ |
| Switching frequency               | 100 kHz    |

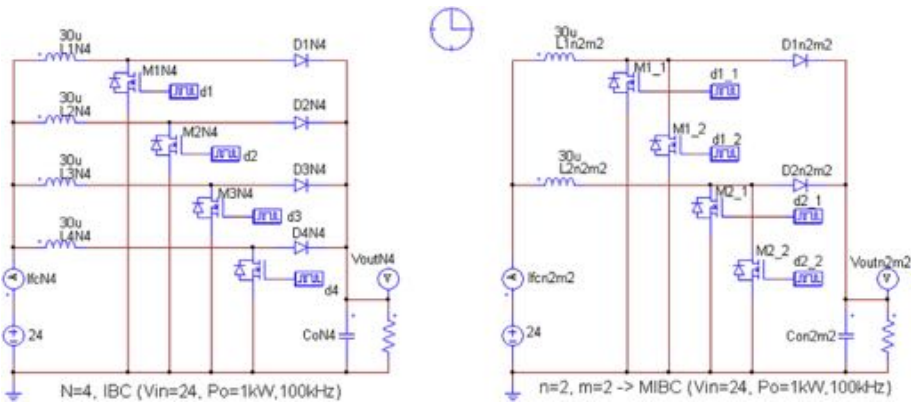


Fig. 11 – PSIM converter simulation schematics: (left side) 4-IBC and (right side) 2-2-MIBC.

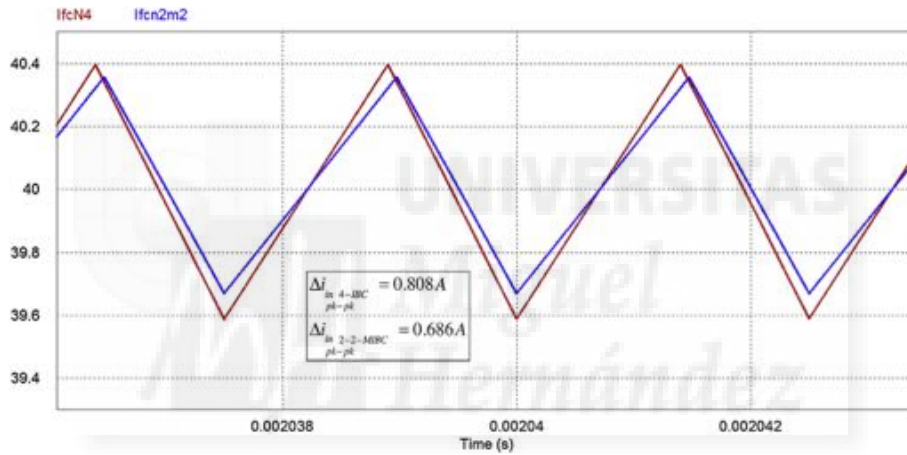


Fig. 12 – Simulated input (fuel cell) current ripple at 0.96 kW for the worst D conditions. Red trace, 4-IBC. Blue trace, 2-2-MIBC. (For interpretation of the references to colour in this figure legend, the reader is referred to the web version of this article.)

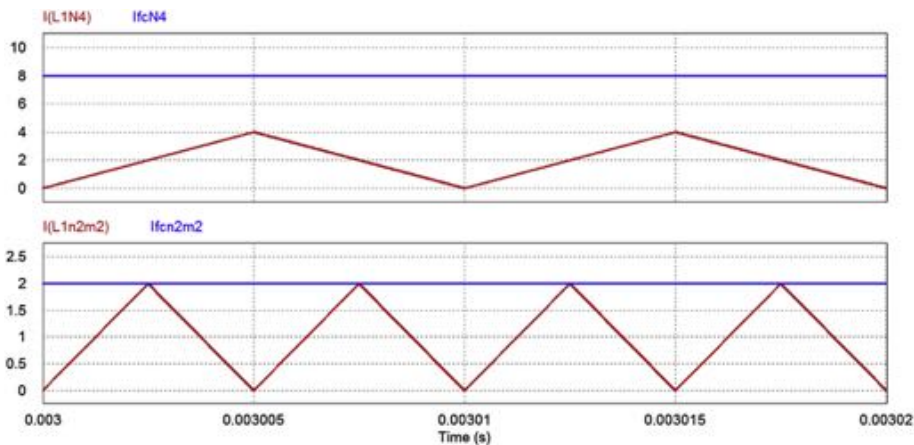


Fig. 13 – Simulated input (fuel cell) current and single inductor current at 0.96 kW,  $D = 0.5$ . Red trace, inductor current. Blue trace, input (fuel cell) current. Upper trace, 4-IBC. Bottom trace, 2-2-MIBC. (For interpretation of the references to colour in this figure legend, the reader is referred to the web version of this article.)



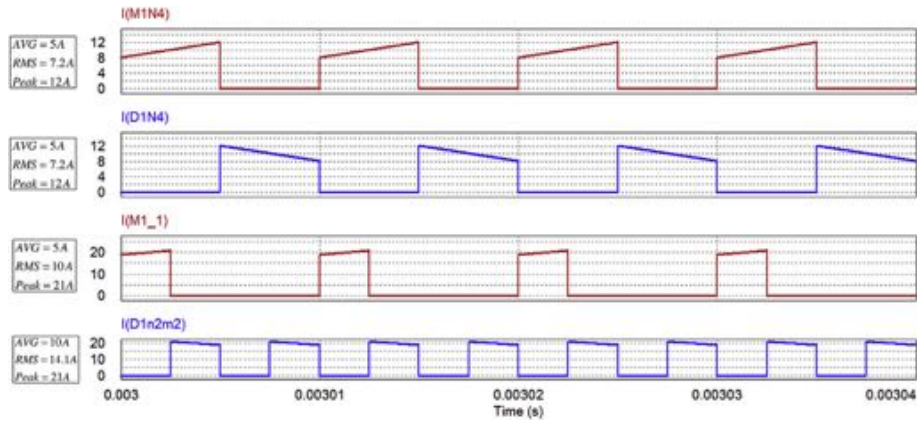


Fig. 14 – Simulated power semiconductor current at 0.96 kW,  $D = 0.5$ . From top to bottom; first trace (red) 4-IBC MOSFET current, second trace (blue) 4-IBC diode current, third trace (red) 2-2-MIBC MOSFET current, fourth trace (blue) 2-2-MIBC diode current. (For interpretation of the references to colour in this figure legend, the reader is referred to the web version of this article.)

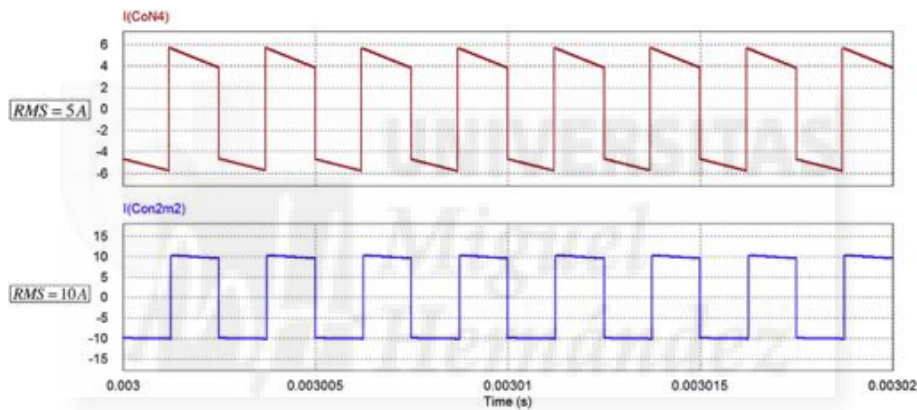


Fig. 15 – Simulated output ripple current (output capacitor current) at 0.96 kW,  $D = 0.37$  for the 4-IBC and  $D = 0.25$  for the 2-2-MIBC. Upper trace (red) 4-IBC output capacitor current, lower trace (blue) 2-2-MIBC capacitor current. (For interpretation of the references to colour in this figure legend, the reader is referred to the web version of this article.)

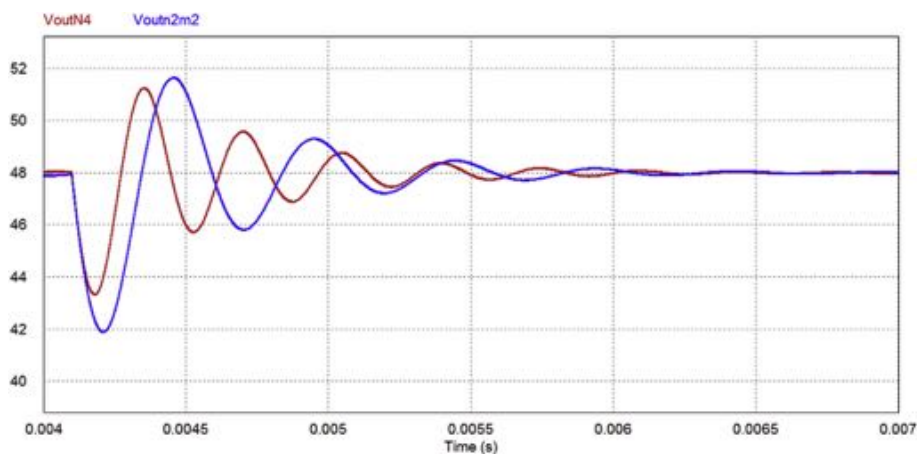
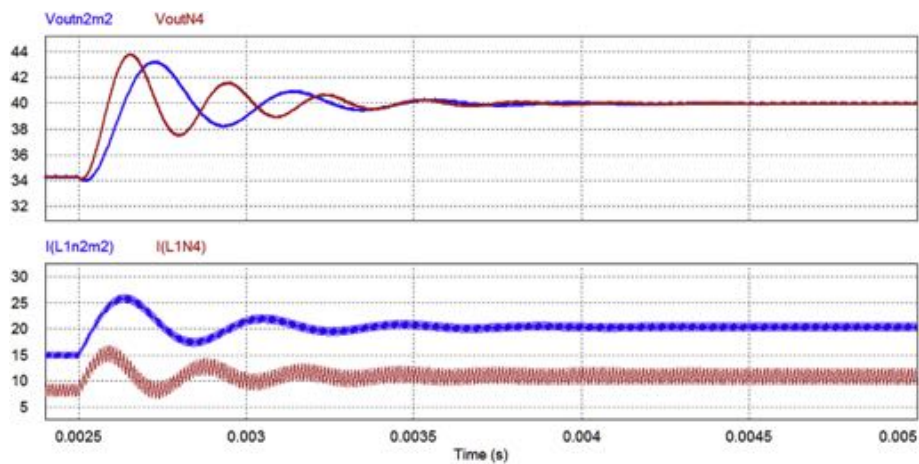


Fig. 16 – Simulated output voltage (output capacitor voltage) at 0.96 kW,  $D = 0.5$  with a step load at  $t = 4.1$  ms. Red trace 4-IBC output voltage, blue trace 2-2-MIBC output voltage. (For interpretation of the references to colour in this figure legend, the reader is referred to the web version of this article.)

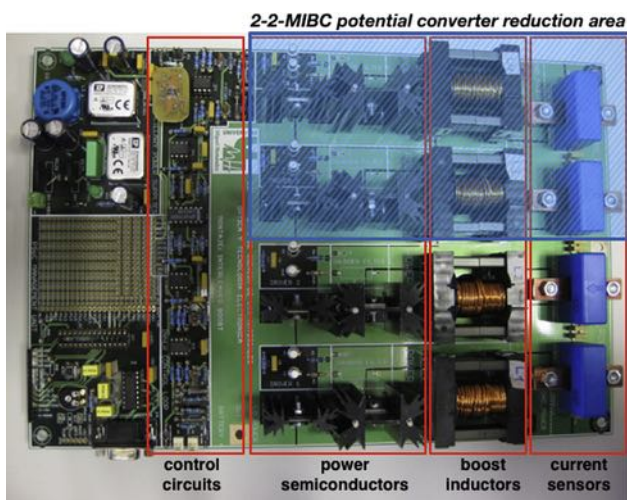


**Fig. 17** – Simulated output voltage (output capacitor voltage) and inductor current at 0.96 kW,  $D = 0.3$  to  $D = 0.4$  at  $t = 2.5$  ms. Red traces 4-IBC: output voltage (upper side), inductor current (bottom side). Blue traces 2-2-MIBC: output voltage (upper side), inductor current (bottom side). (For interpretation of the references to colour in this figure legend, the reader is referred to the web version of this article.)

4-IBC fuel cell converter [35], please refer to Fig. 18, is compared with the 2-2-MIBC in order to evaluate pros and cons of both approaches in a real converter.

A comprehensive comparison between 4-IBC and 2-2-MIBC has been performed and the most relevant aspects are summarized in Table 3. The main conclusion is the important part count reduction achieved with the 2-2-MIBC, including power diodes, power inductors, current sensors and control circuits.

An important part of this comparative study regards to inductor design and converter efficiency. The inductor evaluation has been performed considering MPP cores from Magnetics with same permeability and similar losses. The results, summarized in Table 3, show that although the number of inductors in the 2-2-MIBC is half of the inductors of the 4-IBC, results an slight increase of the inductor mass and volume with a reduction of 25% of the required PCB area for inductor placement.



**Fig. 18** – 1.2 kW 4-IBC fuel cell converter [31] and potential area reduction using the 2-2-MIBC.

Regarding the power losses, the main difference comes from MOSFET loss mechanisms. Conduction losses are proportional to MOSFET RMS current which is greater in the 2-2-MIBC; besides, higher peak MOSFET currents in the 2-2-MIBC result into greater switching losses. Similar losses in the controlled power semiconductor can be achieved using soft-switching techniques to reduce switching losses, reduction of conduction losses using MOSFET with lower  $R_{ds(on)}$  or using IGBT which their power conduction losses are basically affected by its average current.

## Conclusions

This paper presents an alternative to traditional IBC, named MIBC, that is especially suitable for fuel cell applications due to the following characteristics:

- Enhanced current capabilities at module level is achieved by sequential operation of several paralleled power switches. Since there is only one power semiconductor conducting at a given time, any current sharing problem is avoided and thermal management alleviated by proper selection of parallel switches.
- Inductor current frequency and output current frequency are decoupled from switching frequency using the DDS scheme. Thus, the number of paralleled power switches becomes relevant for inductor and output capacitor design. Inductor current ripple, DC current and losses can be adjusted taking into account the switching frequency and the number of paralleled power switches.
- Interleaved operation of power modules also provides input and output current ripple reduction which is especially important for FC efficiency and reliability issues.

Derivation of the most important MIBC steady-state equations are included as well as the dynamic model

**Table 3 – 12 kW fuel cell converter comparison: 4-IBC vs 2-2-MIBC.**

|  | 4-IBC  | 2-2-MIBC | (2-2-MIBC/4-IBC) |
|--|--------|----------|------------------|
| Part count   |        |          |                  |
| Power MOSFET's   | 4      | 4        | 1                |
| MOSFET's drivers & PWM generators  | 4      | 4        | 1                |
| Power diodes   | 4      | 2        | 0.5              |
| Boost inductors  | 4      | 2        | 0.5              |
| Current sensors  | 4      | 2        | 0.5              |
| Current error amplifiers   | 4      | 2        | 0.5              |
| Voltage error amplifiers   | 1      | 1        | 1                |
| Power inductor evaluation (MPP Magnetics® cores)<br>*Refers to the sum of all magnetic parts |        |          |                  |
| Inductor core reference  | 55,548 | 55,254   |                  |
| Total inductor mass* (g)   | 254    | 265      | 1.04             |
| Total inductor area* (cm <sup>2</sup> )  | 56     | 42       | 0.75             |
| Total inductor volume* (cm <sup>3</sup> )  | 85.6   | 87.2     | 1.02             |
| Total inductor losses* (W)   | 13.2   | 13.4     | 1.01             |
| Estimated converter losses (at 0.96 kW and D = 0.5)  |        |          |                  |
| Total MOSFET losses (W)  | 7.5    | 15       | 2                |
| Total power diode losses   | 11     | 11       | 1                |
| Converter efficiency   | 0.96   | 0.95     | 0.99             |

required for control issues. Simulation of the 2-2-MIBC has also been performed and compared with the 4-IBC converter. Finally, a 4-IBC fuel cell converter, developed by the authors in a previous work, has been compared with the 2-2-MIBC to assess potential benefits of this approach. The main results are that MIBC procures a significant reduction in parts count, size and eventually converter cost without penalizing performance.

#### REFERENCES

- [1] Specchia S. Fuel processing activities at European level: a panoramic overview. *Int J Hydrogen Energy* October 2014;39(31):17953–68.
- [2] Verhage AJL, Coolegem JF, Mulder MJJ, Yildirim MH. 30.000 h operation of a 70 kW stationary PEM fuel cell system using hydrogen from a chlorine factory. *Int J Hydrogen Energy* April 2013;38(11):4714–24.
- [3] Gariglio M, De Benedictis F, Santarelli M, Cali M, Orsello G. Experimental activity on two tubular solid oxide fuel cell cogeneration plants in a real industrial environment. *Int J Hydrogen Energy* May 2009;34(10):4661–8.
- [4] Gahleitner G. Hydrogen from renewable electricity: an international review of power-to-gas pilot plants for stationary applications. *Int J Hydrogen Energy* February 2013;38(5):2039–61.
- [5] Li X, Li J, Xu L, Yang F, Hua J, Ouyang M. "Performance analysis of proton-exchange membrane fuel cell stacks used in Beijing urban-route buses trial project". *Int J Hydrogen Energy* April 2010;35(8):3841–7.
- [6] Shih NC, Weng BJ, Lee JY, Hsiao YC. Development of a 20 kW generic hybrid fuel cell power system for small ships and underwater vehicles. *Int J Hydrogen Energy* August 2014;39(25):13894–901.
- [7] Shih NC, Lin CL, Chang CC, Wang DY. Experimental tests of an air-cooling hydrogen fuel cell hybrid electric scooter. *Int J Hydrogen Energy* August 2013;38(25):11144–8.
- [8] Romeo G, Borello F, Correa G, Cestino E. ENFICA-FC: design of transport aircraft powered by fuel cell & flight test of zero emission 2-seater powered by fuel cells fueled by hydrogen. *Int J Hydrogen Energy* January 2013;38(1):469–79.
- [9] Zubaryeva A, Thiel C. Analyzing potential lead markets for hydrogen fuel cell vehicles in Europe: experts views and spatial perspective. *Int J Hydrogen Energy* December 2013;38(36):15878–86.
- [10] Hardman S, Steinberger-Wilckens R, van der Horst D. Disruptive innovations: the case for hydrogen fuel cells and battery electric vehicles. *Int J Hydrogen Energy* November 2013;38(35):15438–51.
- [11] Agnolucci P. Prospects of fuel cell auxiliary power units in the civil markets. *Int J Hydrogen Energy* December 2007;32(17):4306–18.
- [12] Dodds PE, Stafell I, Hawkes AD, Li F, Grünewald P, McDowall W, et al. Hydrogen and fuel cell technologies for heating: a review. *Int J Hydrogen Energy* February 2015;40(5):2065–83.
- [13] Briguglio N, Ferraro M, Brunaccini G, Antonucci V. Evaluation of a low temperature fuel cell system for residential CHP. *Int J Hydrogen Energy* July 2011;36(13):8023–9.
- [14] Aki H, Yamamoto S, Kondoh J, Maeda T, Yamaguchi H, Murata A, et al. Fuel cells and energy networks of electricity, heat, and hydrogen in residential areas. *Int J Hydrogen Energy* July 2006;31(8):967–80.
- [15] Rashidi R, Dincer I, Naterer GF, Berg P. Performance evaluation of direct methanol fuel cells for portable applications. *J Power Sources* February 2009;187(2):509–16.
- [16] Kim Y, Shin D, Seo J, Chang N, Cho H, Kim Y, et al. System integration of a portable direct methanol fuel cell and a battery hybrid. *Int J Hydrogen Energy* June 2010;35(11):5621–37.
- [17] Chang HS, Chou CL, Chen YS, Hou TI, Weng BJ. The design and cost analysis of a portable PEMFC UPS system. *Int J Hydrogen Energy* March 2007;32(3):316–22.
- [18] Kundu A, Jang JH, Lee HR, Kim SH, Gil JH, Jung CR, et al. MEMS-based micro-fuel processor for application in a cell phone. *J Power Sources* November 2006;162(1):572–8.
- [19] Rathore AK. Interleaved soft-switched active-clamped L-L type current-fed half-bridge DC-DC converter for fuel cell applications. *Int J Hydrogen Energy* December 2009;34(24):9802–15.
- [20] Saha SS. Efficient soft-switched boost converter for fuel cell applications. *Int J Hydrogen Energy* January 2011;36(2):1710–9.
- [21] Mohr M, Franke WT, Wittig B, Fuchs FW. Converter systems for fuel cells in the medium power range - a comparative study. *IEEE Trans Industrial Electron* June 2010;57(6):2024–32.

- [22] Thounthong P, Davat B, Raël S, Sethakul P. Fuel cell high-power applications. *IEEE Ind Electron Mag* March 2009;3(1):32–46.
- [23] Marx N, Boulon L, Gustin F, Hissel D, Agbossou K. A review of multi-stack and modular fuel cell systems: Interests, application areas and on-going research activities. *Int J Hydrogen Energy* August 2014;39(23):12101–11.
- [24] Ferrero R, Marracci M, Prioli M, Tellini B. Simplified model for evaluating ripple effects on commercial PEM fuel cell. *Int J Hydrogen Energy* September 2012;37(18):13462–9.
- [25] Fontes G, Turpin C, Astier S, Meynard TA. Interactions between fuel cells and power converters: influence of current harmonics on a fuel cell stack. *IEEE Trans Power Electron* March 2007;22(2):670–8.
- [26] Guilbert D, Gaillard A, Mohammadi A, N'Diaye A, Djerdir A. Investigation of the interactions between proton exchange membrane fuel cell and interleaved DC/DC boost converter in case of power switch faults. *Int J Hydrogen Energy* January 2015;40(1):519–37.
- [27] Shireen W, Nene HR. Input ripple current compensation using DSP control in reliable fuel cell power systems. *Int J Hydrogen Energy* May 2012;37(9):7807–13.
- [28] Kwon JM, Kim EH, Kwon BH, Nam KH. High-efficiency fuel cell power conditioning system with input current ripple reduction. *IEEE Trans Industrial Electron* March 2009;56(3):826–34.
- [29] Mazumder SK, Burra RK, Acharya K. A ripple-mitigating and energy-efficient fuel cell power-conditioning system. *IEEE Trans Power Electron* July 2007;22(4):1437–52.
- [30] Hwang JC, Chen LH, Yeh SN. Comprehensive analysis and design of multi-leg fuel cell boost converter. *Appl Energy* December 2007;84(12):1274–88.
- [31] Thounthong P, Davat B. Study of a multiphase interleaved step-up converter for fuel cell high power applications. *Energy Convers Manag* April 2010;51(4):826–32.
- [32] Choi J, Cha H, Han BM. A three-phase interleaved DC-DC converter with active clamp for fuel cells. *IEEE Trans Power Electron* August 2010;25(8):2115–23.
- [33] Sobrino-Manzanares F. Conversión DC/DC multifase para vehículo eléctrico [in Spanish], Master thesis. University Miguel Hernandez; September 2011.
- [34] Hegazy O, Van Mierlo J, Lataire P. Analysis, modeling and implementation of a multidevice interleaved DC/DC converter for fuel cell hybrid vehicles. *IEEE Trans Power Electron* November 2012;27(11):4445–58.
- [35] Garrigós A, Blanes JM, Lizán J. Non-isolated multiphase boost converter for a fuel cell with battery backup power system. *Int J Hydrogen Energy* May 2011;36(10):6259–68.
- [36] Wang H, Wang F. Power MOSFETs paralleling operation for high power high density converters. In: *Proceedings of the 41st Annual Meeting on IEEE Industry applications Conference*; 2006. p. 2284–9.
- [37] Abdi B, Ranjbar AH, Gharehpetian GB, Milimonfared J. Reliability considerations for parallel performance of semiconductor switches in high-power switching power supplies. *IEEE Trans Industrial Electron* June 2009;56(6):2133–4458.
- [38] Consoli A, Gennaro F, Testa A, Consentino G, Frisina F, Letor R, et al. Thermal instability of low voltage power MOSFET's. *IEEE Trans Power Electron* May 2000;15(3):575–81.
- [39] Klimczak P, Munk-Nielsen S. Comparative study on paralleled vs. scaled DC-DC converters in high voltage gain applications. In: *Proceedings of the 13th power electronics and motion control conference EPE-PEMC*; 2008. p. 108–13.
- [40] Choi B. Comparative study on paralleling schemes of converter modules for distributed power applications. *IEEE Trans Industrial Electron* April 1998;45(2):194–9.
- [41] Taufik T, Prasetyo R, Dolan D, Garinto D. A new multiphase multi-interleaving buck converter with bypass LC. In: *Proceedings of the 36th annual conference on IEEE industrial electronics society*; 2010. p. 291–5.
- [42] Chang C, Knights MA. Interleaving technique in distributed power conversion systems. *IEEE Trans Circuits Systems-I Fundam Theory Appl* May 1995;42(5):245–51.
- [43] Kasper M, Bortis D, Kolar JW. Scaling and balancing of multi-cell converters. In: *Proceedings of the International power electronics Conference IPEC-ECCE Asia*; 2014. p. 2079–86.
- [44] Texas instruments “TPS40090 multi-phase buck converter steps-down from 12V to 1.5V at 100A”, SLUU175A. 2003.
- [45] Zhang J, Lai JS, Yu W. Bidirectional DC-DC converter modeling and unified controller with digital implementation. In: *Proceedings of the 23rd annual IEEE Applied power electronics conference and exposition*; 2008. p. 1747–53.
- [46] Vorperian V. Simplified analysis of PWM converters using model of PWM switch. Continuous conduction mode. *IEEE Trans Aerosp Electron Syst* May 1990;26(3):490–6.

# INTERLEAVED, MULTI-SWITCH, MULTI-PHASE BOOST CONVERTER FOR BATTERY DISCHARGE REGULATORS

Fernando Sobrino-Manzanares, Ausias Garrigós

Industrial Electronics Group, UMH, Avda. De la Universidad s/n (Spain), Email: [augarsir@umh.es](mailto:augarsir@umh.es)

## ABSTRACT

Non-isolated step-up voltage converters are commonly required as Battery Discharge Regulators (BDR's). The Weinberg and boost derived topologies are traditionally employed in modules up to one or two kilowatts. The Interleaved Boost Converter (IBC) is a distributed power processing approach that provides some advantages: reduced power processing (current) per phase, distributed losses (power semiconductors and magnetics), input and output current ripple cancellation, improved dynamic response and better modularity, among others. The IBC converter as BDR has been previously treated and advantages and drawbacks discussed. In this paper a new approach is proposed, a multi-switch, multi-phase interleaved boost converter (named Multi Interleaved Boost Converter, MIBC) that provides inductor and switching frequency decoupling, which in turn affects in different aspects, such as, magnetics, input and output current ripples or part count. This paper presents and describes the MIBC, the potential benefits compared to the IBC and its application as BDR.

## 1. INTRODUCTION

This paper is meant to be a general description of a PWM interleaved method for DC/DC converters. This modulation scheme is aimed to increase converter power density by combining number of modules (phases) in parallel and number of switches per module, please refer to figure 1.

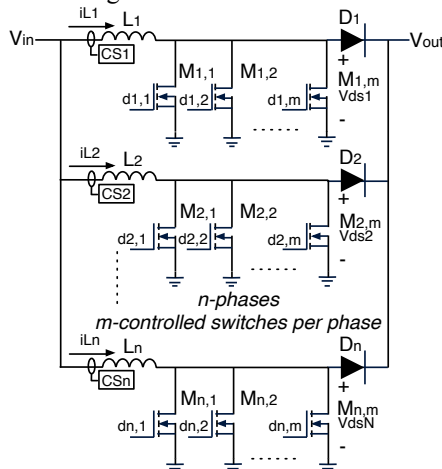


Figure 1. Multi Interleaved Boost Converter

## 2. MIBC DESCRIPTION

The MIBC has been devised using several multi-switch boost modules, which are out in phase [1]. Traditional multi-switch approach considers the same driving signal for all switches in order to divide the current into several power semiconductors being the reasons for that insufficient current handling capability, excessive power dissipation, complex thermal management or switch redundancy. In the MIBC, the driving signal of each power switch keeps the same switching frequency but the on time is reduced by a factor  $m$  and they are displaced each other in phase over  $2\pi/m$  radians. This driving scheme decouples switching frequency and inductor frequency, which actually increases by a factor  $m$ . Also the common point, mosfet drain, has an effective switching frequency  $m$  times higher than switching frequency. Another interesting feature is that only one switch conducts at a given time, so average current sharing could be adjusted by increasing the number of switches and decreasing the on time.

On the other hand, phase shifted paralleled modules, so-called interleaved converters, also offer reduction of input and output current ripple, improved dynamic response or power losses distribution, among other advantages. For the MIBC, modules will be displaced  $2\pi/(nm)$  radians.

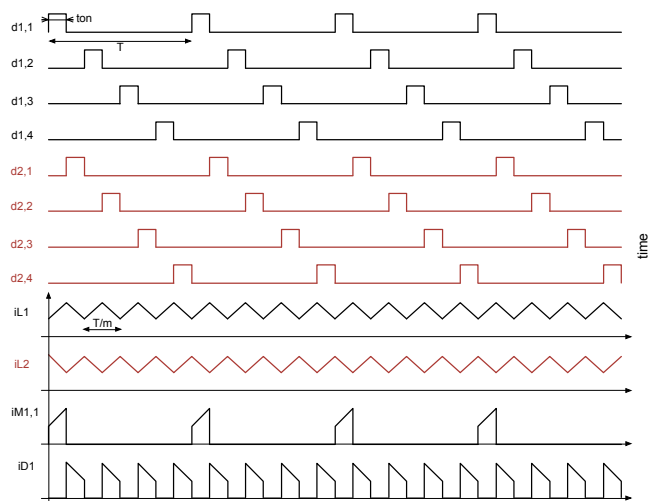


Figure 2. Sketch of the main waveforms of a 2-4-MIBC (2 phase, 4 switches per phase)

## 2.1 DC equations

The MIBC DC analysis has been performed for the general (n x m) configuration. Main equations are listed in table 1.

| Descrip.                         | Equation   | nb |
|----------------------------------|--|----|
| Duty cycle                       | $D = \frac{t_{on}}{T}$   | 1  |
| Voltage conversion ratio         | $M = \frac{V_o}{V_{in}} = \frac{1}{1-mD}$  | 2  |
| Inverse voltage conversion ratio | $M' = 1/M$   | 3  |
| Inductor current ripple (pk-pk)  | $\Delta i_L = \frac{1}{m} \frac{V_o M' (1-M')}{Lf}$  | 4  |
| Average inductor current         | $\langle i_L \rangle = \langle i_m \rangle / n$  | 5  |
| Max. inductor current            | $i_{Lmax} = \langle i_L \rangle + (\Delta i_L / 2)$  | 6  |
| Min. inductor current            | $i_{Lmin} = \langle i_L \rangle - (\Delta i_L / 2)$  | 7  |
| RMS inductor current             | $I_{RMS L} = \sqrt{\langle i_L \rangle^2 + (\Delta i_L^2 / 12)}$   | 8  |
| Inductor frequency               | $f_L = mf$   | 9  |
| Minimum input current for CCM    | $\langle i_{inmin} \rangle = n \frac{V_{in} D}{2Lf}$   | 10 |
| MOSFET average current           | $\langle i_M \rangle = D \langle i_L \rangle$  | 11 |
| MOSFET RMS current               | $I_{RMS M} = \sqrt{D} I_{RMS L}$   | 12 |
| Diode average current            | $\langle i_D \rangle = (1-mD) \langle i_L \rangle$   | 13 |
| Diode RMS current                | $I_{RMS D} = \sqrt{1-mD} I_{RMS L}$  | 14 |
| Ripple cancellation index        | $R = M' \bmod n^{-1}$  | 15 |
| Input current ripple (pk-pk)     | $\Delta i_{in} = \frac{n}{m} \frac{V_o}{Lf} R \left[ \frac{1}{n} - R \right]$  | 16 |
| Input (output) frequency         | $f_{in(out)} = nmf$  | 17 |
| Output RMS current               | $I_{RMS} = \langle i_m \rangle \sqrt{\left[ \left( D'_e - \frac{X}{n} \right) \left( \frac{X+1}{n} - D'_e \right) + \frac{n}{12D'_e} \left( \frac{V_o D}{L \langle i_m \rangle f} \right)^2 \right]}$<br>$\left[ (X+1)^2 \left( D'_e - \frac{X}{n} \right)^3 + X^2 \left( \frac{X+1}{n} - D'_e \right)^3 \right]$<br>$D'_e = 1-mD ; X = \text{floor}(nD'_e)$ | 18 |

Table 1. DC equations of the general (n x m) MIBC converter

## 2.2 Small-signal transfer functions

Neglecting all parasitic elements, the small-signal transfer functions of the general (n x m) MIBC converter have also been obtained and listed in table 2.

| Descrip.                           | Equation   | nb |
|------------------------------------|--|----|
| duty cycle-to-output voltage       | $G_{vd} = \frac{\tilde{v}_o}{\tilde{d}} = K_{void} \frac{(1-s/\omega_z)}{(s/\omega_o)^2 + s/Q\omega_o + 1}$<br>$K_{void} = mV_{in}/D_e'^2; \omega_z = nD'_e R/L;$<br>$\omega_o = D'_e / \sqrt{(L/n)C}; Q = D'_e R \sqrt{(nC)/L}$ | 19 |
| Duty cycle-to-inductor current     | $G_{id} = \frac{\tilde{i}_L}{\tilde{d}} = K_{iLd} \frac{(s/\omega_{z1} + 1)}{(s/\omega_o)^2 + s/Q\omega_o + 1}$<br>$K_{iLd} = 2m \langle i_m \rangle / nD'_e; \omega_{z1} = 2/RC$  | 20 |
| Inductor current-to-output voltage | $G_{vi} = \frac{\tilde{v}_o}{\tilde{i}_L} = \frac{\tilde{v}_o}{\tilde{d}} \left( \frac{\tilde{d}}{\tilde{i}_L} \right)^{-1} = \frac{K_{void}}{K_{iLd}} \frac{(1-s/\omega_z)}{(s/\omega_{z1} + 1)}$                               | 21 |

Table 2. Small-signal equations of the general (n x m) MIBC converter

## 3. COMPARATIVE STUDY: 8-IBC vs 4-2-MIBC vs 2-4-MIBC

In order to evaluate and compare the MIBC and the IBC converters used as BDRs, a theoretical study has been carried out using [2] as the baseline specifications, please refer to table 3.

| Comparative study: BDR main parameters |                  |
|--|------------------|
| Po                                     | 1.6kW            |
| Vin min                                | 56V (mD)max=0.44 |
| Vin max                                | 94V (mD)min=0.06 |
| Vo                                     | 100V             |
| L                                      | 50uH             |
| Co                                     | 88uF             |
| fs                                     | 125kHz           |

Table 3. BDR power module specifications for converter comparison

The study assumes the following, three configurations are evaluated: a) n=8, m=1; b) n=4, m=2; c) n=2, m=4. All have the same number of MOSFETs and consider the same parameters, listed in table 3.

### 3.1 Input & output current ripple

Substituting values in the equations (16) and (17) result in the input and output current ripples represented in figures 3 and 4.

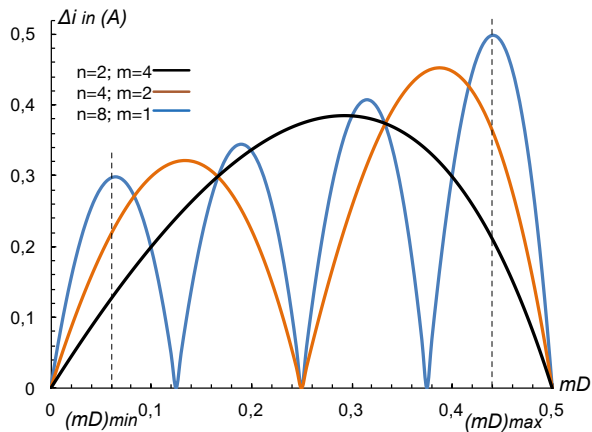


Figure 3. Input current ripple

As observed from figure 3, the 2-4-MIBC configuration exhibits the lowest input current ripple of all three. For certain  $mD$ , 4-2-MIBC and 8-IBC configurations have less input ripple, but at the extreme values of the duty cycle 2-4-MIBC performs better.

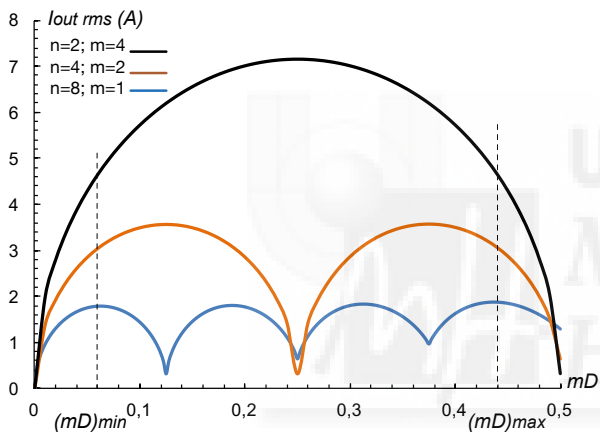


Figure 4. RMS output current (@ $V_{in}=56V$ ,  $P_o=1.6kW$ )

From the point of view of the output current, the 2-4-MIBC has the highest RMS value in the whole range, which is a key parameter for output capacitor losses and voltage ripple. Thus, low ESR capacitors are mandatory to not impair MIBC performance.

### 3.2 Inductor design

Inductor design, using Magnetics toroid MPP cores, has been considered to evaluate size and volume reduction using MIBC. The inductor design considers  $D_{max}$  and  $P_o$  max, the same inductance value and switching frequency for all three configurations. The design procedure has been tuned to achieve similar inductor losses (global losses considering the sum of all inductors) and temperature increment. The most representative inductor parameters have been gathered in table 4.

| Comparative study: inductor design |                       |                      |                      |
|------------------------------------|-----------------------|----------------------|----------------------|
|                                    | n=2; m=4              | n=4; m=2             | n=8; m=1             |
| Nb of ind.                         | 2                     | 4                    | 8                    |
| $I_{avg}$                          | 14.2850 A             | 7.1425 A             | 3.5713 A             |
| $\Delta i$                         | 0.986 A               | 1.97 A               | 3.94 A               |
| $f$                                | 500 kHz               | 250 kHz              | 125 kHz              |
| Core ref.                          | 55254                 | 55929                | 55351                |
| Turns                              | 22                    | 21                   | 34                   |
| $L^a$                              | 0.051 mH              | 0.051 mH             | 0.051 mH             |
| $P_{loss}^b$                       | 8.15 W                | 4.31 W               | 2.83W                |
| $\Delta T$                         | 60.6°C                | 62.1°C               | 56.2°C               |
| AWG                                | 12                    | 15                   | 18                   |
| Win. fact.                         | 18.3%                 | 24.8%                | 21.5%                |
| DC res.                            | 6.51 m $\Omega$       | 9.58 m $\Omega$      | 24.51 m $\Omega$     |
| Finish.OD <sup>c</sup>             | 45.5 mm               | 31.1 mm              | 26.8 mm              |
| Finish.HT <sup>d</sup>             | 20.1 mm               | 15.4 mm              | 12.1 mm              |
| Area <sup>e</sup>                  | 20.70 cm <sup>2</sup> | 9.67 cm <sup>2</sup> | 7.18 cm <sup>2</sup> |
| Mass                               | 128.8 g               | 50.5 g               | 27.6 g               |
| Total loss.                        | 16.3 W                | 17.24 W              | 22.64W               |
| Total area                         | 41.4 cm <sup>2</sup>  | 38.7 cm <sup>2</sup> | 57.4 cm <sup>2</sup> |
| Total mass                         | 257.6 g               | 202 g                | 220.8 g              |

a)  $L$  at full load; b)  $P_{loss}$  per inductor; c) Finished Output Diameter; d) Finished Height; e) Area as  $OD^2$

Table 4. Inductor comparison

From table 4, 4-2-MIBC exhibits the best outputs in terms of total area and mass, 2-4-MIBC has the lowest losses and 8-IBC gives the poorest results in terms of losses and required size, bringing to light that MIBC offers less input ripple, less losses and less area and mass if compared to the traditional IBC.

### 3.3 CCM/DCM boundary

Another interesting feature concerns to CCM and DCM limits when MIBC is considered. As the number of phases and inductor frequency changes, the minimum inductor current also varies. Since boost transfer functions depend on conduction mode, the wider the range in a particular mode, the better from the control point of view. Analysing the three configurations, please refer to table 5, one realises that 2-4-MIBC requires the lowest output power to remain in CCM.

| Comparative study: CCM/DCM boundary |          |          |          |
|-------------------------------------|----------|----------|----------|
|                                     | n=2; m=4 | n=4; m=2 | n=8; m=1 |
| $I_{in}$ min avg CCM                | 0.986A   | 3.94 A   | 15.8 A   |
| $P_{in}$ min CCM                    | 55 W     | 221 W    | 883 W    |

Table 5. CCM/DCM limit comparison

Table 5 reveals that 8-IBC requires more than 880W to work in CCM. In other words, 8-IBC will work in both, DCM and CCM, in real conditions. On the contrary, 2-4-MIBC only requires 55.2W to work in CCM; thus, problems related to DCM operation, like parasitic ringing or control loop design are virtually eliminated.

### 3.4 Power semiconductor stress and impact on losses

An important concern regards to part electrical rating, subsequent part selection and converter losses. One of the most significant differences between the three configurations relates to conduction time and maximum current per switch. Regarding the power mosfet, reduction of both, phases and conduction time per mosfet, implies identical average current value, similar RMS value but higher peak current. Two important considerations arise from this fact, higher peak current capacity will be required and switching losses could increment substantially. Since all configurations will exhibit similar conduction losses, soft-switching techniques can be explored to keep similar performance. Regarding power diodes, one diode per phase is only required, but working at higher current level and  $m$  times switching frequency. Parallel diodes could be also considered to split power losses.

| Comparative study: electrical rating<br>( $V_{in}=56V$ , $V_o=100V$ , $P_{in}=1600W$ ) |               |               |               |
|--|---------------|---------------|---------------|
|  | $n=2$ ; $m=4$ | $n=4$ ; $m=2$ | $n=8$ ; $m=1$ |
| Conduction time  | 0.88us        | 1.76us        | 3.52us        |
| MOS avg current  | 1.57A         | 1.57A         | 1.57A         |
| MOS RMS current  | 4.74A         | 3.35A         | 2.34A         |
| MOS max. current   | 14.78A        | 8.13A         | 5.54A         |
| $D \cdot (I_{rms\ mosfet})^2$  | $2.47A^2$     | $2.47A^2$     | $2.49A^2$     |
| DIODE avg current  | 8A            | 4A            | 2A            |

Table 6. MIBC electrical rating

### 3.5 Small-signal transfer functions

The MIBC small-signal transfer functions depend on both,  $n$  and  $m$  parameters. The number of phases,  $n$ , determines the equivalent inductance whereas the number of devices,  $m$ , has impact on the duty cycle.

Figures 5 and 6 represent the Bode plot of the small-signal transfer functions  $V_o/d$  and  $i_L/d$  obtained by the PSIM simulator for the configurations specified in the table 7.

| Comparative study: small-signal transfer functions<br>( $V_{in}=56V$ , $V_o=80V$ , $P_{in}=1024W$ ) |               |               |               |
|---|---------------|---------------|---------------|
|   | $n=2$ ; $m=4$ | $n=4$ ; $m=2$ | $n=8$ ; $m=1$ |
| $K_{vo/d}$  | 53.2dB        | 47.2dB        | 41.2dB        |
| $f_z$   | 19.5kHz       | 39kHz         | 78kHz         |
| $f_o$   | 2.37kHz       | 3.36kHz       | 4.75kHz       |
| $Q$   | 8.21          | 11.6          | 16.4          |
| $K_{il/d}$  | 40.4dB        | 28.3dB        | 16.3dB        |
| $f_{z1}$  | 579Hz         | 579Hz         | 579Hz         |

Table 7. MIBC small-signal transfer functions

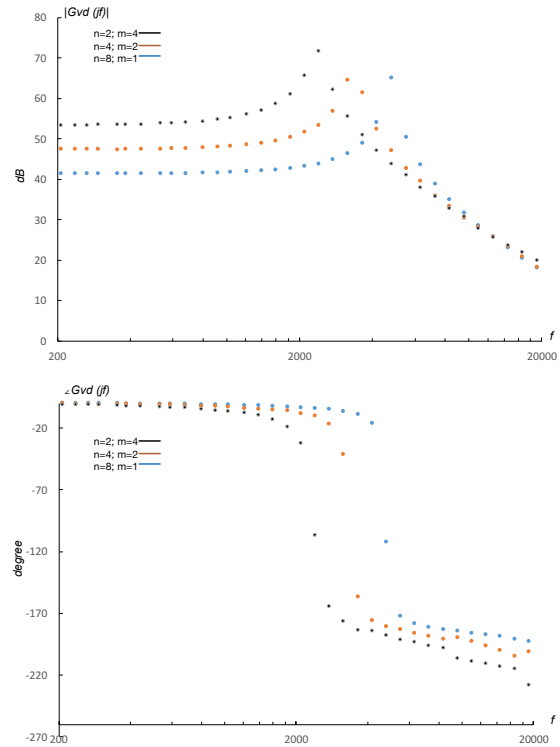


Figure 5. Duty cycle-to-output voltage transfer function. PSIM non-averaged model ( $V_{in}=56V$ ,  $V_o=80V$ ,  $P_o=1024W$ )

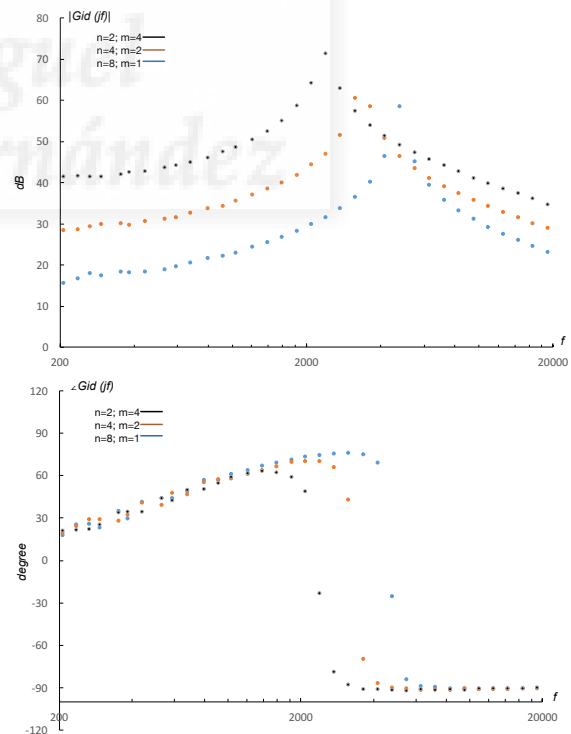


Figure 6. Duty cycle-to-inductor current transfer function. PSIM non-averaged model ( $V_{in}=56V$ ,  $V_o=80V$ ,  $P_o=1024W$ )



#### 4. MIBC: ANALOG PWM GENERATOR

Two methods have been devised to obtain desired PWM signals for the MIBC. First method uses  $n$  sawtooth signals and the control signal ( $V_c$ ) splits into  $m$  signals ( $V_{ci}$ ) with different offset ( $V_{oi}$ ), (22).

$$V_{oi} = (i-1) \frac{V_p}{m} ; i = 1 \dots m \quad (22)$$

$$V_{ci} = V_c + V_{oi}$$

Simplified block diagram of the PWM generator for the 2-4-MIBC and the sketch of the main signals are depicted in figure 7.

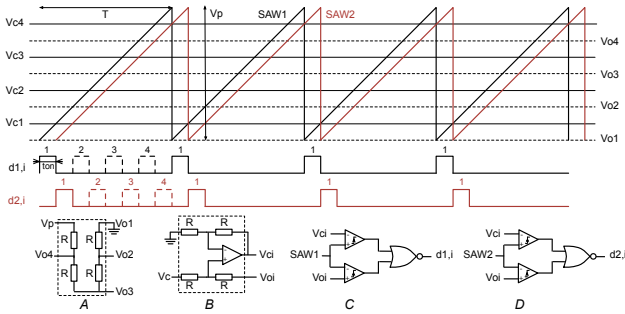


Figure 7. Analog PWM: option 1.

Another option is to use  $n-m$  sawtooth signals and only one control signal, which is limited to  $V_p/m$ . Figure 8, shows the sketch of this analog PWM generator. Only one comparator is required for each driving signal.

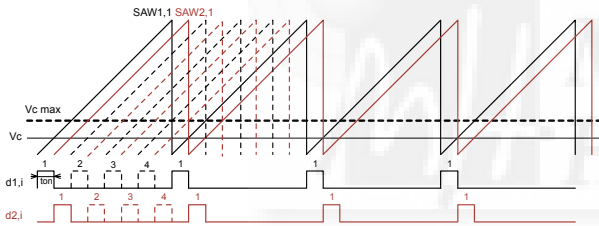


Figure 8. Analog PWM: option 2.

Figure 9 represents the PWM signal ( $d1,1$ ) and the sawtooth ( $SAW1,1$ ) of one power MOSFET using the second method with the commercial multiphase integrated oscillator LTC6909 and a constant current source that charges a capacitor.

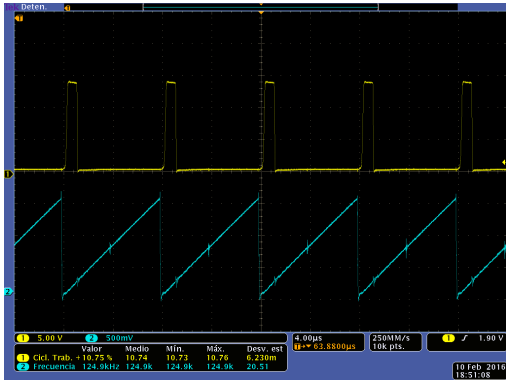


Figure 9. Sawtooth and PWM signal: option 2.

#### 5. MIBC: DIGITAL (FPGA) PWM GENERATOR

Analog implementation of the PWM generator offers simplicity as the main advantage. On the contrary, digital approach, FPGA is considered here, is more complex but has some benefits that should be considered. To highlight some, high time resolution to achieve very low duty cycles, synchronous signals with adjustable dead time for bidirectional conversion or soft-switching, hot reconfiguration for redundancy, protection or efficiency purposes.

In this paper a digital PWM adapted from analog method option 1 is presented. Figure 10 shows the four gate signals of one phase switching at 96kHz.

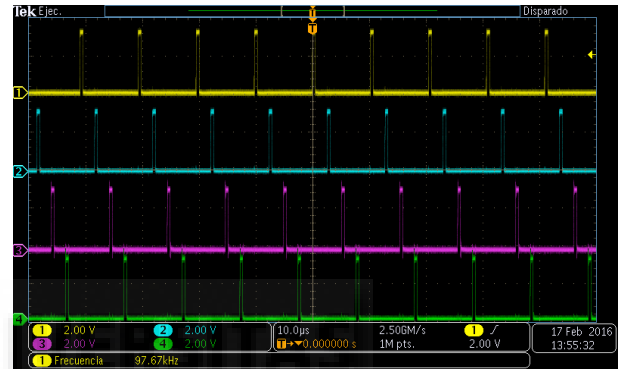


Figure 10. Digital PWM signals for one phase: adapted from circuit option 1.

#### 6. CONCLUSIONS

This digest presents an interleaving technique that is suitable for DC/DC converters, BDR's is one possible application, as studied here, but other power conditioning functions could be explored. Design equations, comparative study and analog and digital (FPGA) practical implementation of the PWM generator system is presented.

#### 7. REFERENCES

- Hegazy, O., Van Mierlo, J. & Lataire, P. (2012). Analysis, modeling and implementation of a multidevice interleaved DC/DC converter for fuel cell hybrid electric vehicles. IEEE Trans. Power Electron. 27(11), 4445–4458.
- Carbonnier, H, Fernandez, A., Triggianese, M. & Tonicello, F. (2014). Interleaved boost converter used as a battery discharge regulator for space applications, 10<sup>th</sup> ESPC, Noordwijkerhout, The Netherlands.

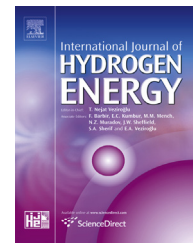




ELSEVIER

Available online at [www.sciencedirect.com](http://www.sciencedirect.com)

ScienceDirect

journal homepage: [www.elsevier.com/locate/he](http://www.elsevier.com/locate/he)

# An interleaved, FPGA-controlled, multi-phase and multi-switch synchronous boost converter for fuel cell applications

Fernando Sobrino-Manzanares, Ausias Garrigós\*

Industrial Electronics Group, University Miguel Hernández, 03202 Elche, Alicante, Spain

## ARTICLE INFO

### Article history:

Received 30 April 2015

Received in revised form

9 July 2015

Accepted 15 July 2015

Available online 7 August 2015

### Keywords:

Multi-phase

Multi-switch

Boost converter

Interleaving

FPGA

Fuel cell

## ABSTRACT

This work describes the practical implementation of an interleaved multi-phase, multi-switch boost converter for fuel cell applications. The paper aims to validate the concept of digitally-controlled Multi-Interleaving Boost Converter (MIBC) for fuel cell applications, from two-phase, four-legs per phase, synchronous boost converter, abbreviated as 2-4-MIBC. Compared with the Interleaved Boost Converter (IBC), MIBC exhibits interesting performance in terms of magnetics, input and output current ripple, part count and distributed power losses. A potential field of application is indeed medium and higher power fuel cell front-end converters, where minimizing input current ripple is significant but also redundancy and reliability are crucial. Actually, this approach covers all these aspects since provide module and device redundancy with real-time and flexible digital control reconfiguration. Relevant aspects related to design, modeling, simulation and experimental verification of 1 kW, FPGA-controlled, 2-4-MIBC are treated in this paper.

Copyright © 2015, Hydrogen Energy Publications, LLC. Published by Elsevier Ltd. All rights reserved.

## Introduction

In the range from few hundred watts to several kilowatts, fuel cell (FC) stacks and modules are generally sized up to 100 V DC and 500 A DC [1–3,25]. Hence, modular power processing is usually considered to accommodate different power levels from the same power converter basis. Some major advantages of this approach include reusability, expandability, power loss distribution, standardization, flexibility and redundancy [4,5].

Among different options available, the Interleaved Boost Converter (IBC) is a common choice for FC front-end power conditioning [6–9], because its simplicity, high efficiency,

step-up voltage ratio, low input current ripple, modularity, good dynamic response and redundancy.

Recently, the Multi-Interleaving Boost Converter (MIBC), as shown in Fig. 1, has also been proposed as an alternative to IBC to optimize fuel cell converter performance [10,11,26]. The underlying idea of the MIBC is to create a two-level interleaved structure by two different means, sequentially operation of the power switches within the power converter module (phase) and interleaving operation of different phases. At module (phase) level, Distributed Driving Scheme (DDS) [11] performs sequential operation of the  $m$  half-bridge legs, as depicted in Fig. 2. Considering this multi-switch driving pattern, inductor frequency is  $m$  times higher than switching

\* Corresponding author. Industrial Electronics Group, Dpt. Materials Science, Optics and Electronics Technology, Building “Torrevalillo”, 1D6, University Miguel Hernandez, Av. Universidad s/n, 03202 Elche, Spain. Tel.: +34 96 665 8892; fax: +34 96 665 8497.

E-mail address: [augarsir@umh.es](mailto:augarsir@umh.es) (A. Garrigós).

<http://dx.doi.org/10.1016/j.ijhydene.2015.07.078>

0360-3199/Copyright © 2015, Hydrogen Energy Publications, LLC. Published by Elsevier Ltd. All rights reserved.

### Nomenclature

|      |  |
|------|--|
| CCM  | continuous conduction mode               |
| DCM  | discontinuous conduction mode            |
| DDS  | distributed driving scheme               |
| ESR  | equivalent series resistance (capacitor) |
| FC   | fuel cell                                |
| IBC  | interleaved boost converter              |
| MIBC | multi-interleaved boost converter        |
| PWM  | pulse width modulation                   |

frequency. As a result, the number of half-bridge legs becomes an important variable and adds a new degree of freedom for the converter design process. Other interesting features of this multi-switch approach include enhanced current capabilities, power losses distribution and elimination of switch current sharing issues. Since there is only one power semiconductor conducting at a given time, switch current sharing problems are avoided [12–14] and thermal management alleviated by proper selection of the number of half-bridge legs. Using this power conversion technique, there are two ways to reduce input current ripple, at module level, inductor ripple is driven by the number of legs, switching frequency and inductance value and, on the other hand, input current ripple can be reduced by increasing the number of phases of the converter due to input current cancellation. On account of this, MIBC is an interesting option for medium and high power DC/DC conversion with stringent input/output current ripple and thermal requirements [15–18].

An important difference respect previous multi-phase, multi-switch converters published works [10,11] is the use of bidirectional half-bridge legs, instead of unidirectional boost power cells composed of controlled power switch plus power diode. Bidirectional current capabilities report several benefits. First, bidirectional structures could operate in Continuous Conduction Mode (CCM) or Discontinuous Conduction Mode (DCM) just selecting properly the gate driving scheme. Some authors have employed DCM to eliminate current sensing and inner current control loops [19–21]; however DCM also have

some drawbacks mostly due to higher peak inductor current and parasitic ringing; which in turn impacts on converter efficiency and electromagnetic compatibility [22]. Conversely, complementary driving scheme for each half-bridge leg allows CCM operation [23]. In this case, inductor current flows from positive to negative and back forth while the average inductor current sets the average power flow direction. Further, the addition of displaced inductor currents, due to phase interleaving, reduces input current ripple and keeps unidirectional current for an extended range. Apart of eliminating the parasitic ringing issue, CCM operation simplifies control loop design (only CCM model is required) and provides soft-switching transitions for low-side and high-side switches.

An FPGA control system has been devised to implement the Distributed Driving Scheme, the Digital Pulse Width Modulated (DPWM) signals for each power semiconductor and the converter control loops. Some advantages of digitally controlled systems are high-accuracy PWM signal generation (including dead-time generation), reconfigurability, control loop design versatility, noise immunity and system expandability.

To conclude this section, the paper is structured as follows. Introduction is given in Section [Introduction](#); MIBC power section design is covered in Section [2-4-MIBC: power section](#); converter modeling and control loop design are detailed in Section [2-4-MIBC: converter modeling and control loop design](#); simulation and experimental validation are given in Section [2-4-MIBC: simulation and experimental validation](#) and conclusions summarized in Section [Conclusions](#).

## 2-4-MIBC: power section

Since this work aims to validate the MIBC for medium and high power fuel cells, some typical specifications have been considered as baseline for converter design: input voltage range 75–90 V, output voltage 100 V and input current 16 A.

One of the most interesting characteristics of the MIBC converter is that inductor frequency remains higher than

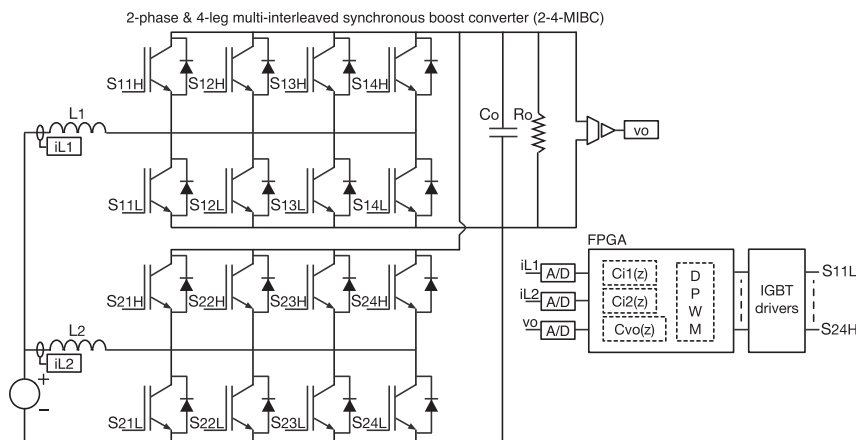


Fig. 1 – Schematic of the proposed 2-phase and 4-leg multi-interleaved synchronous boost converter, named 2-4-MIBC.

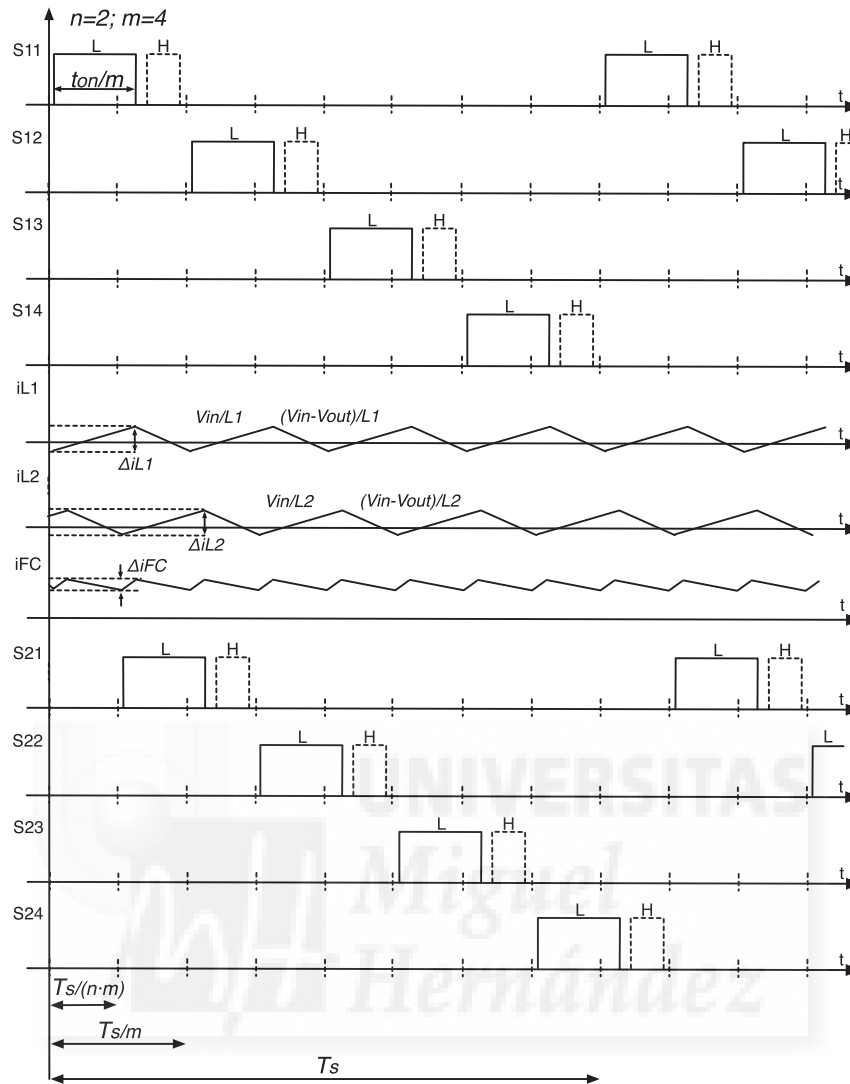


Fig. 2 – Sketch of the driving signals and inductor current of the proposed 2-4-MIBC.

switching frequency, so, inductor current ripple could be adjusted by selecting the number half-bridge legs and the input current ripple adjusted with the number of interleaved phases. In fact, for the same number of power switches, inductance value and switching frequency, less input current ripple can be achieved using fewer phases but more half-bridge legs per phase (1) [11]. In order to compare the input current ripple of different MIBC configurations, Fig. 3 plots the normalized current ripple of three different configurations that have the same number of power switches, keeping the same switching frequency, inductance, output voltage and power, where  $\Delta i_{in \max}$  has been defined as the maximum input current ripple of all configurations ( $n = 8, m = 1$ ;  $n = 4, m = 2$ ;  $n = 2, m = 4$ ) given at certain duty cycle ( $D$ ). The 2-4-MIBC configuration has the lowest input current ripple of the three options with the lowest number of power inductors. The reason for this fact comes from the inductor frequency which is increased twice and four times respect the 8-IBC. When compared to the 2-IBC, please refer to Fig. 4, the 2-4-

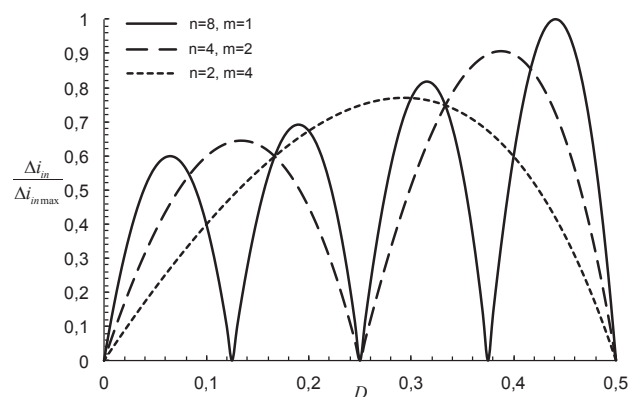


Fig. 3 – Normalized peak-to-peak input current ripple versus duty cycle for three different configurations: 8-1-MIBC (or 8-IBC); 4-2-MIBC and 2-4-MIBC.

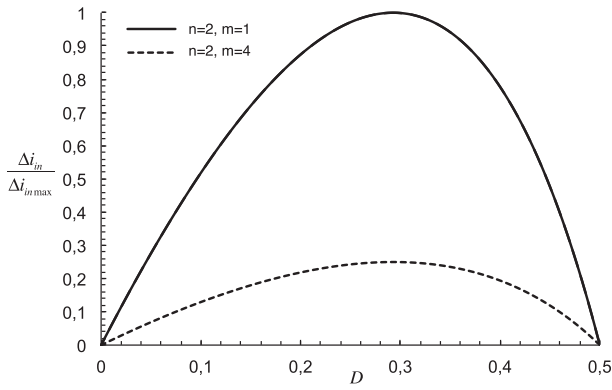


Fig. 4 – Normalized peak-to-peak input current ripple versus duty cycle for 2-IBC and 2-4-MIBC.

MIBC reduces input current ripple by factor four for the same inductance and switching frequency values.

$$\Delta i_{in} = \frac{n}{m} \frac{V_{out}}{L f_s} R \left[ \frac{1}{n} - R \right] \tag{1}$$

$$R = M' \text{mod} n^{-1}$$

In addition, it is worth to mention that fewer phases implies less current sensors and control circuits, which also simplifies converter design and reduces cost.

Since one of the most critical parts in power converter design is the power inductor, a trade-off analysis should be performed to optimize several aspects of the MIBC: inductor and input current ripple, inductor and converter power losses, power losses distribution, size and cost. Depending on the converter requirements, different design approaches could be considered; in this particular case, where converter demonstration is the main goal, the inductance value has been

Table 1 – 2-4-MIBC prototype: power converter parts and characteristics.

2-4-MIBC – experimental prototype – part selection and characteristics

|                              |                       |                      |                |
|------------------------------|-----------------------|----------------------|----------------|
| Inductance                   | 23.6 uH               | Output capacitor     | 2200 uF        |
| Inductor frequency           | 48.8 kHz              | Power semiconductors | IRG7PH42UD1PbF |
| Max. inductor current ripple | 16 A                  | Switching frequency  | 12.2 kHz       |
| Magnetic core                | Magnetics/MPP/55440A2 | Power switch drivers | CONCEPT IHD660 |
| Core weight                  | 160 g                 | Current sensor       | LEM LA-55P     |
| Inductor turns               | 20                    | Isolation amplifier  | ISO122P        |
| FPGA board                   | DLP-HS-FPGA3          | Sensor amplifier     | LT1498         |
| FPGA                         | XC3S1400A             | A/D converter        | LT1407         |

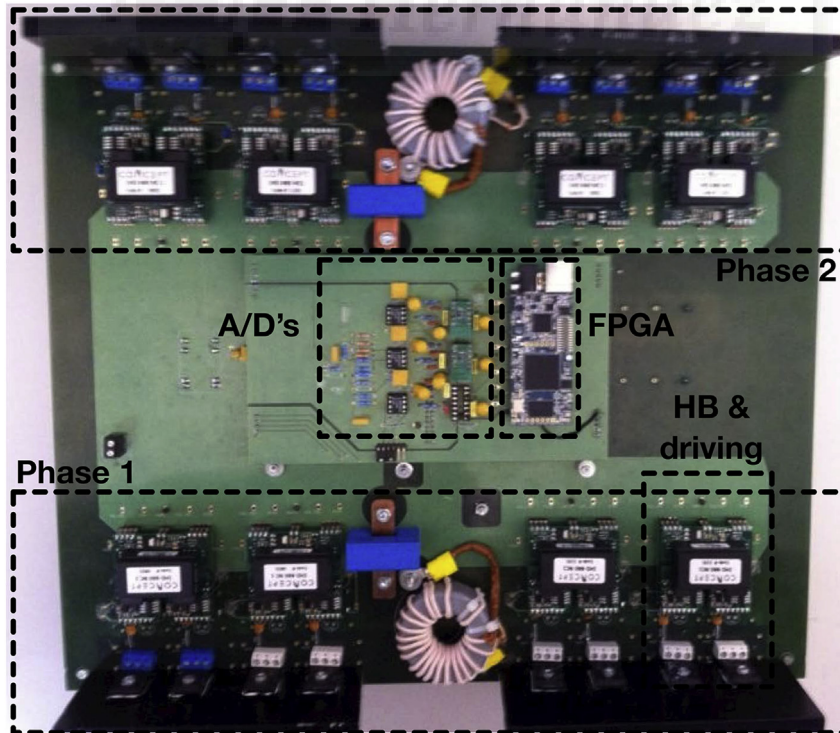


Fig. 5 – 2-4-MIBC prototype photograph.

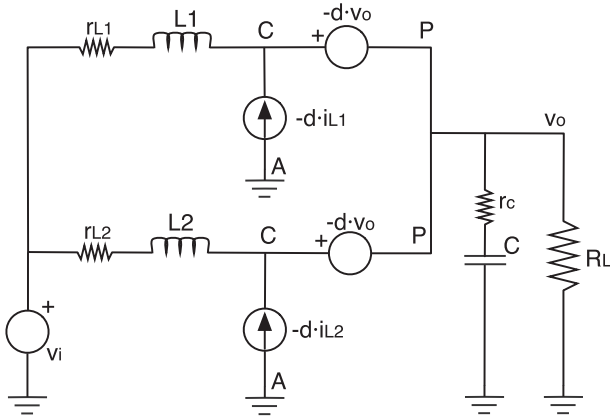


Fig. 6 – Equivalent averaged circuit of the 2-4-MIBC.

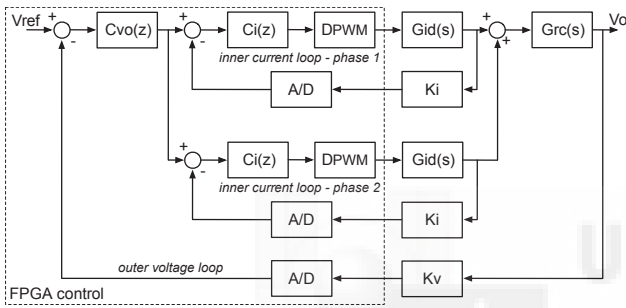


Fig. 7 – Digital average current control scheme of the 2-4-MIBC.

selected to achieve inductor zero-current at full load and minimize switching losses; that means peak-to-peak 16 A of inductor current ripple at minimum input voltage (2). For lower input power levels, the inductor current will become negative at some moments due to the half-bridge structure and the complementary gate control, but the input current still remains positive because of phase interleaving.

$$L = \frac{V_{inmin} D_{max}}{m f_s \Delta i_{L,max}} \quad (2)$$

Output filter capacitor has been selected mainly considering control loop issues, keeping low resonant frequency of the LC tank compared with switching frequency but also taking into account output voltage ripple (ESR requirements) and RMS current rating.

Other important circuits include Hall effect current sensors, isolated voltage sensing and conditioning circuits for A/D conversion. Furthermore, full-protected, isolated half-bridge IGBT drivers have been employed. Main characteristics of the prototype are summarized in Table 1 and a photograph of the prototype represented in Fig. 5.

## 2-4-MIBC: converter modeling and control loop design

The 2-4-MIBC has been modeled using the PWM switch model [24]. Due to synchronous gate driving scheme only CCM is possible which simplifies control loop design. Despite there are sixteen different switches, the equivalent averaged circuit only considers two boost converters. Dead-time effects are neglected, because those times are limited to values much smaller than the switching period.

The analysis of the small-signal averaged circuit from Fig. 6 eventually results the duty cycle-to-inductor current small-signal transfer function,  $G_{id}(s)$ , and the duty cycle-to-output voltage small-signal transfer function,  $G_{vd}(s)$ , (3) and (4) respectively. Further, the inductor current-to-output voltage small-signal transfer function,  $G_{rc}(s)$  required for average current control scheme, please refer to Fig. 7, is easily derived from (3) and (4).

$$G_{id}(s) = \frac{\tilde{i}_{L1}}{\tilde{d}} = \frac{\tilde{i}_{L2}}{\tilde{d}} = \frac{\frac{V_i}{1-D} \frac{(R_L + r_c)Cs + \frac{R_L}{r_c + R_L} + 1}{(R_L + r_c)LC}}{s^2 + \frac{(R_L r_L + r_L r_c + 2r_c R_L (1-D)^2)C + L}{(R_L + r_c)LC} s + \frac{2R_L (1-D)^2 + r_L}{(R_L + r_c)LC}} \quad (3)$$

$$G_{vd}(s) = \frac{\tilde{v}_o}{\tilde{d}} = \frac{\frac{V_i}{(1-D)^2} \frac{-\left(s - \frac{2(1-D)^2 r_e - r_L}{L}\right) \left(s + \frac{1}{r_c C}\right)}{(R_L + r_c)LC}}{s^2 + \frac{(R_L r_L + r_L r_c + 2r_c R_L (1-D)^2)C + L}{(R_L + r_c)LC} s + \frac{2R_L (1-D)^2 + r_L}{(R_L + r_c)LC}} \quad (4)$$

where:

$$r_e = \frac{R_L^2}{r_c + R_L} \quad (5)$$

Table 2 – 2-4-MIBC prototype: control loop design characteristics.

| 2-4-MIBC – digital control loops           |  |  |
|--|--|--|
|  | Inner current loop   | Outer voltage loop   |
| Controller type                            | Proportional-Integral  | Proportional-Integral  |
| Loop gain crossover frequency              | 2.4 kHz  | 160 Hz   |
| Loop gain phase margin                     | 90°  | 90°  |
| Analog controller transfer function        | $C_i(s) = K_{Ci} \left[ \frac{\tau_{Ci} s + 1}{s} \right] K_{Ci} = 1669; \tau_{Ci} = 41 \mu s$ | $C_{vo}(s) = K_{Cv} \left[ \frac{\tau_{Cv} s + 1}{s} \right] K_{Cv} = 116.23; \tau_{Cv} = 57 ms$ |
| A/D – number of bits                       | 14   | 14   |
| A/D – sampling frequency                   | 781.250 kHz  | 781.250 kHz  |
| A/D – antialiasing filter corner frequency | 338.6 kHz  | 338.6 kHz  |
| A/D – averaging method                     | 16-point average moving filter   | –  |
| DPWM – number of bits                      | 11   | –  |
| Digital controller transfer function       | $C_i(z) = 0.0708910126 \frac{1 - 0.970222662z^{-1}}{1 - z^{-1}}$                               | $C_{vo}(z) = 3.323117096 \frac{1 - 0.9999775979z^{-1}}{1 - z^{-1}}$                              |
| Feedback sensor gain                       | $K_i = 0.047 \text{ V/A}$  | $K_v = 0.021 \text{ V/V}$  |

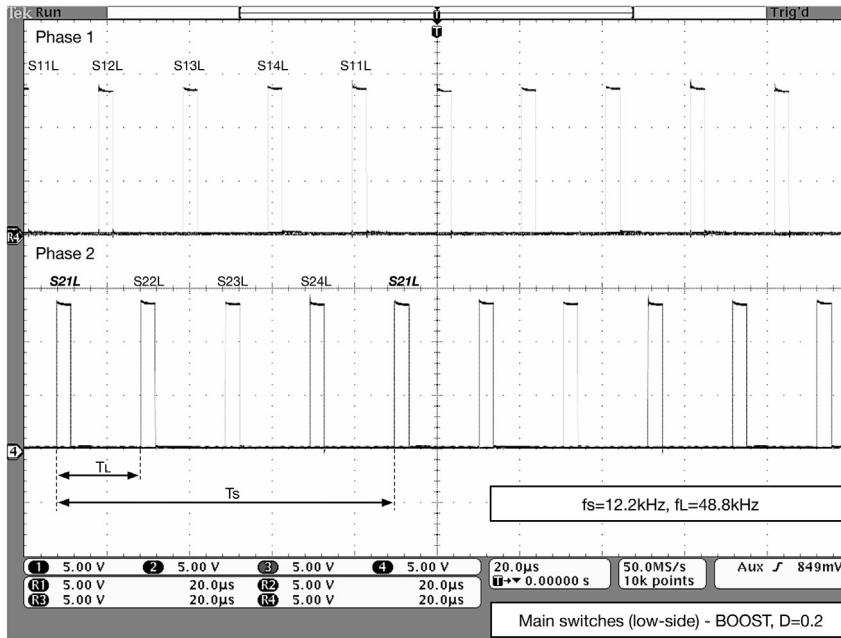


Fig. 8 – 2-4-MIBC gate signals: low-side switches which are main switches for boost operation.

Control loop design approach starts with the analog controller design followed by controller discretization using the bilinear transformation. Inner current loops are designed to have large bandwidth, which is required to emulate an ideal voltage-controlled current source for the lower bandwidth outer voltage loop. Sixteen samples average moving filter is employed to obtain averaged inductor current of each phase. Main characteristics of the control loop design are summarized in Table 2.

### 2-4-MIBC: simulation and experimental validation

Figs. 8 and 9 show the low-side and high-side gate signals of the 2-4-MIBC, respectively. Low-side switches are the main switches for boost mode operation and define the voltage conversion ratio of the converter. On the other hand, high-side switches act as auxiliary switches and their driving signals are complementary to the low-side gate signals and also

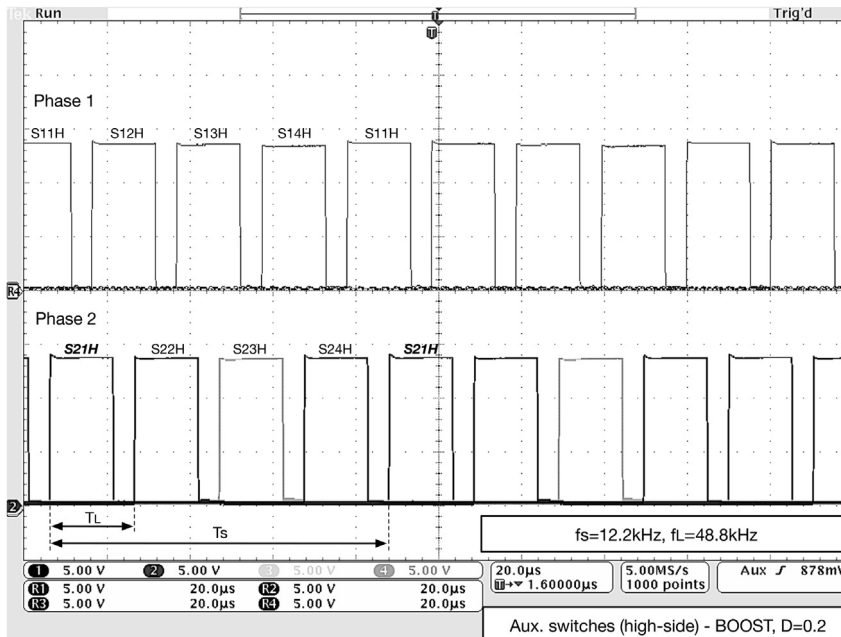


Fig. 9 – 2-4-MIBC gate signals: high-side switches which are auxiliary switches for boost operation.



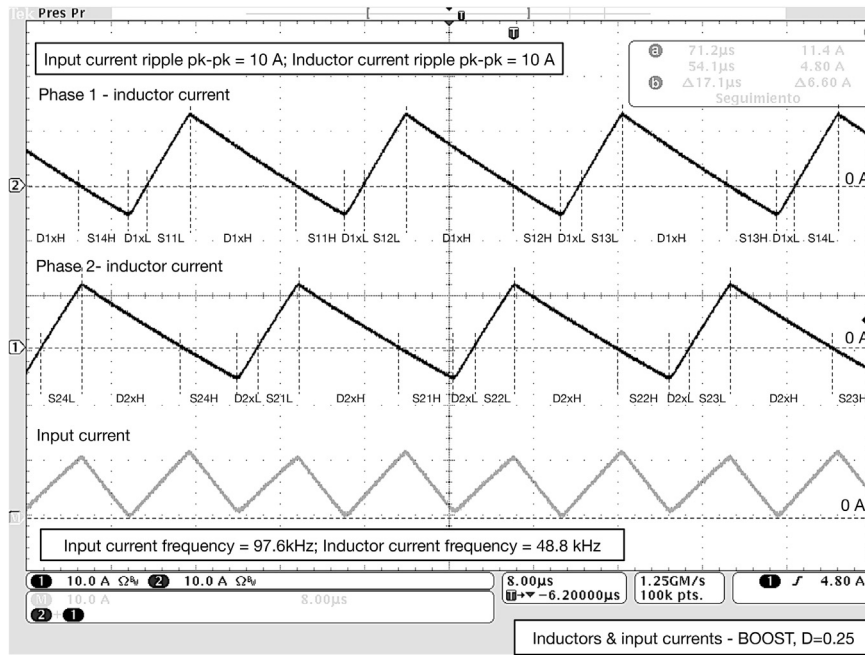


Fig. 10 – 2-4-MIBC inductors and input current.

include the required dead-time for each half-bridge leg. As it can be observed in Figs. 8 and 9, within each phase, power switches are sequentially driven at 12.2 kHz but its equivalent phase circuit behaves as a single-switch boost converter operating at 48.8 kHz, that is  $m$  times the switching frequency. Further, it is observed that both phases run in interleaving mode.

Measurements reported in Figs. 10, 12 and 13 are for 100 V output voltage and  $D = 0.25$ , while Fig. 11 is for the 100 V output voltage and  $D = 0.2$ . First, steady-state converter operation is synthesized in Fig. 10. Fig. 10 shows the inductor currents and the input current that results from the sum of both inductor currents. Averaged input current is 5 A and input power 400 W. The first thing noticed is CCM operation of

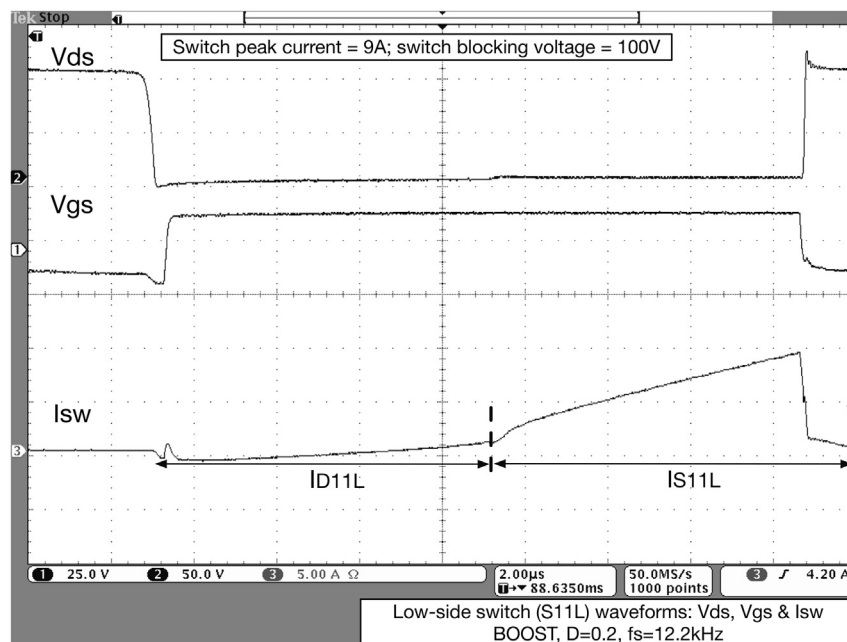
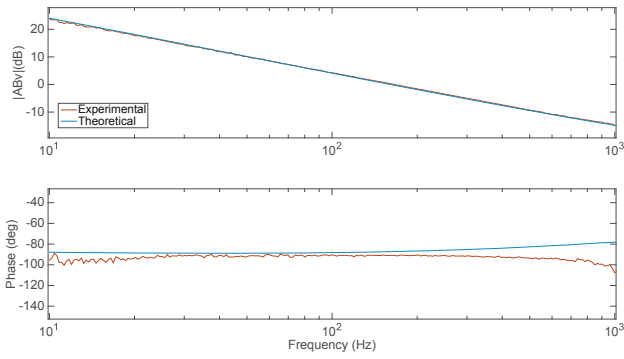
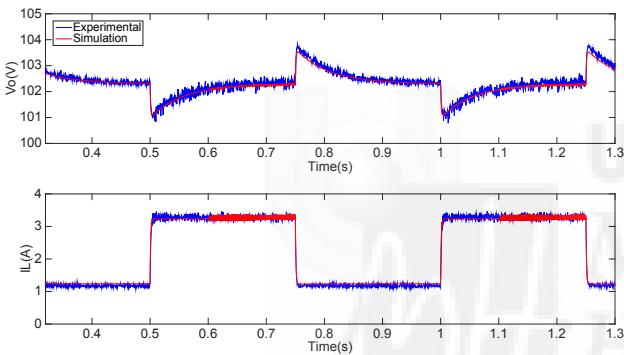


Fig. 11 – 2-4-MIBC low-side switch switching waveforms.



**Fig. 12 – Voltage control loop: loop gain transfer function. Upper figure, gain. Lower figure, phase. Red trace, measured transfer function; blue trace, simulated transfer function. (For interpretation of the references to colour in this figure legend, the reader is referred to the web version of this article.)**



**Fig. 13 – 2-4-MIBC output voltage transient response for load steps.**

both phases with instantaneous inductor currents below zero instead of DCM operation. Further, as it can be observed, instantaneous negative inductor current does not mean instantaneous negative input current since phase

displacement of currents result in instantaneous positive input current when they are combined at the input node.

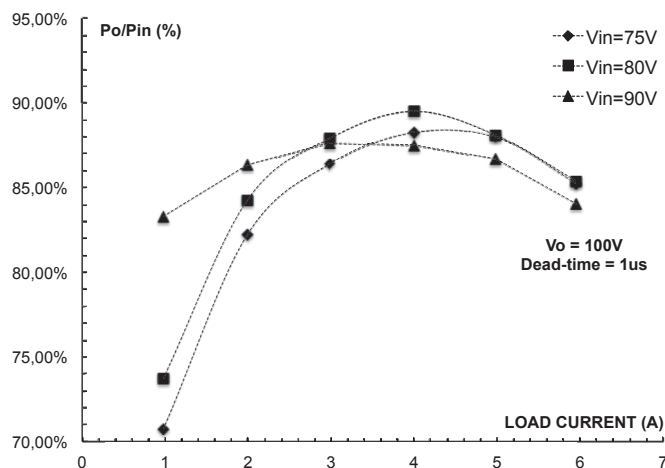
The second important thing is CCM operation with complementary gate driving scheme avoids parasitic ringing associated to DCM mode and allows zero current switching for all semiconductors involved during zero-current crossing points; that is, low-side switches during negative to positive inductor current transitions and high-side switches during positive to negative inductor current changes.

During diode conduction times, applicable for high-side and low-side, all the flywheel diodes of each phase will conduct without any current sharing control. Then, when the inductor current changes from negative to positive or vice versa, the diodes naturally switch-off and the corresponding IGBT will carry the inductor current.

During the dead-time, the converter works as follows; for instance, let consider the transition from one high-side switch to one low-side switch. First, a high-side controlled switch (SxxH) conducts the negative inductor current while its parasitic capacitance remains short circuited; conversely, the low-side parasitic capacitance remains charged to the output voltage. Then, high-side gate signal switches off and both gate signals are off during the dead-time. In this time, the inductor current charges high-side parasitic capacitance and discharges low-side parasitic capacitance. Once the low-side parasitic capacitance is discharged, low-side freewheeling diodes start to carry the inductor current; so, low-side diodes switch on at zero voltage condition.

Detail of low-side IGBT switching is observed from Fig. 11. When gate-source signal turns-on, the anti-parallel IGBT diode conducts to carry negative current until it becomes positive. It is worth to note that negative current is flowing through all freewheeling diodes and when it crosses to zero only the turned-on IGBT carries the phase current.

Fig. 12 shows the measured and simulated voltage loop gain transfer function. Both curves have a high degree of agreement and the loop gain crossover frequency, 160 Hz, and the loop gain phase margin, 90°, correspond to the control loop specifications, please refer to Table 2.



**Fig. 14 – 2-4-MIBC converter efficiency.**

Loop gain measurement has been performed using an analog network analyzer, so the injected perturbation has been digitized and introduced into the digital control system to vary the duty cycle. Inner current loops and current sensing averaging filters are also considered to perform this measurement.

Fig. 13 represents simulated and experimental waveforms of the output voltage and load current under step load conditions. As expected, good agreement between simulation and experimental results is achieved. Around 1% of voltage overshoot, respect the nominal output voltage, is achieved with 250 W load steps.

To conclude this section, efficiency measurements have been performed. Fig. 14 shows efficiency results for different input voltages, 100 V output voltage and half-bridge dead-time of 1 $\mu$ s. Maximum efficiency, almost 90%, is achieved at mid-load conditions.

## Conclusions

This paper proposes and validates a synchronous, digitally-controlled, multi-phase, multi-switch boost converter, abbreviated as MIBC, operating in CCM mode with complementary gate driving scheme. This is an interesting alternative to the IBC converter because provides significant part count reduction, size and eventually converter cost without penalizing performance.

Converter design guidelines have been provided and implementation of 1 kW 2-4-MIBC has also been performed, including the power converter section and the FPGA-based control system. Experimental validation has also been reported showing the most interesting converter features, gate driving scheme, main inductor and input currents, dynamic response and efficiency measurements.

Finally, because of its interesting features, such as low input current ripple, high current capabilities, modularity, power losses distribution and high efficiency, this converter could adapt nicely for medium and high power fuel cell front-end converters.

## REFERENCES

- [1] U. S. Department of Energy, Energy Efficiency & Renewable Energy 2013 fuel cell technologies market report. November 2014.
- [2] Fuel Cell Today The fuel cell industry review 2013. September 2013.
- [3] Elmer T, Worall M, Wu S, Riffat SB. Fuel cell technology for domestic built environment applications: state of-the-art review. *Renew Sustain Energy Rev* February 2015;42:913–31.
- [4] De Bernardinis A. Synthesis on power electronics for large fuel cells: from power conditioning to potentiodynamic analysis technique. *Energy Convers Manag* August 2014;84:174–85.
- [5] Mohr M, Franke WT, Wittig B, Fuchs FW. Converter systems for fuel cells in the medium power range – a comparative study. *IEEE Trans Ind Electron* June 2010;57(6):2024–32.
- [6] Hwang JC, Chen LH, Yeh SN. Comprehensive analysis and design of multi-leg fuel cell boost converter. *Appl Energy* December 2007;84(12):1274–88.
- [7] Thounthong P, Davat B. Study of a multiphase interleaved step-up converter for fuel cell high power applications. *Energy Convers Manag* April 2010;51(4):826–32.
- [8] Thounthong P, Davat B, Raël S, Sethakul P. Fuel cell high-power applications. *IEEE Ind Electron Magn* March 2009;3(1):32–46.
- [9] Garrigós A, Blanes JM, Lizán J. Non-isolated multiphase boost converter for a fuel cell with battery backup power system. *Int J Hydrogen Energy* May 2011;36(10):6259–68.
- [10] Hegazy O, Van Mierlo J, Lataire P. Analysis, modeling and implementation of a multidevice interleaved DC/DC converter for fuel cell hybrid vehicles. *IEEE Trans Power Electron* November 2012;27(11):4445–58.
- [11] Garrigós A, Sobrino-Manzanares F. Interleaved multi-phase and multi-switch boost converter for fuel cell applications. *Int J Hydrogen Energy* July 2015;40(26):8419–32.
- [12] Wang H, Wang F. Power MOSFETs paralleling operation for high power high density converters. In: *Proceedings of the 41st Annual Meeting on IEEE Industry Applications Conference*; 2006. p. 2284–9.
- [13] Abdi B, Ranjbar AH, Gharehpetian GB, Milimonfared J. Reliability considerations for parallel performance of semiconductor switches in high-power switching power supplies. *IEEE Trans Ind Electron* June 2009;56(6):2133–9.
- [14] Consoli A, Gennaro F, Testa A, Consentino G, Frisina F, Letor R, et al. Thermal instability of low voltage power MOSFET's. *IEEE Trans Power Electron* May 2000;15(3):575–81.
- [15] Ferrero R, Marracci M, Prioli M, Tellini B. Simplified model for evaluating ripple effects on commercial PEM fuel cell. *Int J Hydrogen Energy* September 2012;37(18):13462–9.
- [16] Fontes G, Turpin C, Astier S, Meynard TA. Interactions between fuel cells and power converters: influence of current harmonics on a fuel cell stack. *IEEE Trans Power Electron* March 2007;22(2):670–8.
- [17] Guilbert D, Gaillard A, Mohammadi A, N'Diaye A, Djerdir A. Investigation of the interactions between proton exchange membrane fuel cell and interleaved DC/DC boost converter in case of power switch faults. *Int J Hydrogen Energy* January 2015;40(1):519–37.
- [18] Shireen W, Nene HR. Input ripple current compensation using DSP control in reliable fuel cell power systems. *Int J Hydrogen Energy* May 2012;37(9):7807–13.
- [19] Blanes JM, Gutiérrez R, Garrigós A, Lizán JL, Martínez-Cuadrado J. Electric vehicle battery life extension using ultracapacitors and an FPGA controlled interleaved buck-boost converter. *IEEE Trans Power Electron* December 2013;28(12):5940–8.
- [20] García O, Zumel P, de Castro A, Cobos JA. Automotive DC-DC bidirectional converter made with many interleaved buck stages. *IEEE Trans Power Electron* May 2006;21(3):578–86.
- [21] Destraz B, Louvrier Y, Rufer A. High efficient interleaved multi-channel DC/Dc converter dedicated to mobile applications. In: *Proceedings of the 41st Annual Meeting on IEEE Industry Applications Conference*; 2006. p. 2518–23.
- [22] Huang X, Wang X, Nergaard T, Lai JS, Xu X, Zhu L. Parasitic ringing and design issues of digitally controlled high power interleaved boost converters. *IEEE Trans Power Electron* September 2004;19(5):1341–52.
- [23] Zhang J, Lai JS, Kim RY, Yu W. High-power density design of a soft-switching high-power bidirectional dc-dc converter. *IEEE Trans Power Electron* July 2007;22(4):1145–53.

- [24] Vorperian V. Simplified analysis of PWM converters using model of PWM switch. Continuous conduction mode. *IEEE Trans Aerosp Electron Syst* May 1990;26(3):490–6.
- [25] Chávez-Ramírez AU, Muñoz-Guerrero R, Durón-Torres SM, Ferraro M, Brucanini G, Sergi F, et al. High power fuel cell simulator based on artificial neural network. *Int J Hydrogen Energy* November 2010;35(21):12125–33.
- [26] Benyahia N, Denoun H, Zaouia M, Rekioua T, Benamrouche N. Power system simulation of fuel cell and super capacitor based electric vehicle using an interleaving technique. *Int J Hydrogen Energy* 2015 [in press, corrected proof, available on line 9 April 2015].



**Bidirectional, interleaved, multiphase, multidevice, soft-switching, FPGA controlled, buck-boost converter with PWM real-time reconfiguration**

|                               |  |
|-------------------------------|--|
| Journal:                      | <i>IEEE Transactions on Power Electronics</i>  |
| Manuscript ID                 | TPEL-Reg-2016-04-0772  |
| Manuscript Type:              | Regular Paper  |
| Date Submitted by the Author: | 22-Apr-2016  |
| Complete List of Authors:     | Más, Fernando<br>Garrigos, Ausias; University Miguel Hernandez, Materials Science and<br>Technology Department |
| Keywords:                     |  |
|                               |  |

*IEEE Transactions on Power Electronics*

**PAPER TITLE:** Bidirectional, interleaved, multiphase, multidevice, soft-switching, FPGA controlled, buck-boost converter with PWM real-time reconfiguration.

**AUTHORS:** Fernando Sobrino-Manzanares<sup>(1)</sup>, Ausiàs Garrigós<sup>(1)</sup>.

**AFFILIATIONS:** (1) Industrial Electronics Group, Miguel Hernández University of Elche, Spain

**CORRESPONDING AUTHOR:** Fernando Sobrino-Manzanares

Title: PhD candidate at Miguel Hernandez University of Elche (Spain)

Postal address: Materials Science, Optical and Electronic Technology  
Department

Edificio Torrevallo, University Miguel Hernandez

Avd. de la Universidad s/n. 03202 Elche, Spain.

Phone number: +34 96 665 88 92 Fax number: +34 96 665 84 97

E-mail address: [fernando.sobrino-manzanares@alu.umh.es](mailto:fernando.sobrino-manzanares@alu.umh.es)

*This paper has not been presented at any conference and it has not been submitted elsewhere previously.*

**Abstract** – A bidirectional, interleaved, multiphase, multidevice, soft-switching, FPGA controlled, buck-boost converter with real-time PWM reconfiguration capabilities is presented and validated experimentally. This topology, named Multi-Interleaved Bidirectional Buck-Boost Converter (MIB3C), is intended for medium and high power bidirectional DC power conditioning like battery or supercapacitor based power systems. Theoretical description of the converter, PWM driving scheme and design issues are first presented. PWM generation and average current digital control are described for an FPGA based implementation; finally, a scaled-down prototype provides experimental validation of the proposed converter.

**Keywords** – Multiphase, multidevice, interleaving, dc-dc converter, Field-Programmable Gate Array (FPGA), bidirectional, soft-switching.

1  
2  
3 **Bidirectional, soft-switching, interleaved, multiphase,**  
4 **multidevice, soft-switching, FPGA controlled, buck-boost**  
5 **converter with PWM real-time reconfiguration.**  
6  
7  
8  
9

10  
11 **Abstract** – A bidirectional, interleaved, multiphase, multidevice, soft-switching,  
12 FPGA controlled, buck-boost converter with real-time PWM reconfiguration  
13 capabilities is presented and validated experimentally. This topology, named  
14 Multi-Interleaved Bidirectional Buck-Boost Converter (MIB3C), is intended for  
15 medium and high power bidirectional DC power conditioning like battery or  
16 supercapacitor based power systems. Theoretical description of the converter,  
17 PWM driving scheme and design issues are first presented. PWM generation  
18 and average current digital control are described for an FPGA based  
19 implementation; and finally, a scaled-down prototype provides experimental  
20 validation of the proposed converter.  
21  
22  
23  
24  
25  
26  
27  
28  
29  
30  
31  
32  
33  
34

35 **Keywords** – Multiphase, multidevice, interleaving, dc-dc converter, Field-  
36 Programmable Gate Array (FPGA), bidirectional.  
37  
38  
39  
40  
41  
42  
43  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60

## I. INTRODUCTION

Bidirectional, non-isolated converters are commonly employed in battery and supercapacitor applications since controlled charging/discharging is achieved with one single converter. Automotive [1], satellite and aircraft power systems [2,3] or industrial and traction drives [4] are typical applications in which these converters have been used extensively. Amongst different non-isolated and bidirectional existing topologies [5], the half-bridge configuration has become one of the preferred options and indeed, it is a basic building block for more complex DC-DC conversion structures [6,8]. Certainly, interleaved multiphase, half-bridge converters are traditionally considered in medium and high power applications because exhibit high efficiency, high power density, modularity and power losses distribution among other reasons [9,13].

Other common technique for high current applications is to employ paralleled devices, known as multi-device converters. The simplest multi-device approach considers the same PWM signal for all the devices and assumes ideal current sharing between power semiconductors; however, this solution becomes difficult to implement and requires additional current equalization circuits for many IGBT devices. Even a single driving signal for paralleled devices it is not straightforward for MOSFETs at high power levels [14]. Therefore, the Distributed Driving Scheme (DDS), which consists in reducing the duty cycle of each half-bridge leg (HB) and produce phase-shifting between them, reveals interesting because avoids current imbalance problems and provides frequency decoupling of the inductor and the power switch [15].



Interleaved, multi-device converter has already been proposed as boost [16] and bidirectional [17] converters for fuel cell and hybrid vehicles, showing some advantages in terms of reactive part mass and volume reduction as well as in power losses distribution. In this work a bidirectional, interleaved, multiphase, multidevice, FPGA controlled, buck-boost converter, named MIB3C, with real-time PWM reconfiguration capabilities is presented and validated experimentally. Figure 1 represents the general MIB3C converter with  $n$ -phase and  $m$ -HB per phase.

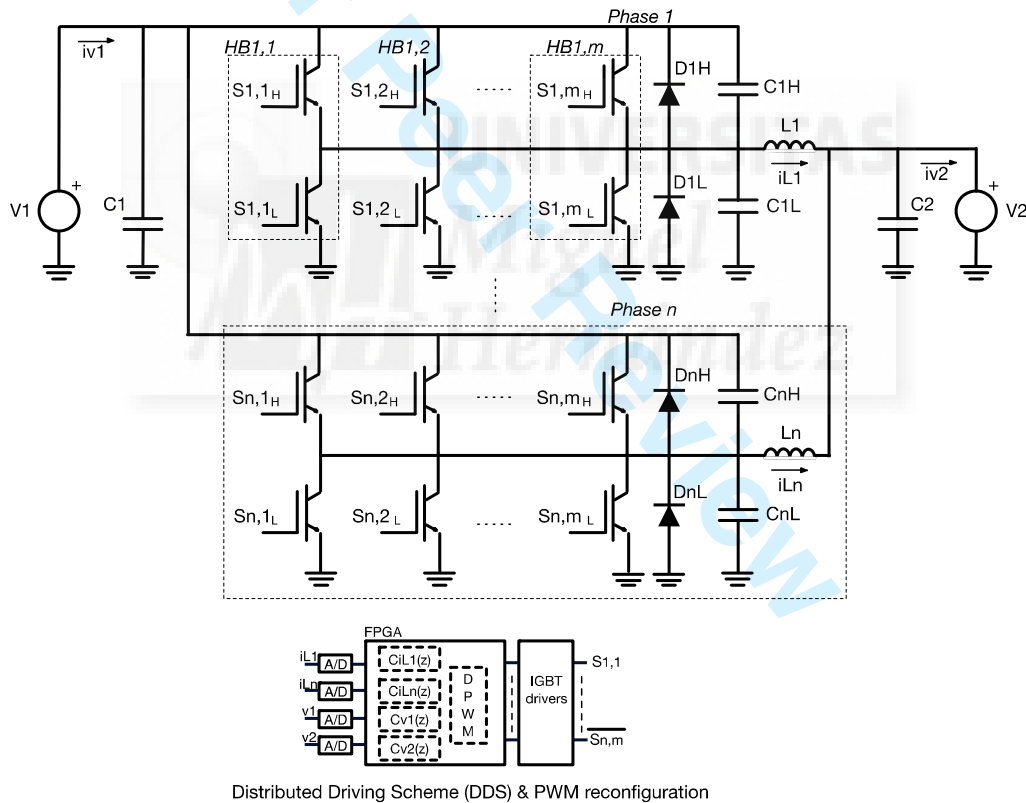


Figure 1. Proposed general  $n$  phase -  $m$  HB MIB3C converter

The MIB3C driving sequence follows the pattern [HB1,1; HB2,1; ...; HBn,1; HB1,2; HB2,2; ...; HBn,2; ...; HB1,m; HB2,m; ...; HBn,m] where each signal is

1  
2  
3 displaced in phase  $2\cdot\pi/(n\cdot m)$  and the maximum on-time of each HB is limited to  
4  
5 the switching period divided by  $m$ .  
6  
7  
8

9  
10 Compared with the single half-bridge, multiphase, interleaved structure, the  
11  
12 MIB3C adds some interesting features, which are listed next:  
13

- 14 • The distribution of power between devices is achieved by reducing the  
15 duty cycle, therefore it is not affected by device parallelization issues.  
16 That point is especially interesting for IGBTs because their inherent  
17 difficulties in current sharing, but also applicable to some extent for  
18 power MOSFETs [14].  
19  
20  
21  
22  
23  
24
- 25 • Frequency decoupling of inductor current and IGBT driving. A new  
26 degree of freedom is created which can be used in different ways. Some  
27 examples would be inductor design optimization in terms of number of  
28 inductors, operation frequency, losses or DC current level and ripple; HB  
29 losses distribution and thermal design; optimization of the HB mid-point  
30 frequency for EMI filter design purposes [18].  
31  
32  
33  
34  
35  
36  
37  
38
- 39 • Two independent parameters, number of HBS ( $m+1$ ) and number of  
40 phases ( $n+1$ ), provide augmented capabilities for reconfiguration and  
41 redundancy. An increased level of reliability could be achieved regarding  
42 HB failures, since PWM gating signals are dynamically rearranged to  
43 drive the other HBs of the same phase without loosing performance at  
44 phase level.  
45  
46  
47  
48  
49  
50
- 51 • High power density designs are possible because multi-IGBT packages  
52 are very common for many industrial applications.  
53  
54  
55  
56  
57  
58  
59  
60

1  
2  
3 Main contributions of this work respect previous works [16,17] are the following:  
4

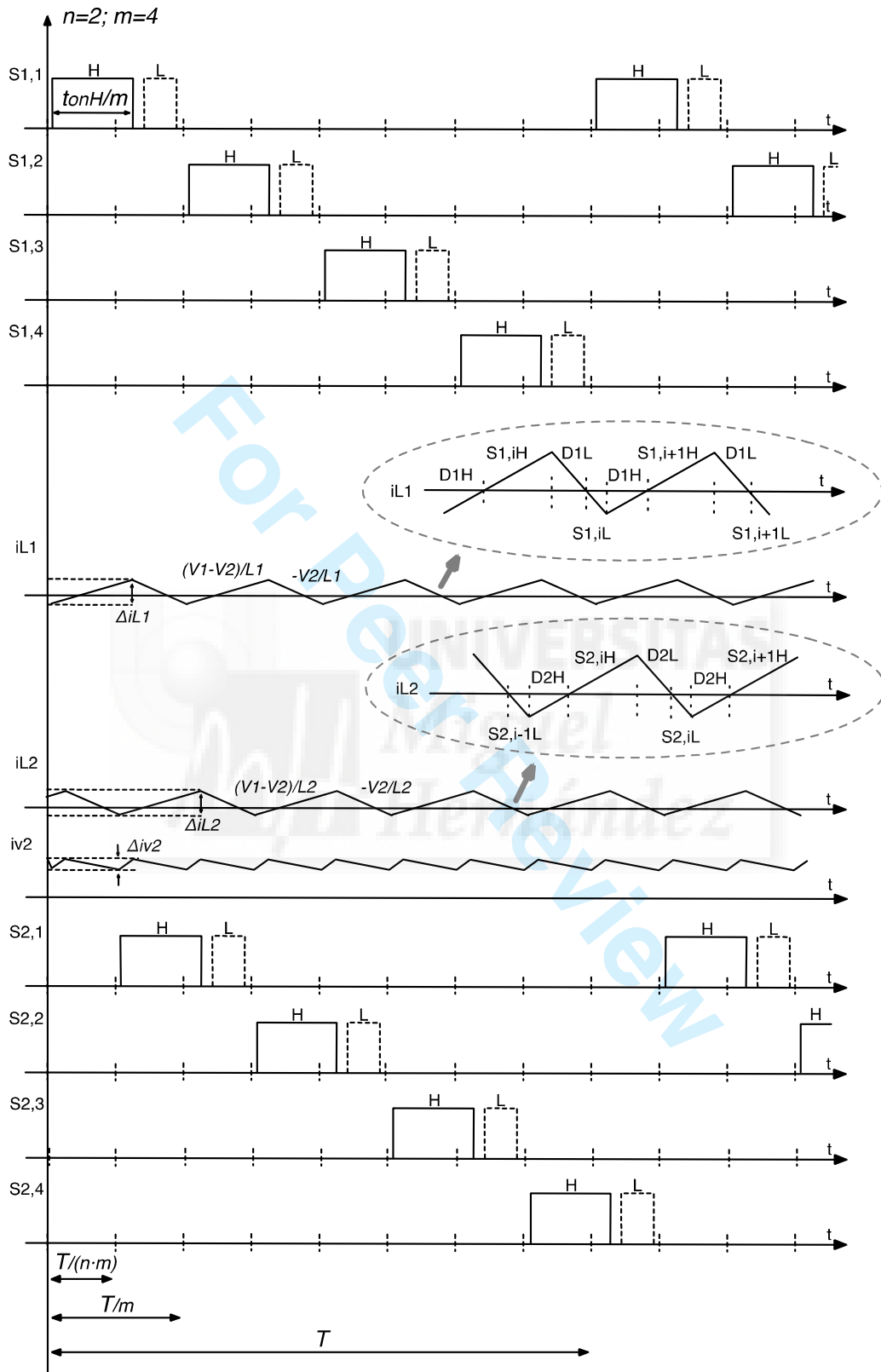
5 a) complete characterization of the system for any number of phases and half-  
6 bridge legs configuration; b) soft-switching capability through complementary  
7 (synchronous) gating PWM and snubber capacitance; c) FPGA-based PWM  
8 generation and digital control; d) real-time PWM reconfiguration; e)  
9 experimental validation has been carried out using low voltage IGBTs and  
10 single high-side and low-side ultra-fast diodes per phase.  
11  
12  
13  
14  
15  
16  
17  
18  
19  
20

21 To conclude this introductory section, the paper is organized as follows, section  
22 II describes MIB3C operation and the most relevant design equations; section  
23 III details the FPGA-based control subsystem including the reconfigurable PWM  
24 generator and the digital current and voltage control loops; section IV describes  
25 the design and implementation of a 2 phase, 4 HB, MIB3C prototype (2-4-  
26 MIB3C); section V includes and discusses about the most interesting  
27 experimental results and paper concludes with section VI.  
28  
29  
30  
31  
32  
33  
34  
35  
36  
37  
38  
39  
40  
41  
42  
43  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60

## II. MIB3C operation principle.

This section details DC operation, small-signal analysis and soft-switching considerations of the general  $n - m$  MIB3C converter represented in figure 1. Before starting with this section, some relevant indications are listed next: a) all phases are considered identical, i.e. same inductance value and tight current sharing; b) MIB3C always operates in CCM using complementary gate signals for each HB; c) for the sake of clarity,  $i$  denotes any of HB legs ( $i=1\dots m$ ) and  $j$  denotes any of the phases ( $j=1\dots n$ ); d) some figures are particularized to the  $n=2, m=4$ , MIB3C (2-4-MIB3C) because that is the configuration chosen for experimental validation.

A sketch of the 2-4-MIB3C main waveforms, operating in buck mode ( $P_{V1} > 0$ ), is depicted in figure 2. In this mode, high-side IGBTs ( $S_{j,i H}$ ) operate as main switches, setting the duty cycle, named  $D_H$ , while low-side IGBTs ( $S_{j,i L}$ ) work as auxiliary switches to keep flywheeling current path. Because of the bidirectional nature of the structure, boost operation is achieved by controlling low-side IGBTs as main switches, with duty cycle named  $D_L$ , and high-side IGBTs work as auxiliary switches.



A. DC equations, current ripple and power losses considerations

Considering buck mode where high-side IGBTs operate as control switches and low-side IGBTs as auxiliary switches, voltage conversion ratio  $M'$  is easily obtained from the control switch duty cycle definition and the volt-second balance of the inductor of any phase (1).

$$\begin{aligned} M' &= \frac{V_2}{V_1} = mD_H \\ D_H &= t_{onSiH}/T \\ D_H &< 1/m \end{aligned} \quad (1)$$

Analogously, voltage conversion ratio  $M$  in boost mode is given by (2).

$$\begin{aligned} M &= \frac{V_1}{V_2} = \frac{1}{1 - mD_L} \\ D_L &= t_{onSiL}/T \\ D_L &< 1/m \end{aligned} \quad (2)$$

The inductor ripple current could be expressed in terms of the voltage conversion ratio (3). It is obvious the effect of varying  $m$  on the peak-to-peak ripple, which actually corresponds to an increase of the inductor frequency.

$$\begin{aligned} \Delta i_L &= \frac{1}{m} \frac{V_1 M' (1 - M')}{Lf} \\ f_L &= mf \end{aligned} \quad (3)$$

Maximum and minimum inductor current values depend on average inductor current, which in turn is function of the number of phases  $n$  (4).  $\eta_{1,2}$  represents converter efficiency for buck operation mode, power flowing from  $V_1$  to  $V_2$ .

$$\begin{aligned}
i_{L\text{avg}} &= i_{v2\text{avg}}/n = \eta_{1,2} i_{v1\text{avg}} M \\
i_{L\text{max}} &= i_{L\text{avg}} + (\Delta i_L/2) \\
i_{L\text{min}} &= i_{L\text{avg}} - (\Delta i_L/2)
\end{aligned} \tag{4}$$

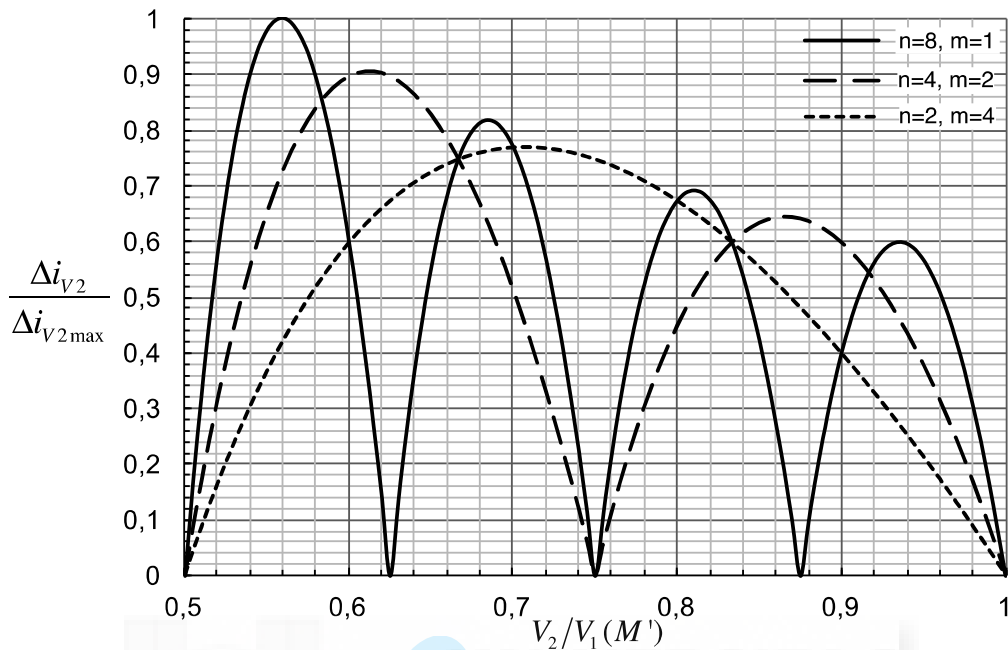
It is important to realize that although minimum inductor current will be negative, a requirement for soft-switching purposes, will not its average value. The inductor RMS current (5) is also an interesting parameter when comparing different MIB3C configurations, for instance for HB peak currents or inductor losses.

$$i_{L\text{RMS}} = \sqrt{i_{L\text{avg}}^2 + (\Delta i_L^2/12)} \tag{5}$$

The current ripple reduction and the frequency increase are the result of having triangular phase-shifted current waveforms at V2 node,  $\Delta i_{v2}$ , either in buck or boost operation modes. As it could be observed in (4), from the inductor point of view, one phase may be considered as a single HB operating at  $m$  times its switching frequency; then, the current ripple at V2 node (6) is easily derived from the equations of traditional interleaved structures [18,21], where  $R$  is defined as an effective modulation index [18].

$$\begin{aligned}
\Delta i_{v2} &= \frac{n}{m} \frac{V_L}{Lf} R \left[ \frac{1}{n} - R \right] \\
R &= M' \bmod n^{-1}
\end{aligned} \tag{6}$$

An interesting conclusion that results from (6) is that different  $n$ - $m$  arrangements should be considered to optimize V2 current ripple. In fact, for that purpose, with the same switching frequency and inductance value, the number of HB legs becomes more relevant than the number of phases.



**Figure 3. Normalized peak-to-peak V2 current ripple vs voltage conversion ratio for three different MIB3C configurations ( $n=8,m=1$ ;  $n=4,m=2$ ;  $n=2,m=4$ )**

Figure 3 shows the normalized peak-to-peak V2 current ripple versus  $M'$  in the range from 0.5 to 1, which is typical for many applications in buck or boost modes, for three different MIB3C configurations with the same number of HBs and keeping unchanged the rest of the circuit parameters. To normalize the three functions all values are divided by the maximum current ripple value, which corresponds to the 8-1-MIB3C at  $M'=0.56$ . As one may note, the lowest maximum value of the three configurations corresponds to the 2-4-MIB3C, 77% of the maximum at  $M'=0.705$ . Further, one could notice that the lowest current ripple value depends on the interval of interest of  $M'$ .



Similar analysis can be carried out for V1 current ripple. In that case, the RMS value [20] is the most interesting value to select the filter capacitor (7).

$$i_{v1\text{RMS}} = i_{v2\text{avg}} \sqrt{\left[ \left( M' - \frac{X}{n} \right) \left( \frac{X+1}{n} - M' \right) \right] + \frac{n}{12M'^2} \left( \frac{V_2(1-M')}{i_{v2\text{avg}} m Lf} \right)^2 \left[ (X+1)^2 \left( M' - \frac{X}{n} \right)^3 + X^2 \left( \frac{X+1}{n} - M' \right)^3 \right]} \quad (7)$$

$$X = \text{floor}(nM')$$

$N$  is the dominant parameter in V1 RMS current, however there is not significant dependence on the number of HB,  $m$ . As a result, RMS current will decrease as the number of phases increases; so, from this point of view, multi-device configuration does not provide any important benefit.

The current flowing through power devices are also of special interest to evaluate power losses and maximum values required for a particular design. Defining the average current to ripple current ratio as (8), average, RMS and maximum current values are given, for buck operation mode, by (9), (10) and (11) respectively.

$$\delta = \frac{\Delta i_L / 2}{i_{L\text{avg}}} \quad (8)$$

$$i_{SiH\text{avg}} = \frac{Lf}{2V_1(1-M')} [i_{L\text{avg}}(\delta+1)]^2$$

$$i_{SiL\text{avg}} = \frac{Lf}{2V_1M'} [i_{L\text{avg}}(\delta-1)]^2$$

$$i_{DH\text{avg}} = \frac{mLf}{2V_1(1-M')} [i_{L\text{avg}}(\delta-1)]^2$$

$$i_{DL\text{avg}} = \frac{mLf}{2V_1M'} [i_{L\text{avg}}(\delta+1)]^2 \quad (9)$$

$$\begin{aligned}
i_{SiH\text{RMS}} &= \sqrt{\frac{Lf [i_{L\text{avg}} (\delta + 1)]^3}{3V_1(1 - M')}} \\
i_{SiL\text{RMS}} &= \sqrt{\frac{Lf [i_{L\text{avg}} (\delta - 1)]^3}{3V_1M'}} \\
i_{DH\text{RMS}} &= \sqrt{\frac{mLf [i_{L\text{avg}} (\delta - 1)]^3}{3V_1(1 - M')}} \\
i_{DL\text{RMS}} &= \sqrt{\frac{mLf [i_{L\text{avg}} (\delta + 1)]^3}{3V_1M'}}
\end{aligned} \tag{10}$$

$$\begin{aligned}
i_{SiH\text{max}} &= i_{DL\text{max}} = i_{L\text{avg}} (\delta + 1) \\
i_{SiL\text{max}} &= i_{DH\text{max}} = i_{L\text{avg}} (\delta - 1)
\end{aligned} \tag{11}$$

Thus, IGBT and diode conduction losses, which are mostly dominated by average values, will remain similar for any configuration with the same number of power switches, but switching losses, which strongly depend on maximum current values, will be penalized by lower number of phases. In any case, soft-switching techniques will help to improve converter efficiency.

On top of this, adjusting the average inductor current by the number of phases and inductor frequency and the current ripple by the number of paralleled HBs, will help to optimize core and winding inductor losses.

## B. Small-signal modelling

The MIB3C small-signal model has been derived using equivalent circuits, in particular the PWM switch model [22]. The fact of having several modules in parallel is well known and eventually simplifies to a single circuit with an

equivalent inductance resulting from phase inductance divided by the number of phases [23]. Paralleled HBs could be considered as a single leg with  $m$  times higher duty cycle and switching frequency. For buck mode, the duty cycle-to-inductor current and duty cycle-to-controlled voltage transfer functions are given by (12) and (13). Analogously, the same transfer functions in boost mode are determined by (14) and (15). Inductor and capacitor series resistance are also included in the analysis, named  $r_L$  and  $r_c$  respectively.

$$G_{v_{2d}} = \left. \frac{\tilde{v}_2}{\tilde{d}} \right|_{\tilde{v}_1=0} = \frac{V_1 \frac{R_L(r_{c2}C_2s+1)}{(r_{c2}+R_L)LC_2}}{s^2 + \left[ \frac{1}{(r_{c2}+R_L)C_2} + \frac{r_L r_{c2} + R_L r_L + R_L r_{c2}}{(r_{c2}+R_L)L} \right] s + \frac{r_L + nR_L}{(r_{c2}+R_L)LC_2}} \quad (12)$$

$$G_{i_{Lx}} = \left. \frac{\tilde{i}_{Lx}}{\tilde{d}} \right|_{\tilde{v}_1=0} = \frac{V_1 \frac{(r_{c2}+R_L)C_2s+1}{(r_{c2}+R_L)LC_2}}{s^2 + \left[ \frac{1}{(r_{c2}+R_L)C_2} + \frac{r_L r_{c2} + R_L r_L + R_L r_{c2}}{(r_{c2}+R_L)L} \right] s + \frac{r_L + nR_L}{(r_{c2}+R_L)LC_2}} \quad (13)$$

$$G_{v_{1d}} = \left. \frac{\tilde{v}_1}{\tilde{d}} \right|_{\tilde{v}_2=0} = \frac{\frac{V_2}{(1-mD_i)^2} \frac{-\left( s - \frac{n(1-mD_i)^2 r_e - r_L}{L} \right) \left( s + \frac{1}{r_{c1}C_1} \right)}{(R_L + r_c)LC_1}}{s^2 + \frac{\left( R_L r_L + r_L r_{c1} + r_{c1} R_L n(1-mD_i)^2 \right) C_1 + L}{(R_L + r_{c1})LC_1} s + \frac{nR_L(1-mD_i)^2 + r_L}{(R_L + r_{c1})LC_1}} \quad (14)$$

$$G_{i_{Lx}} = \left. \frac{\tilde{i}_{Lx}}{\tilde{d}} \right|_{\tilde{v}_2=0} = \frac{\frac{V_2}{(1-mD_i)} \frac{(R_L + r_{c1})C_1 s + \frac{R_L}{r_{c1} + R_L} + 1}{(R_L + r_{c1})LC_1}}{s^2 + \frac{\left( R_L r_L + r_L r_{c1} + r_{c1} R_L n(1-mD_i)^2 \right) C_1 + L}{(R_L + r_{c1})LC_1} s + \frac{nR_L(1-mD_i)^2 + r_L}{(R_L + r_{c1})LC_1}} \quad (15)$$

1  
2  
3 As observed in the small signal transfer functions, only boost operation mode  
4 has the number of HB legs as a variable because of the dependence with DC  
5 operation point.  
6  
7  
8  
9

### 10 11 C. Soft-switching considerations 12 13 14 15

16 Considering bidirectional HB structure and gate signal complementary control  
17 scheme, as proposed in [10], soft-switching transitions could be obtained.  
18 Ideally, parasitic high side and low side, or additional snubber capacitances  
19 (CxH and CxL) are charged and discharged during the dead-time achieving  
20 zero-voltage transitions for the power semiconductors involved. On top of this,  
21 zero-current crossing points also allow soft-switching at zero voltage conditions.  
22  
23  
24  
25  
26  
27  
28  
29  
30  
31

32 As an example, let's consider one phase of the 2-4-MIB3C working in buck  
33 mode, please refer to figure 4. Starting with SiH on, the inductor current  $i_{L1}$   
34 rises. Then, the SiH gate signal goes off, the SiH IGBT turns-off and starts  
35 dead-time  $\epsilon_{iLmax}$ . It is important to mention that IGBT turn-off action is not ideal,  
36 as represented in figure 4, and the current tail should be considered.  $\epsilon_{iLmax}$   
37 should last enough to allow the inductor current to charge CH and discharge  
38 CL. If CH is equal to CL, maximum inductor current splits equally into both  
39 capacitances, resulting in  $\Delta t_{iLmax}$  charging and discharging time. Since HB  $dv/dt$   
40 is slowed down, the turn-off loss of the SiH IGBT will be reduced. Once CL is  
41 completely discharged, DL carries the freewheeling current and also the SiL  
42 driving signal turns on. Next, inductor current goes below zero and DL naturally  
43 turns off without reverse recovery loss, then SiL turns on at zero voltage  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60

1  
2  
3 condition. Once the SiL gate signal turns off, it starts a new deadtime interval,  
4  
5  $\varepsilon_{iLmin}$ , but now with negative inductor current, which helps to charge CL and  
6  
7 discharge CH. After that CH is fully discharged, DH carries the inductor current  
8  
9 while Si+1H has its gate signal on. Finally, inductor current goes above zero  
10  
11 and Si+1H starts carrying inductor current at zero voltage conditions while DH  
12  
13 turns off without experiencing reverse recovery loss. In summary, using this  
14  
15 gate signal scheme, ideally all power semiconductors have zero voltage  
16  
17 conditions at turn-on and turn-off transitions.  
18  
19  
20  
21  
22  
23  
24  
25  
26  
27  
28  
29  
30  
31  
32  
33  
34  
35  
36  
37  
38  
39  
40  
41  
42  
43  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60



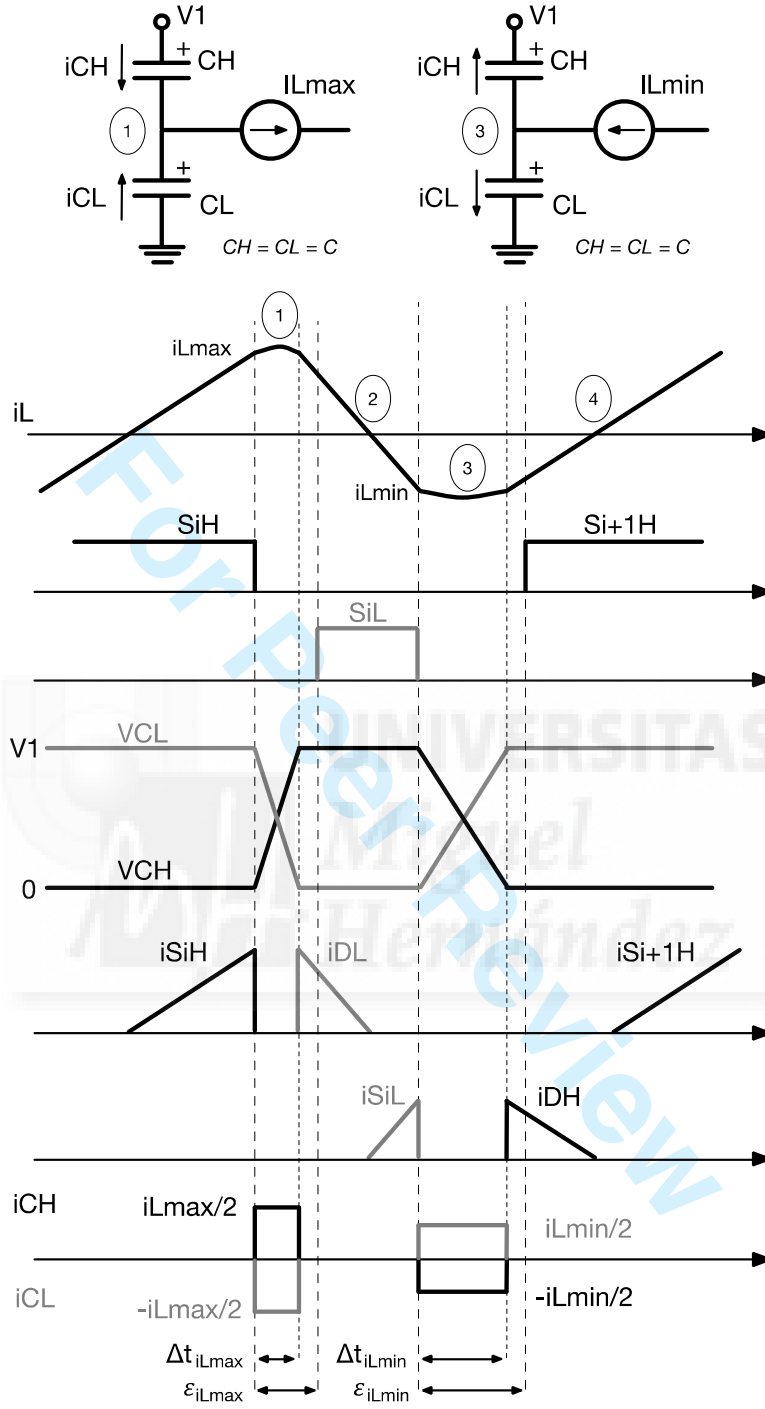


Figure 4. Detail of the main MIB3C waveforms during soft-switching

Soft-switching process depends on the ability to transfer capacitor energy from one capacitance to the other by means of the inductor stored energy. Since the

lowest inductor energy occurs at minimum inductor current, inductor energy at the minimum condition must be high enough to charge high and low-side capacitances. This fact, as represented in figure 4, will impose different minimum dead-times for  $IL_{max}$  and  $IL_{min}$  transitions. Considering equal high-side and low-side capacitances ( $CH=CL=C$ ), minimum dead-times are given by (16) and (17) respectively.

$$\varepsilon_{iL_{max}} > \frac{2V_{1max}C}{i_{L_{max}}} \quad (16)$$

$$\varepsilon_{iL_{min}} > \frac{2V_{1max}C}{i_{L_{min}}} \quad (17)$$

In brief, soft-switching will depend on many different factors: deadtime for  $IL_{max}$  and  $IL_{min}$ ,  $C1H$ ,  $C1L$ ,  $L$  and  $V1$ . On top of this, one may consider that IGBT current tail will add complexity in global optimization of the soft-switching process [10]; so, from a practical point of view, a series of experiments and adjustments will be required to obtain the best compromise of turn-on and turn-off losses. Once the power section is designed, two main control variables for efficiency optimization will be available, parasitic and snubber capacitances,  $CH$  and  $CL$ , and gate signal deadtimes,  $\varepsilon_{iL_{max}}$  and  $\varepsilon_{iL_{min}}$ .

Finally, two important remarks from the design point of view. Firstly, deadtime is also limited by the on-time of the HB controlled switches (18). As the number of HB legs,  $m$ , increases, less time to charge and discharge capacitances will be available and also appears larger parasitic capacitance because of the higher number of paralleled switches. Secondly, effective converter voltage ratio will

1  
2  
3  
4  
5  
6  
7  
8  
9  
10  
11  
12  
13  
14  
15  
16  
17  
18  
19  
20  
21  
22  
23  
24  
25  
26  
27  
28  
29  
30  
31  
32  
33  
34  
35  
36  
37  
38  
39  
40  
41  
42  
43  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60

be also affected by longer charging/discharging times at the middle point of the HB.

$$(\varepsilon_{iL \max} + \varepsilon_{iL \min}) < \frac{T}{m} - t_{on_{SiH}} - t_{on_{SiL}} \tag{18}$$





### III. MIB3C FPGA-BASED CONTROL SUBSYSTEM

This section covers the two most important parts of the digital control subsystem; firstly, a digital PWM circuit has been described for the MIB3C converter and secondly, digital compensator design for average inductor current control in buck and boost modes has been explained. PWM signal generation including dead-time for each HB leg is detailed as well as the method used for on-line reconfiguration of the number of active HB.

#### A. MIB3C PWM GENERATOR

As it is represented in figure 5, digital PWM generator for the n-m-MIB3C has been devised using  $n$  independent counters and  $2m$  window comparators. Each counter has the same number of bits ( $N$ ) but starts with different initial value to create phase shifting between modules (19).

$$\phi_j = \frac{2^N(j-1)}{nm} \quad j = 1 \dots n \quad (19)$$

Several window comparators with different low (L) and high (H) limits, for each counter circuit, enables distributed driving signals at phase level (20). Control (duty) signal is also limited to a certain value, given by (21), to avoid signal overlapping.

$$k_i = \frac{2^N(i-1)}{m} \quad i = 1 \dots m \quad (20)$$

$$x_{c\max} = 2^N/m \quad (21)$$

Finally, the required deadtimes are achieved by modifying slightly the window comparator limits, please refer to equations from (22) to (25). It is worth to note that deadtime constants are defined for buck or boost modes individually in order to keep unaltered control duty cycle and reduce adequately the duty cycle of the auxiliary switch, i.e.  $\tau_{bst}$  will be zero in buck mode and conversely  $\tau_{bck}$  will be zero in boost mode. Further, two different constants could be defined in buck and boost modes to cope with  $I_{L\max}$  and  $I_{L\min}$  conditions.

$$B_i = k_i - \tau_{bst} \quad (22)$$

$$C_i = k_i + \tau_{bst} \quad (23)$$

$$D_i = k_{i+1} - \tau_{bck} \quad (24)$$

$$E_i = k_i + \tau_{bck} \quad (25)$$

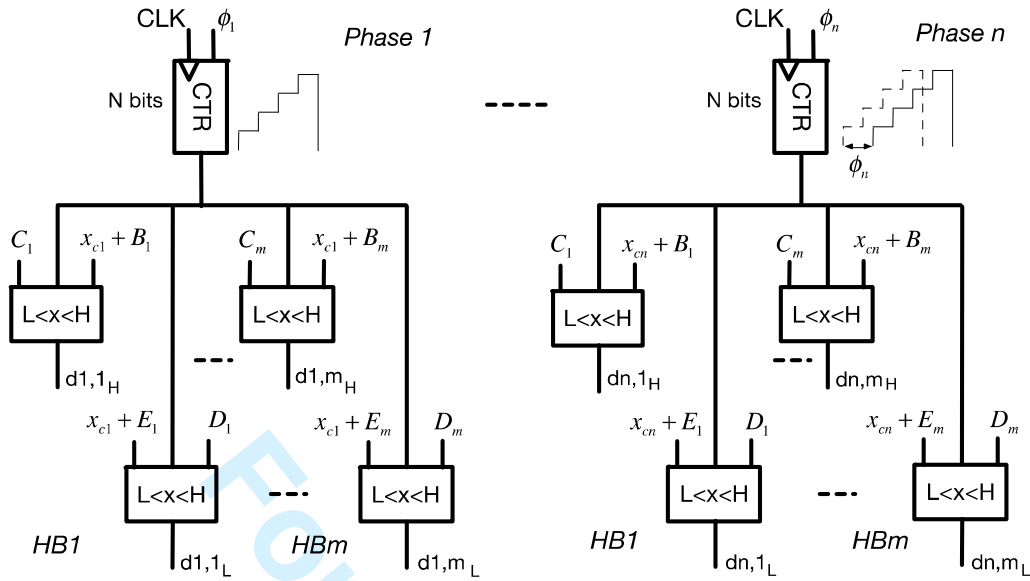


Figure 5. Block diagram of the MIB3C digital PWM generator.

A simplified diagram, deadtimes not included, of the 2-4-MIB3C digital PWM operation is shown in figure 6. It could be observed that each triangular signal or counter signal contains four threshold values ( $k_1 \dots k_4$ ) which are used as a part of the limit values for the windows comparators. The other comparator limits are obtained by adding the control signal ( $x_c$ ). In conclusion, duty signal ( $x_c$ ) modifies comparator limits, which in turn varies the pulse width of the driving signal.

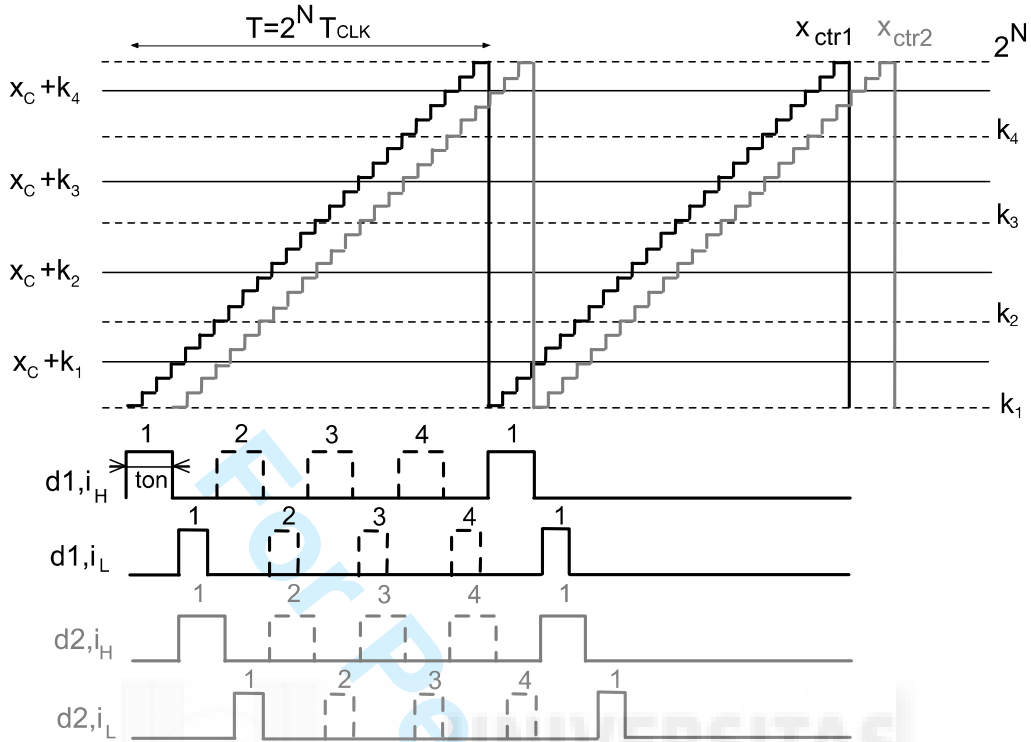


Figure 6. Sketch of simplified operation of the 2-4-MIB3C digital PWM.

On the other hand, PWM reconfiguration has been contrived with the aim of removing the driving signals (high and low) of any HB, while keeping the same characteristics at module level, i.e. inductor frequency, phase and current ripple. The basic idea is to have a combinational logic which performs the following tasks: 1) identify the HB that is intended to be disconnected; 2) adjust the new switching frequency (26), where  $z$  represents the number of HB disconnected; 3) route driving signals to the FPGA outputs. The schematic diagram of the proposed PWM reconfiguration is depicted in figure 7. The ICR is the core circuit, all implemented using combinational logic, performs identification of the faulted HBs, control of the switching frequency and control of the output routing multiplexers.

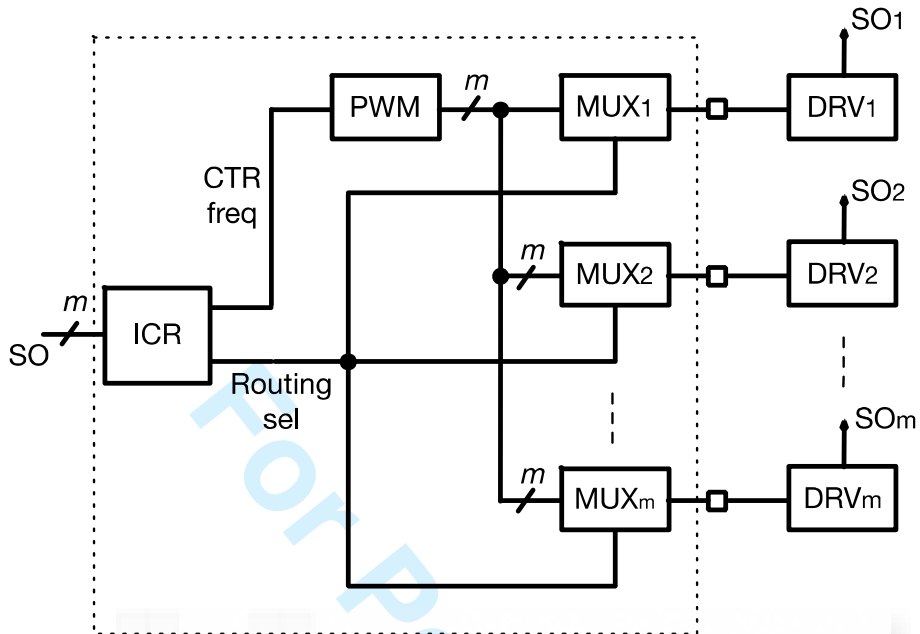


Figure 7. Diagram of the proposed PWM reconfigurable scheme.

$$T = 2^N (1 - z/m) T_{CLK} \quad (26)$$

The reconfiguration process of an individual module with four HBs is represented in figure 8. Initially, four HBs work normally and in a certain moment HB2 must be disconnected; then, several actions take place in parallel: counter register reduces its maximum value following (26), switching frequency increases and PWM signals are properly routed using the output multiplexers. Since the inductor current waveform does not change, the converter will retain the same static and dynamic properties.

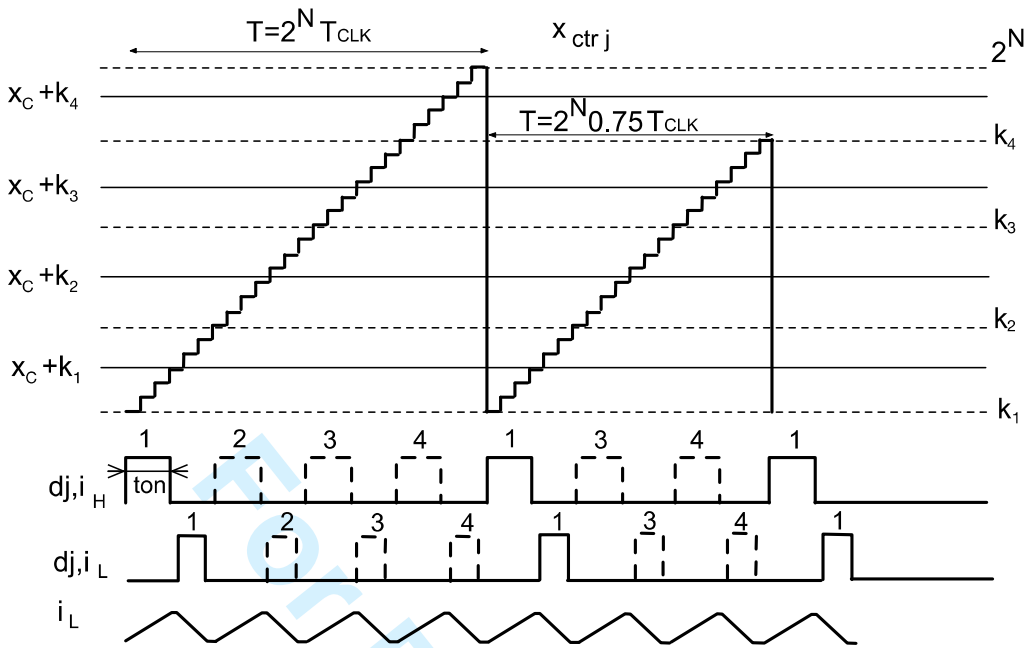


Figure 8. Sketch of simplified operation of an individual  $m=4$  MIB3C module after HB2 failure.

Obviously, PWM reconfiguration is specially interesting for damaged HBs legs but also could apply for any other proposes like high level control schemes, temperature and power dissipation control loops, or simply to increase the number of redundant HB legs.

### B. DIGITAL COMPENSATOR DESIGN

A digital average current control scheme [24,26], which simplified diagram is represented in figure 9, has been proposed. Inductor current, in buck or boost mode, is first controlled in an inner control loop, while low (V1) or high (V2) voltage forms the outer voltage control loop.

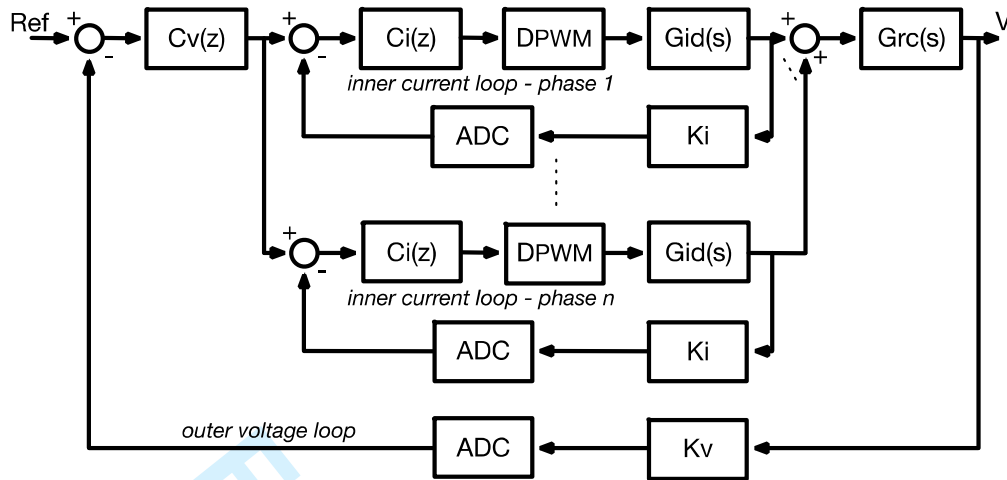


Figure 9. Average current control scheme of the proposed n-m-MIB3C converter.

Detailed digital control circuit is represented in figure 10 and includes the following main parts: 1) ADC conditioning; 2) soft-start block and 3) digital compensators. The ADC conditioning subsystem includes the front-end, which is composed of fixed-point shift blocks (SH) to adapt ADC data to the desired number of bits, and the average moving filter (LPF) to obtain the mean value. The soft-start block (S/S) uses the non-regulated voltage,  $V_1$  in buck mode and  $V_2$  in boost mode, to increase, with limited slew-rate, the reference until voltage regulation is achieved. Finally, digital compensators ( $C_v$  and  $C_i$ ) adopt proportional-integral configuration for both, current and voltage regulation.

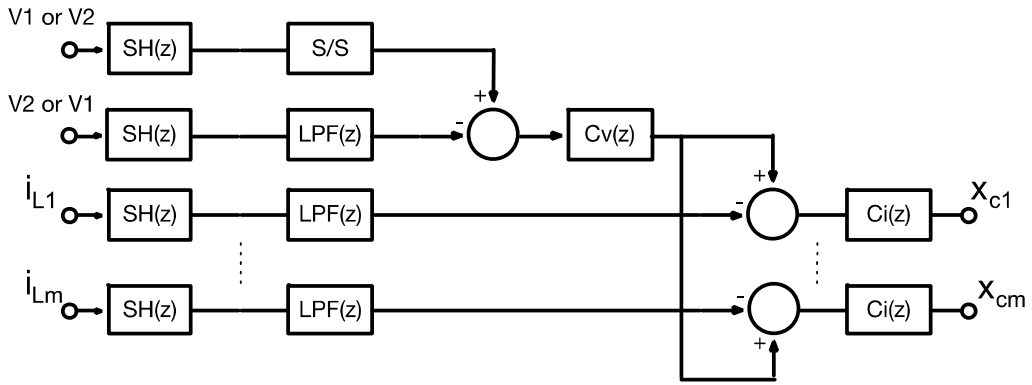


Figure 10. Detailed digital control scheme of the proposed n-m-MIB3C converter.



1  
2  
3  
4  
5  
6  
7  
8  
9  
10  
11  
12  
13  
14  
15  
16  
17  
18  
19  
20  
21  
22  
23  
24  
25  
26  
27  
28  
29  
30  
31  
32  
33  
34  
35  
36  
37  
38  
39  
40  
41  
42  
43  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60



#### IV. PROTOTYPE DESIGN AND IMPLEMENTATION: 2-4-MIB3C

An experimental prototype has been designed and implemented in our laboratory facilities to validate the proposed concepts. The number of phases, 2, and the number of HB legs, 4, has been selected taking into account several considerations:

- 1) reduced number of parts: inductors, current sensors, A/D converters, power semiconductors and drivers.
- 2) capability to evaluate different HBs configurations: 1, 2 or 4 HBs per phase offers different possibilities to evaluate losses distribution and converter operation after HB failure or disconnection.
- 3) Optimized electrical sizing, power, voltage and current per phase and HB, considering laboratory limitations in terms of test equipment.

Despite there exists several options of programmable digital technologies, the demanding requirements like high number of paralleled outputs, fine time resolution to create dead-times and accurate signal shifting suggests the use of a FPGA based control system. In our case the DLP-HS-FPGA3, a low cost prototyping board, based on Xilinx Spartan™ 3A has been used. Based on the XC3S1400A device, it provides a compact solution to be inserted into the A/D board which includes amplifiers, anti-aliasing filters and serial 12-bit, 3Msps ADCs. Low voltage, low current prototype, 150V, 10A is an experimental constraint due to power supply availability in our laboratory, LAMDBA GEN150-10. Due to this fact, and considering that IGBT is the main potential candidate for the MIB3C, 300V IGBTs have been selected as power switches. Fairchild FGH50N3 IGBTs, with low saturation voltage  $V_{CE(on)} = 1.4V$  and low  $E_{off} =$

6.6uJ/A, have been used. Further, fast rectifier diodes, VS-30CTH03 from Vishay Semiconductors, with  $V_R = 300V$ ,  $V_F = 0.85V$  and  $t_{rr} = 40ns$  have been employed as freewheeling diodes.

Main prototype parameters and relevant part references are listed in table 1; picture of the prototype is also represented in figure 11.

| <b>Parameter</b>           | <b>Value</b>           |
|----------------------------|------------------------|
| Inductance (L)             | 50uH                   |
| Bulk capacitance (C1 & C2) | 2200uF                 |
| Magnetic core material     | Magnetics / MPP        |
| Switching frequency (f)    | 12.2 kHz               |
| IGBT                       | Fairchild / FGH50N3    |
| Freewheeling diode         | Vishay / VS-30CTH03PBF |
| IGBT drivers               | CONCEPT / IHD660       |
| Current sensor             | LEM / LA55P            |
| Isolation amplifier        | ISO122P                |
| Sensing opamp              | LT1498                 |
| ADC                        | LT1407                 |

Table 1. Main prototype parameters and relevant parts.

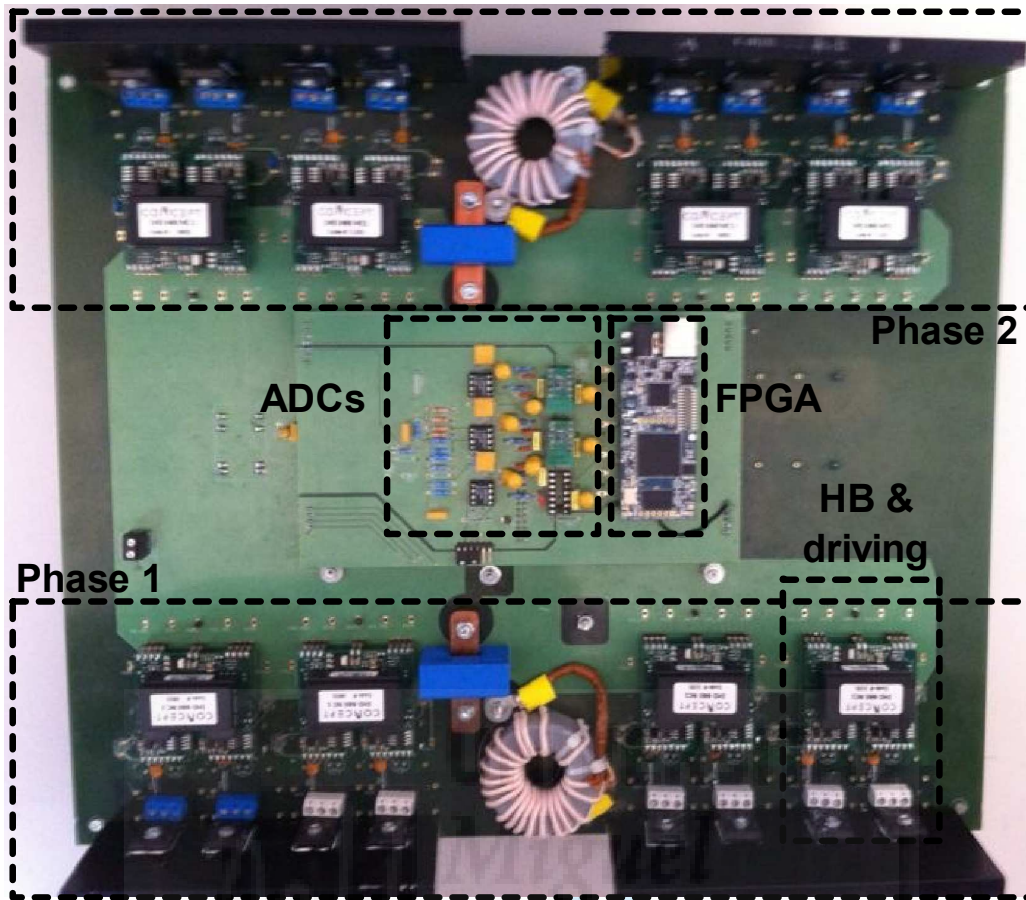


Figure 11. Photograph of the 2-4-MIB3C prototype.

MATLAB/SIMULINK and HDL-coder have been used for the control subsystem implementation. The digital PWM includes two independent 13-bit counters, the phase 1 counter goes from 0 to  $2^{13}-1$  and the phase 2 counter goes from  $2^{10}$  to  $2^{13}-1$ , producing, as defined in (19), a phase shift of  $360^\circ/2^3$ . In addition, duty signal, following (21), has been set to 11-bit while counter frequency is 100MHz to obtain 10ns of duty time resolution and 12.2 kHz of switching frequency. Several values have been used as dead-time constants,  $\tau_x$ , to observe soft-switching operation and maximise converter efficiency. 500ns, 1us and 2us dead-times have been tested. Regarding the digital control subsystem, ADC data is truncated from 14 bits to 11 bits and 16-samples FIR average moving

filter has been implemented to obtain the mean value of inductor current as well as the mean values of high (V1) and low (V2) voltages. ADC frequency has been set to 781.25kHz, sixteen times the inductor frequency. Digital PI compensators for current and voltage loops have been designed using MATLAB tools. Current compensators have been designed to have a crossover frequency of 3 kHz and a phase margin of 90 degrees in buck operation mode and 2 kHz and 90 degrees for boost mode (27). Voltage compensators perform a crossover frequency of 200 Hz and a phase margin of 90 degrees for buck mode and 100 Hz and 90 degrees for boost mode (28). Finally, FPGA proposed control circuit requires an area of 3801 LUTs (16% of total area).

$$C_{i/buck}(z) = 20.9859 \frac{1 - 0.999504429z^{-1}}{1 - z^{-1}} \quad (27)$$

$$C_{i/boost}(z) = 0.0874 \frac{1 - 0.97597254z^{-1}}{1 - z^{-1}}$$

$$C_{v/buck}(z) = 0.0784 \frac{1 - 0.982142857z^{-1}}{1 - z^{-1}} \quad (28)$$

$$C_{v/boost}(z) = 12.2412 \frac{1 - 0.999885638z^{-1}}{1 - z^{-1}}$$

## V. EXPERIMENTAL VALIDATION

With the purpose of verifying the most relevant aspects of the proposed topology, different tests are detailed in this section. The following equipment has been employed for measurements: DC power supply Lambda GEN150-10 (150V-10A), Tektronix DPO4034 oscilloscope, Tektronix MDO3104 oscilloscope, voltage differential probe Tektronix P5205, Tektronix TCP312 current probe and TCPA300 amplifier, Omicron Bode-100 vector network analyser, Yokogawa WT3000 power analyser, Agilent DC electronic load N3300A and Fluke VT104 visual IR thermometer.

### A. Steady-state and transient response

Steady state currents L1, L2 and current of the V2 node, are shown in figure 12 and different conclusions could be obtained from it. First, and the most obvious is that inductor frequency is four times the switching frequency and V2 current eight times higher, being a consequence of using distributed driving sequence for each HB and phase interleaving. Second, although inductor current goes below zero amperes, net current flow at the V2 node is positive, indicating that average power flows from V1 to V2, i.e. operates in buck mode. Finally, bipolar current is required to achieve soft-switching transitions of all power semiconductors.

1  
2  
3  
4  
5  
6  
7  
8  
9  
10  
11  
12  
13  
14  
15  
16  
17  
18  
19  
20  
21  
22  
23  
24  
25  
26  
27  
28  
29  
30  
31  
32  
33  
34  
35  
36  
37  
38  
39  
40  
41  
42  
43  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60

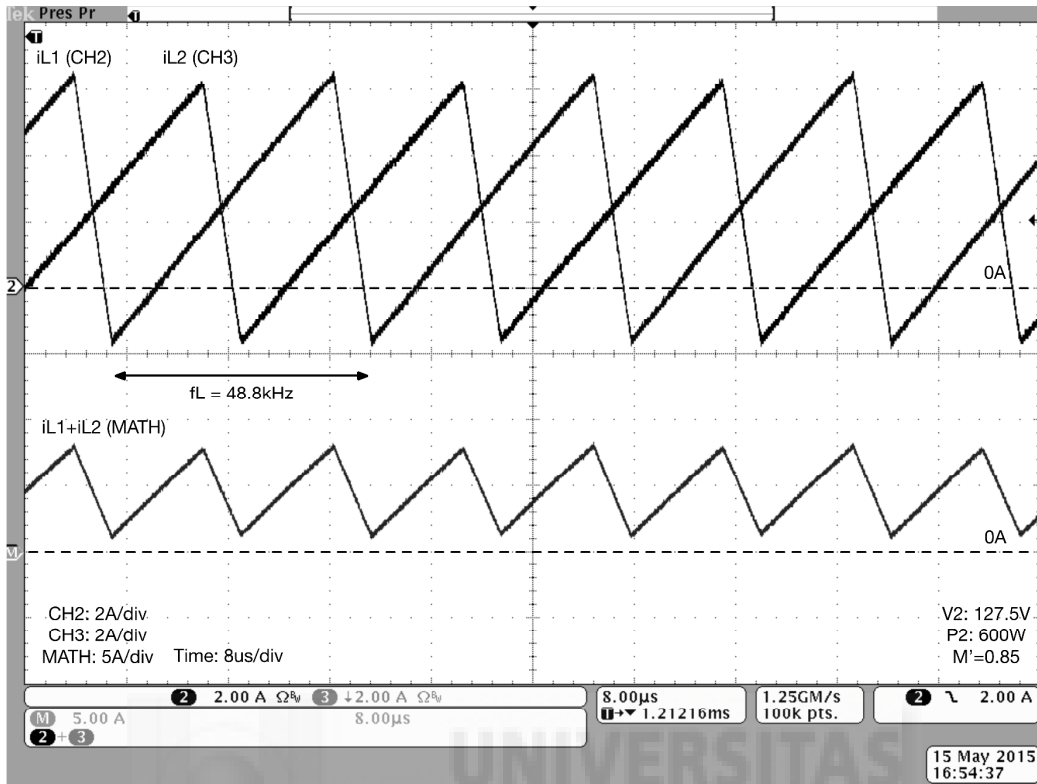
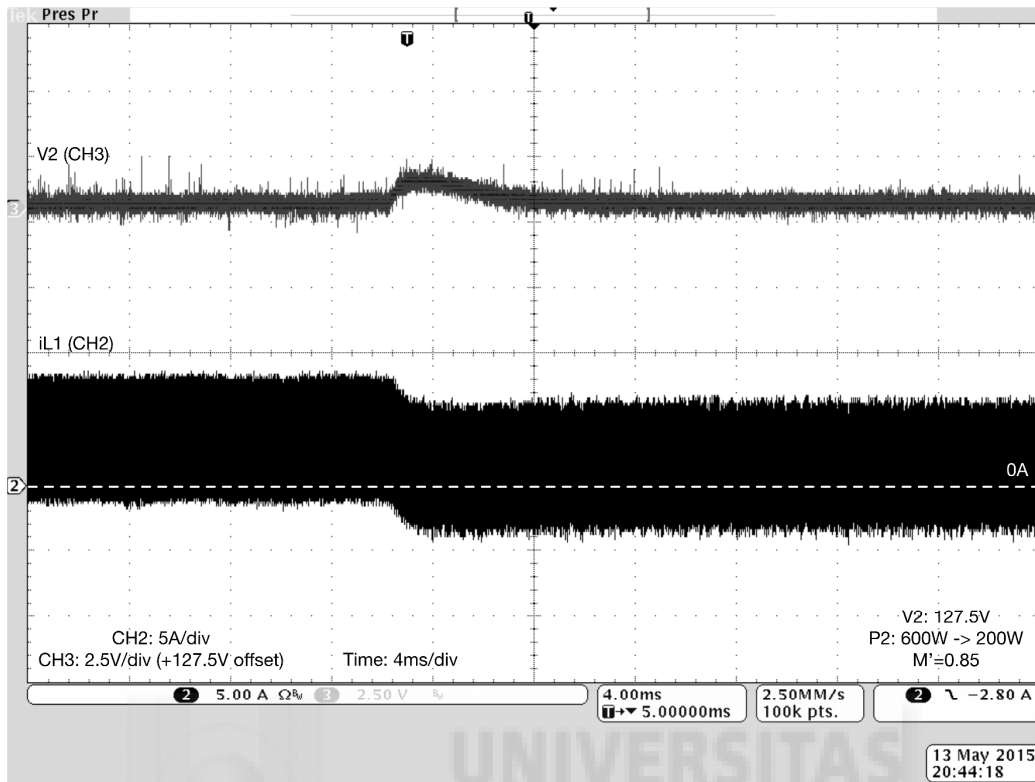


Figure 12. L1 and L2 currents and V2 node current in steady-state.

Voltage regulation and transient response of the converter is shown in figure 13. It can be noted that V2 requires 5ms to recover from an approximate 3A negative step load, in terms of power, from 600W to 200W in this particular case. First order transient response is achieved due to the conservative design criteria selected, considering large phase margins for inner and outer control loops.



**Figure 13. Negative step load transient response in buck mode. P2 from 600W to 200W, V2=127.5V and M'=0.85.**

## B. Soft-switching

Soft-switching transitions of the proposed converter are represented in figures 14 and 15, respectively. Figure 14 shows the complete turn-on and turn-off of a single high-side IGBT, including zoomed parts of the switching intervals. Measurement has been performed in the following conditions: 6A IL max, -4A IL min, 1 $\mu$ s dead-time, 75V high side voltage (V1) and without additional snubber capacitance. It is worth to note that non-negligible parasitic capacitances (IGBT, PCB layout and connectors) are present in the prototype. One may realise that the IGBT turn-on occurs at ZV conditions, since it starts to conduct after high-side diode turns-off. The IGBT turn-off also occurs in ZV conditions, where

1  
2  
3  
4  
5  
6  
7  
8  
9  
10  
11  
12  
13  
14  
15  
16  
17  
18  
19  
20  
21  
22  
23  
24  
25  
26  
27  
28  
29  
30  
31  
32  
33  
34  
35  
36  
37  
38  
39  
40  
41  
42  
43  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60

IGBT current goes first to zero and then, the CE voltage increases until finally clamps at  $V_1$ . It is also interesting to observe that diode turn-on has impact on the IGBT switching process, left part of the figure 14; in any case, it also takes place under soft-switching conditions.

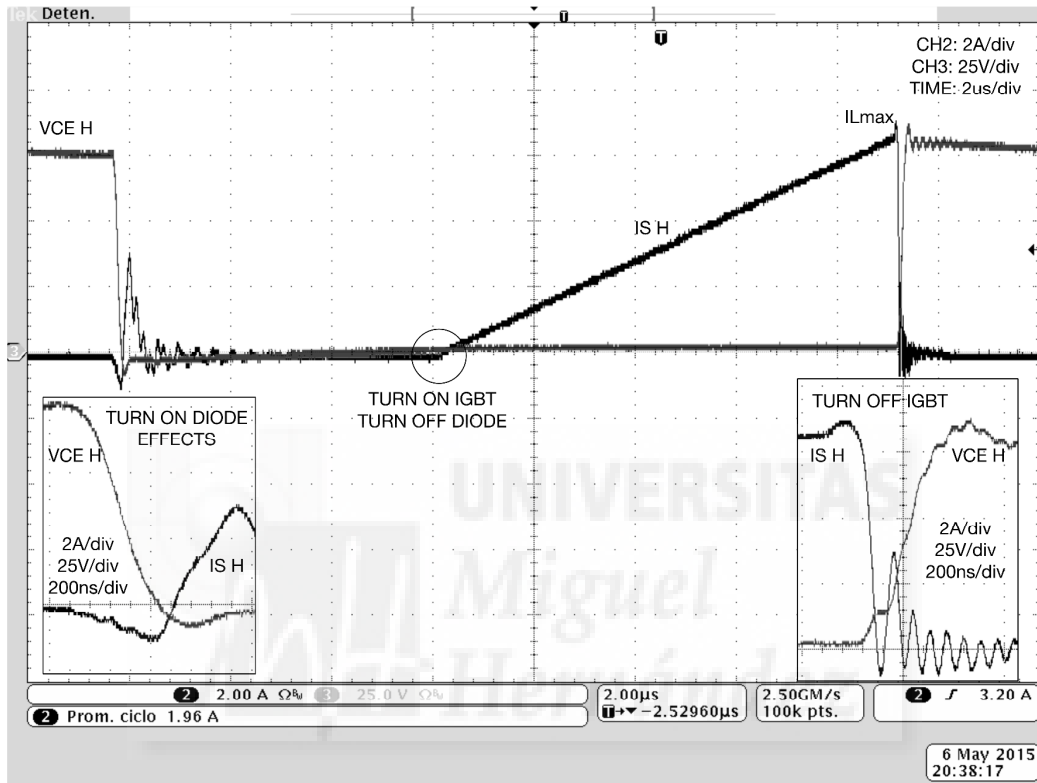


Figure 14. Soft-switching detail of high-side IGBT.

Similarly, high-side diode soft-switching transition is shown in figure 15. Diode turn-off naturally happens at ZV conditions, after the inductor current changes from negative to positive. Diode turn-on occurs once voltage reaches zero volts.



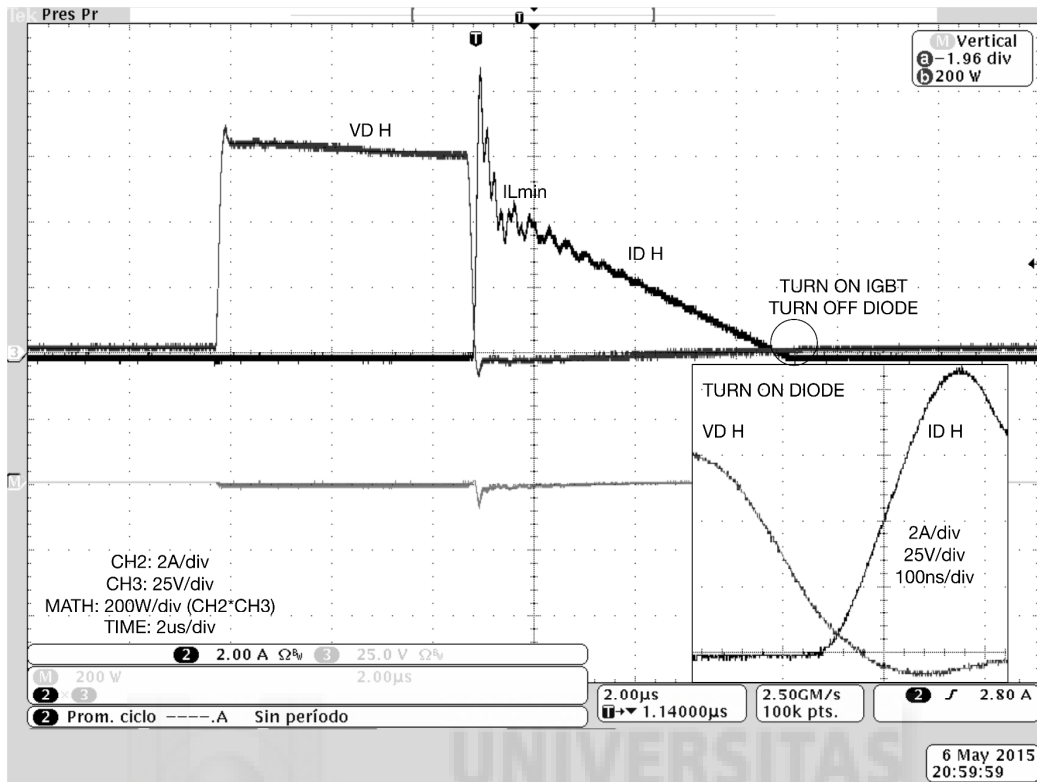


Figure 15. Soft-switching detail of high-side diode.

C. PWM reconfiguration

Next, measurements regarding to hot PWM reconfiguration at phase level are presented. Two different situations have been captured in two oscilloscope screenshots. As discussed previously, in case of failures or forced disconnections of a single or various HB legs, the main idea is to modify the switching frequency to maintain the same inductor frequency in all modules and keep same phase displacement. In such a case, converter performance is not degraded and the same static and dynamic characteristics are kept. Obviously, distribution of power losses is modified in that case.

1  
2  
3  
4  
5  
6  
7  
8  
9  
10  
11  
12  
13  
14  
15  
16  
17  
18  
19  
20  
21  
22  
23  
24  
25  
26  
27  
28  
29  
30  
31  
32  
33  
34  
35  
36  
37  
38  
39  
40  
41  
42  
43  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60

Figure 16 represents the four control signals of a single module, working in buck mode and  $M'=0.6$ . On the left side of the oscilloscope screenshot, the four driving signals are switching at 12.2kHz and they are properly displaced over each other to obtain higher inductor frequency. At some moment, the driving signal 2 is turned-off when it was in high level, so the remaining on-time signal is transferred to channel 4 and the switching frequency changes to 16.27kHz.

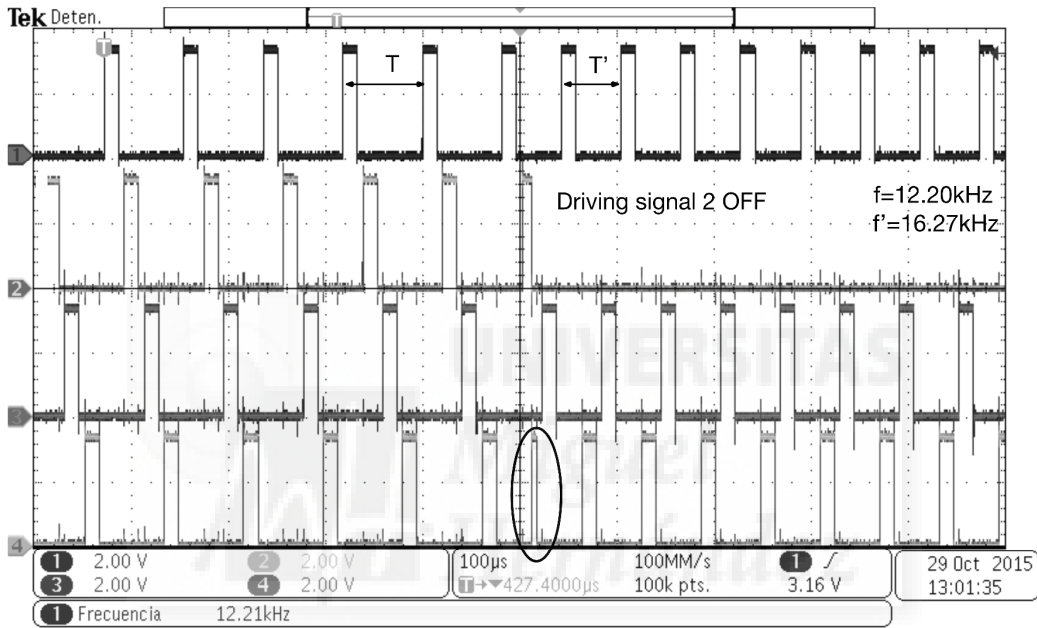
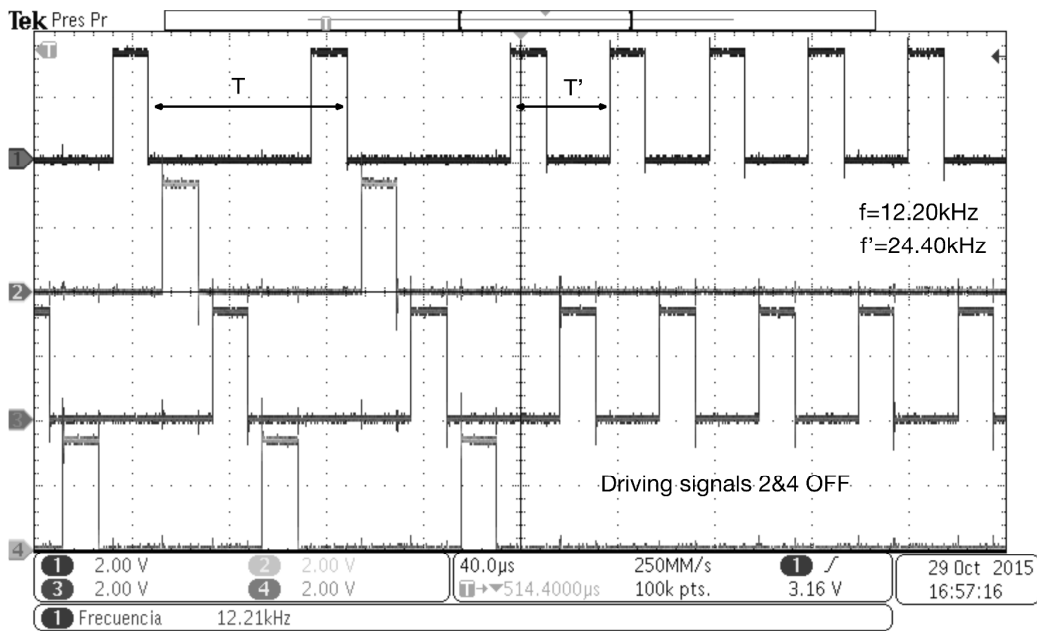


Figure 16. PWM reconfiguration: from 4 to 3 driving signals when HB disconnection occurs during on-time.

Another scenario of PWM reconfiguration is shown in figure 17, where two driving signals are turned-off simultaneously but it happens during off-time in both channels, so only frequency adjustment is necessary.



**Figure 17. PWM reconfiguration: from 4 to 2 driving signals when both HB disconnection occurs during off-time.**

#### D. Losses distribution

Making use of the PWM reconfiguration capabilities, several options with different number of HB have been tested. The temperature measurement of the high-side and low-side transistors of a single HB leg, maintaining the same inductor frequency in all cases, is interesting to observe how power losses are distributed along the different power devices and consequent temperature rise. Temperature measurements have been carried out using a visual IR thermometer Fluke VT104, after 5 min of operation and always measuring the same device and trying to replicate same measurement conditions, DC voltage, load power and measurement position. Converter operating conditions were boost operation mode,  $V_2=75\text{V}$ ,  $V_1=100\text{V}$ ,  $I_1=4\text{A}$  and  $P_1=400\text{W}$ . It is obvious that precise thermal characterization requires an improved experimental set-up,

1  
2  
3 but those measurements give a first taste of what is happening. As it expected,  
4 values from table 2 indicate that device temperature decreases with the number  
5 of active HBs but also it can be observed that high-side and low-side device  
6 temperatures tend to equilibrate when the number of active HBs increases.  
7  
8  
9  
10  
11  
12  
13

|                                  |        |        |        |        |
|----------------------------------|--------|--------|--------|--------|
| Number of paralleled devices (m) | 1      | 2      | 3      | 4      |
| Temperature IGBT L               | 43.5°C | 35.9°C | 35.6°C | 33.7°C |
| Temperature IGBT H               | 40.0°C | 37.7°C | 35.3°C | 33.7°C |

14  
15  
16  
17  
18  
19  
20  
21  
22 **Table 2. HB temperature distribution for different *m* configurations.**  
23

24  
25  
26 **E. Efficiency**  
27

28  
29  
30 To conclude this section, some efficiency measurements are reported. As  
31 treated in previous sections, efficiency will be influenced by inductor losses and  
32 device conduction and switching losses, depending the latter on different  
33 parameters like  $V_1$  voltage, snubber capacitance, maximum and minimum  
34 inductor current and dead-time. Although many efficiency measurements, using  
35 Yokogawa WT3000 have been carried out, only two representative cases are  
36 included in this work, figure 18 represents efficiency of the converter in the  
37 following conditions: buck mode, dead-time=2us,  $V_1=150V$  and  $M'=0,75$ . On the  
38 other hand, figure 19 shows converter efficiency in the following conditions:  
39 boost mode, dead-time=2us,  $V_2=120V$  and  $M=0.25$ . As it can be observed,  
40 minimum efficiency is close to 90% in boost mode at very low current and  
41 reaches peaks around 98% in both modes at higher power. It is also observed  
42 that higher snubber capacitance values tend to reduce efficiency because slow  
43  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60

down switching process, being 4.7nF a maximum value for this particular prototype. Dead time is also large enough to have time to full charge and discharge parasitic capacitances during switching process.

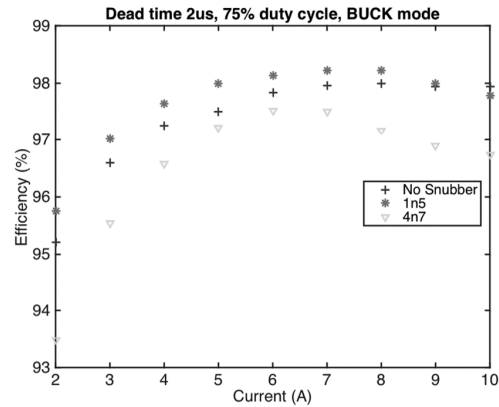


Figure 18. Efficiency measurements: buck mode, V1=150V, M'=0.75, dead-time=2us

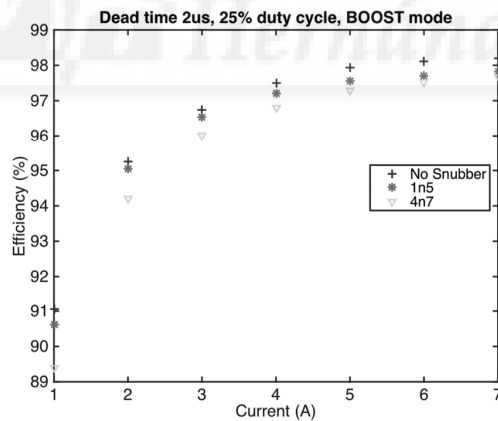


Figure 19. Efficiency measurements: boost mode, V1=120V, M=0.25, dead-time=2us

## V. Conclusions

This paper describes a bidirectional, interleaved, multiphase, multidevice, soft-switching, FPGA controlled, buck-boost converter with real-time PWM reconfiguration capabilities, named MIB3C. An experimental validation using of scaled-down prototype of 2-phases, 4-legs and 1.5kW has also been reported.

The main benefits of this proposed structure are summarized as follows:

- 1) Multi-device approach using Distributed Driving Scheme allows independent switching and inductor frequency, adding a new degree of freedom to optimize different relevant power conversion aspects, like and inductor and power device losses, inductor ripple or frequency at switching node for EMI filters. Distributed Driving Scheme is also relevant for non-parallelizable power devices since it becomes a way to increase power capabilities and it is well suited for IGBTs.
- 2) Combination of multi-device and multi-phase also impacts on the current ripple and frequency in high and low voltage nodes, V1 and V2 respectively. As discussed in the paper, lower current ripple could be achieved at the low-voltage node using less number of phases but increasing the number of HBs per phase and maintaining same switching frequency. This is of great importance for filter sizing purposes and in very low current ripple applications.
- 3) Redundancy is also increased at the module level with reconfigurable PWM scheme, covering not only HB failure but also the possibility to hot reconfiguration for other control purposes, like overtemperature control.

- 1
- 2
- 3 4) Bidirectional capabilities allow not only reversible power flow but also
- 4 zero-voltage switching of all power semiconductors, maximizing
- 5 converter efficiency.
- 6
- 7
- 8
- 9
- 10 5) Digital FPGA control loop and PWM generator provides a versatile, high
- 11 reconfigurable, very precise, high noise and drift immunity and very
- 12 parallelizable at hardware level to achieve a large number of controlled
- 13 outputs.
- 14
- 15
- 16
- 17

18 Overall, the proposed converter and control technique is an interesting  
19 approach for medium or high power DC/DC converters in fields like fuel cell or  
20 battery conditioning systems.  
21  
22  
23  
24



**REFERENCES**

- [1] A. Emadi, Y. J. Lee, K. Rajashekara, "Power electronics and motor drives in electric, hybrid electric, and plug-in hybrid electric vehicles," *IEEE Trans. Ind. Electron.*, vol. 55, no. 6, pp. 2237-2245, Jun. 2008
- [2] A. Capel, D. O'Sullivan, J. C. Marpinard, "High-power conditioning for space applications," *Proc. IEEE*, vol. 76, no. 4, pp. 391-408, Apr. 1988
- [3] A. Emadi, M. Ehsani, "Aircraft power systems: technology, state of the art and future trends," *IEEE Aerosp. Electron. Syst. Mag.*, vol. 15, no. 1, pp. 28-32, Jan. 2000.
- [4] T. M. Jhans, V. Blasko, "Recent advances in power electronics technology for industrial and traction machine drives," *Proc. IEEE*, vol. 89, no. 6, pp. 963-975, Jun. 2001.
- [5] R. M. Schupbach, J. C. Balda, "Comparing DC-DC converters for power management in hybrid electric vehicles," in *Proc. IEEE International Electric Machines and Drives Conf.*, Madison, Wisconsin, USA, Jun. 1-3, 2003, pp. 1369-1374.
- [6] C. Yoon, J. Kim, S. Choi, "Multi-phase dc-dc converter using a boost-half-bridge cell for high-voltage and high power applications," *IEEE Trans. Power Electron.*, vol. 26, no. 2, pp. 381-388, Feb 2011.
- [7] S. Dusmez, A. Hasanzadeh, A. Khaligh, "Comparative analysis of bidirectional three-level dc-dc converters for automotive applications," *IEEE Trans. Ind. Electron.*, vol. 62, no. 5, pp. 3305-3315, May 2015
- [8] H. Wu, T. Mu, H. Ge, Y. Xing, "Full-range soft-switching isolated buck-boost converters with integrated interleaved boost converter and phase-shifted control," *IEEE Trans. Power Electron.*, vol. 31, no. 2, pp. 987-999, Feb 2016.
- [9] O. García, P. Zumel, A. Castro, J. A. Cobos, "Automotive DC-DC bidirectional converter made with many interleaved buck stages," *IEEE Trans. Power Electron.*, vol. 21, no. 3, pp. 578-586, May 2006.
- [10] J. Zhang, J. S. Lai, R. Y. Kim, W. Yu, "High-power density design of a soft-switching high-power bidirectional dc-dc converter," *IEEE Trans. Power Electron.*, vol. 22, no. 4, pp. 1145-1153, Jul. 2007.



- 1  
2  
3 [11] W. Yu, H. Qian, J. S. Lai, "Design of high-efficiency bidirectional dc-dc converter and high-  
4 precision efficiency measurement," *IEEE Trans. Power Electron.*, vol. 25, no. 3, pp. 650-658,  
5 Mar. 2010.  
6  
7  
8 [12] J. M. Blanes, R. Gutiérrez, A. Garrigós, J. L. Lizán, J. Martínez, "Electric vehicle battery life  
9 extensión using ultracapacitors and an FPGA controlled interleaved buck-boost converter,"  
10 *IEEE Trans. Power Electron.*, vol. 28, no. 12, pp. 5940-5948, Dec. 2013.  
11 power train  
12  
13 [13] M. Pavlosky, G. Guidi, A. Kawamura, "Assesment of coupled and independent phase  
14 designs of interleaved multiphase buck/boost dc-dc converter for EV," *IEEE Trans. Power*  
15 *Electron.*, vol. 29, no. 6, pp. 2693-2704, Jun. 2014.  
16  
17 [14] H. Wang, F. Wang, "Power MOSFETs paralleling operation for high power high density  
18 converters," in *Proc. IEEE Industry Applications Conf.*, Tampa, Florida, USA, Oct. 8-12, 2006,  
19 pp. 2284-2289.  
20  
21 [15] Y. J. Lee, A. Emadi, "Phase shift switching scheme for DC/DC boost converter with  
22 switches in parallel," in *Proc. IEEE Vehicle Power and Propulsion Conf.*, Harbin, China, Sep. 3-  
23 5, 2008.  
24  
25 [16] O. Hegazy, J. Van Mierlo, P. Lataire, "Analysis, modeling, and implementation of a  
26 multidevice interleaved DC/DC converter for fuel cell hybrid electric vehicles," *IEEE Trans.*  
27 *Power Electron.*, vol. 27, no. 11, pp. 4445-4458, Nov. 2012.  
28  
29 [17] O. Hegazy, R. Barrero, J. Van Mierlo, P. Lataire, N. Omar, T. Coosemans, "An advanced  
30 power electronics interface for electric vehicles applications," *IEEE Trans. Power Electron.*, vol.  
31 28, no. 12, pp. 5508-5521, Nov. 2013.  
32  
33 [18] M. Kasper, D. Bortis, J. W. Kolar, "Scaling and balancing of multi-cell converters," *Power*  
34 *Electronics Conference (IPEC-ECCE-ASIA 2014), IEEE International*, pp.2079-2086, May. 18-  
35 21 2014.  
36  
37 [19] C. Chang, M. A. Knights, "Interleaving technique in distributed power conversion systems,"  
38 *IEEE Trans. Circuits Systems-I Fundam Theory Appl*, vol. 42, no. 5, pp. 245-251, May 1995.  
39  
40 [20] -, "Using the TPS40090EVM-001," *Texas Instruments User Guide*, 2003.  
41  
42 [21] P. D. Antoszcuk, R. Garcia, N. Wassinger, S. Maestri, M. Funes, M. Benedetti,  
43 "Characterization of steady-state current ripple in interleaved power converters under  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60

1  
2  
3 inductance mismatches," *IEEE Trans. Power Electron.*, vol. 29, no. 4, pp. 1840-1849, Apr.  
4 2014.

5  
6 [22] V. Vorperian, "Simplified analysis of PWM converters using model of PWM switch," *IEEE*  
7 *Trans. Aerosp. Electron. Syst.*, vol. 26, no. 3, pp. 490-497, May 1990.

8  
9 [23] G. Garcerá, M. Pascual, E. Figueres, "Robust average current-mode control of multimodule  
10 parallel DC-DC PWM converter systems with improved dynamic response," *IEEE Trans. Ind.*  
11 *Electron.*, vol. 48, no. 5, pp. 995-1005, Oct. 2001.

12  
13 [24] G. Zhou, J. Xu, "Digital average current controlled switching dc-dc converters with single-  
14 edge modulation," *IEEE Trans. Power Electron.*, vol. 25, no. 3, pp. 786-793, Mar. 2010.

15  
16 [25] K. I. Hwu, Y. H. Chen, "Current sharing control strategy based on phase link," *IEEE Trans.*  
17 *Ind. Electron.*, vol. 59, no. 2, pp. 701-713, Feb. 2012.

18  
19 [26] P. D. Antoszcuk, R. Garcia, M. Funes, D. Carrica, "Optimized implementation of a current  
20 control algorithm for multiphase interleaved power converters," *IEEE Trans. Ind. Informat.*, vol.  
21 10, no. 4, pp. 2224-2232, Nov. 2014.

# A generic FPGA based PWM generator with automatic device fault recovery for fuel cell, interleaved, multi-phase and multi-switch DC/DC boost converters

F. Sobrino-Manzanares<sup>1\*</sup>, A. Garrigós<sup>1</sup>

<sup>1</sup>Industrial Electronics Group, University Miguel Hernandez, UMH, Spain

(\*) fernando.sobrino-manzanares@graduado.umh.es

Step-up voltage DC/DC converters have been extensively used as fuel cell front-end power conditioners. From the existing options, the interleaved multi-device, multi-phase DC/DC converter, please refer to figure 1, have gained attention because of their improved power handling capabilities, better thermal management, smaller magnetic devices, higher reliability level and redundancy [1-3]. Besides, the introduction of reconfigurable digital electronics, like FPGA devices, has opened new possibilities. Enhanced control, complex protection schemes or advanced monitoring capabilities are few examples where digital devices take advantage against other approaches. In this work, an FPGA PWM generator is proposed for multi-devices and multi-phase fuel cell boost converters.

## Interleaved, multi-device, multi-phase FPGA-PWM generator

One critical aspect of the interleaved multi-device, multi-phase DC/DC converter is the PWM generation subsystem. The two-dimensional interleaving structure increases input and output frequency at the expense of having tight synchronization of all driving signals, including dead-times of half-bridge power semiconductors. As an example, the 2-phase, 4-device converter represented in figure 1 will have the following driving sequence for low side transistors [Q5, Q13, Q6, Q14, Q7, Q15, Q8 and Q16]. Further, one interesting feature of this converter is the ability to manage device failures (up to 3) without reducing power handling and performance. For instance, if Q3 fails to open, then, Q3-Q7 half-bridge is disconnected and duty-cycle and switching frequency are properly adjusted for the remaining three half-bridge legs of this phase. Short-circuit failures will require additional half-bridge fuse protection to isolate the failure from the other legs in the same phase.

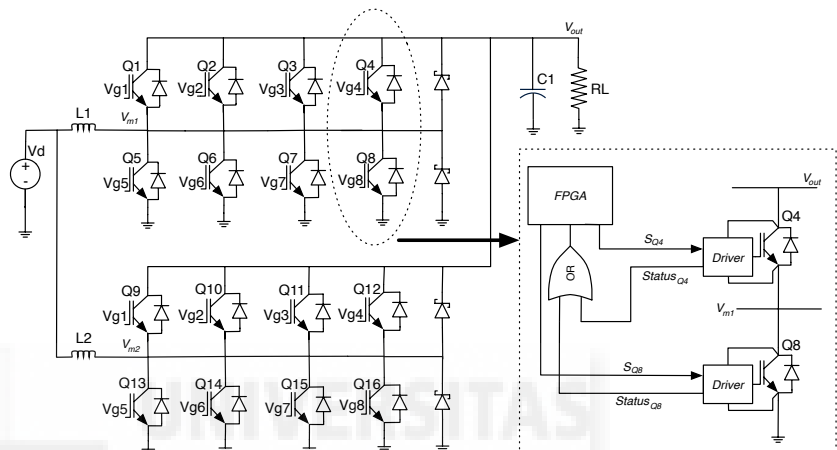


Figure 1. 2-phase, 4-device DC/DC converter with FPGA PWM generator and automatic device fault recovery.

Advanced PWM generator has been implemented using MATLAB-SIMULINK and HDL coder for the 2-phase, 4-device DC/DC converter, please refer to figure 3. As an example, some results are shown in figure 2, where Q3 fails, then switching frequency and duty cycle automatically change to keep the same inductor frequency and voltage ratio.

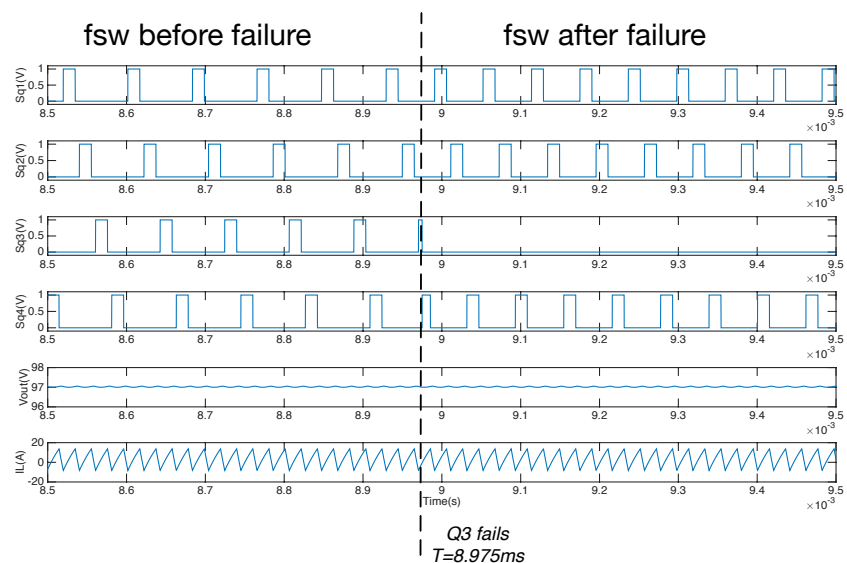


Figure 2. 2-phase, 4-device DC/DC converter simulation with Q3 failure.

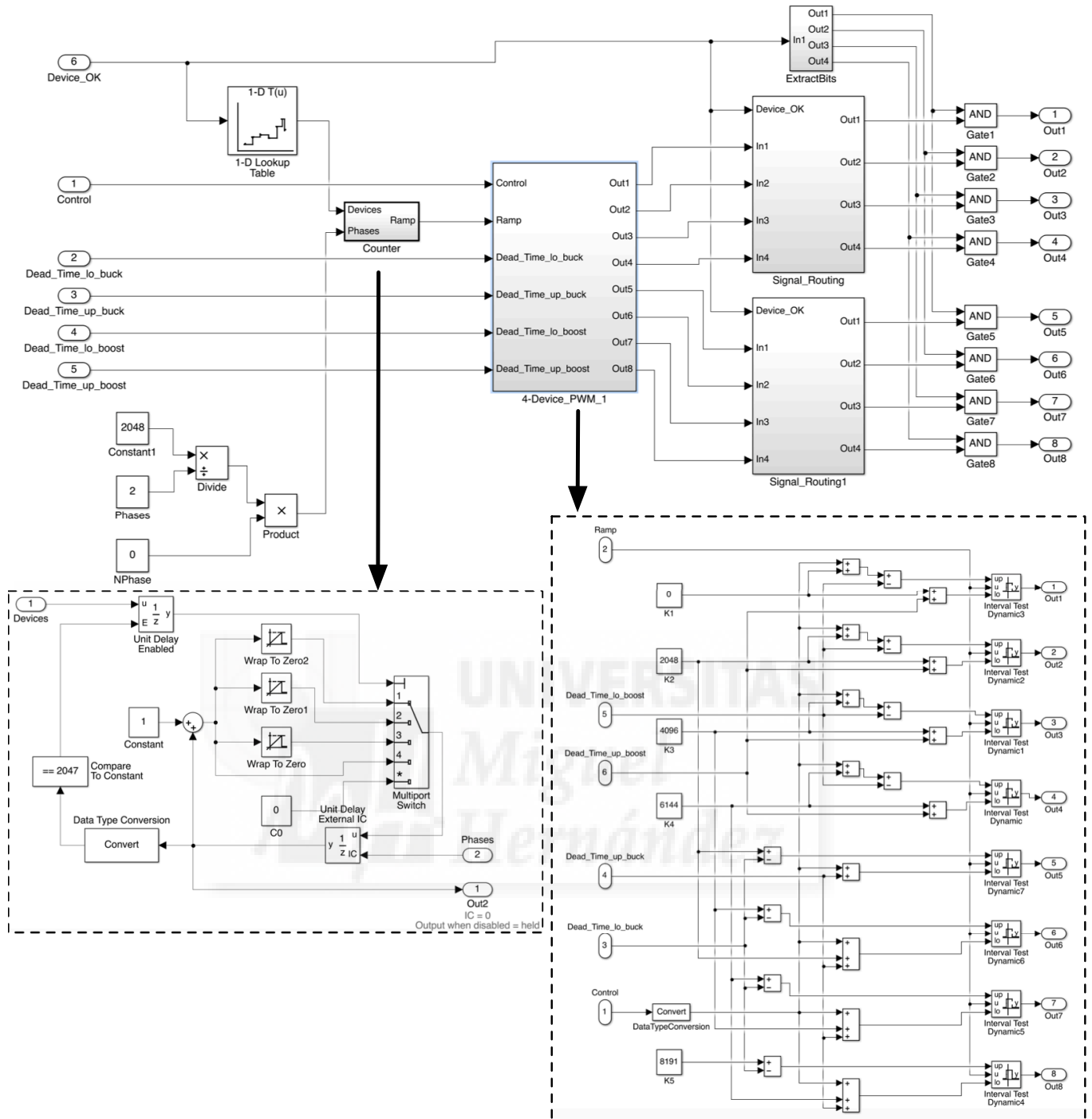


Figure 3. MATLAB-SIMULINK PWM block diagram of one phase of the 2-phase, 4-device DC/DC converter.

## Conclusions

In [3] a generic FPGA based PWM subsystem is already working for multi-device and multi-phase DC/DC converters. Additionally, in this abstract, device fault recovery scheme with automatic adjustment of duty cycle and switching frequency is added to improve reliability without penalizing converter performance.

## References

- [1] O. Hegazy, J. Van Mierlo, P. Lataire, IEEE Trans Power Electron. **27** (11) (2012) 4445-4458.
- [2] A. Garrigós, F. Sobrino-Manzanares, Int. J. Hydrogen Energ. **40** (36) (2015) 8419-8432.
- [3] F. Sobrino-Manzanares, A. Garrigós, Int. J. Hydrogen Energ. **40** (36) (2015) 12447-12456.

# Referencias

---

- [1] P. Spies, L. Mateu, M. Pollak, *Energy Harvesting Power Supplies and Applications*. Boca Raton, FL: CRC Press, 2013.
- [2] C. K. Kim, V. K. Sood, G. S. Jang, S. J. Lim, S. J. Lee, *HVDC Transmission: Power Conversion Applications in Power Systems*. Singapur: John Wiley & Sons – IEEE press, 2009.
- [3] M. Ehsani, Y. Gao, S. E. Gay, A. Emadi, *Modern Electric, Hybrid Electric, and Fuel Cells Vehicles: Fundamentals, Theory, and Design*. Boca Raton, FL: CRC Press, 2005.
- [4] A. Emadi, S. S. Williamson and A. Khaligh, "Power electronics intensive solutions for advanced electric, hybrid electric, and fuel cell vehicular power systems," *IEEE Transactions on Power Electronics*, vol. 21, pp. 567-577, May 2006.
- [5] A. Nasiri, Z. Nie, S. B. Bekiarov, A. Emadi, "An on-line UPS system with power factor correction and electric isolation using BIFRED converter," *IEEE Transactions on Industrial Electronics*, vol. 55, pp. 722-730, Feb. 2008.
- [6] L. Schulch, C. Rech, H. L. Hey, H. A. Gründling, H. Pinheiro, J. R. Pinheiro, "Analysis and design of a new high-efficiency bidirectional integrated ZVT PWM converter for DC-Bus and battery-bank Interface," *IEEE Transactions on Industry Applications*, vol. 42, pp. 1321-1332, Sep-Oct. 2006.
- [7] M. R. Patel, *Spacecraft power systems*, Boca Raton, FL: CRC Press 2005.
- [8] A. Capel, D. O'Sullivan, J. C. Marpinard, "High-power conditioning for space applications," *Proceedings of the IEEE*, vol. 76, pp. 391-408, Apr. 1988.
- [9] E. Sanchis-Kilders, E. Maset, A. Ferreres, J. B. Ejea, V. Esteve, J. Jordán, J. Calvente, A. Garrigós, J. M. Blanes "Bidirectional high –efficiency nonisolated step-up battery regulator," *IEEE Transactions on Aerospace and Electronic Systems*, vol. 47, pp. 2230-2238, Jul. 2011.
- [10] A. Garrigós, J. M. Blanes, J. A Carrasco, A. Weinberg, G. Caballero, A. Soto, "Maximum power point tracking for GEO telecommunication satellites," in *8th European Space Power Conference (ESPC)*, 2008.

- [11] J. M. Blanes, A. Garrigós, J. A. Carrasco, A. H. Weinberg, J. B. Ejea, E. Sanchis, A. Ferreres, E. Maset, A. Soto, F. De la Cruz, "Sequential Switching Shunt Maximum Power Point Regulator (S3MPPR)," in *9th European Space Power Conference (ESPC)*, 2011.
- [12] J. M. Blanes, R. Gutierrez, A. Garrigós, J. L. Lizan, J. Martinez, "Electric vehicle battery life extension using ultracapacitors and an FPGA controlled interleaved Buck-Boost converter," *IEEE Transactions on Power Electronics*, vol. 28, pp 5940-5948, Dec. 2013.
- [13] A. Garrigós, J. M. Blanes, J. Rubiato, E. Ávila, C. G. García, J. L. Lizán, "Direct coupling photovoltaic power regulator for stand-alone power systems with hydrogen generation," *International Journal of Hydrogen Energy*, vol. 35, pp. 10127-10137, Oct. 2010.
- [14] A. Garrigós, J. M. Blanes, J. L. Lizán, "Non-isolated multiphase boost converter for a fuel cell with battery backup power system," *International Journal of Hydrogen Energy*, vol. 36, pp. 6259-6268, May 2011.
- [15] J. Yao, A. Abramovitz, K. M. Smedley, "Steep-gain bidirectional converter with regenerative snubber," *IEEE Transactions on Power Electronics*, vol. 30, pp 6845-6856, Dec. 2015.
- [16] F. Caricchi, F. Crescimbeni, F. G. Capponi, L. Solero, "Study of bi-directional buck-boost converter topologies for application in electrical vehicle motor drives," in *13th IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp 287-293, 1998.
- [17] B. Sahu, G. A. Rincón-Mora, "A low voltage, dynamic, noninverting synchronous buck-boost converter for portable applications," *IEEE Transactions on Power Electronics*, vol. 19, pp 443-452, Mar. 2004.
- [18] S. Waffler, J. Kolar, "A novel low-loss modulation strategy for high-power bidirectional buck + boost converters," *IEEE Transactions on Power Electronics*, vol. 24, pp 1589-1599, Jun. 2009.
- [19] O. García, P. Zumel, A. de Castro, J. A. Cobos, "Automotive DC-DC bidirectional converter made with many interleaved buck stages," *IEEE Transactions on Power Electronics*, vol. 21, pp 578-586, Mar. 2006.
- [20] X. Yu, P. Yeaman, "Temperature-related MOSFET Power Loss Modeling and Optimization for DC-DC Converter", in *28th IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp 2788-2792, 2013.
- [21] A. Consoli, F. Gennaro, A. Testa, G. Consentino, F. Frisina, R. Letor, A. Magri, "Thermal instability of low voltage power MOSFET's," *IEEE Transactions on Power Electronics*, vol. 15, pp 575-581, May 2000.
- [22] D. Dibra, M. Stecher, A. Lindemann, J. Lutz, C. Kadow, "On the origin of thermal runaway in trench power MOSFET," *IEEE Transactions on Electron Devices*, vol. 58, pp 3477-3484, Oct. 2011.

- [23] H. Wang, F. Wang, "Power MOSFETs paralleling operation for high power high density converters," in *41st IEEE Industry Applications Conference (IAS)*, pp. 2284-2289, 2006.
- [24] J. J. Nelson, G. Venkataramanan, B. C. Beihoff, "Investigation of parallel operation of IGBTs," in *37th IEEE Industry Applications Conference (IAS)*, pp. 2585-2591, 2002.
- [25] P. Hofer-Noser, N. Karrer, "Monitoring of paralleled IGBT/diode modules," *IEEE Transactions on Power Electronics*, vol. 14, pp 438-444, May 1999.
- [26] Y. J. Lee, A. Emadi, "Phase shift switching scheme for DC/DC boost converter with switches in parallel," in *5th IEEE Vehicle Power and Propulsion Conference (VPPC)*, 2008.
- [27] Y. C. Liu, Y.M. Chen, "A systematic approach to synthesizing multi-input DC-DC converters," *IEEE Transactions on Power Electronics*, vol. 24, pp 116-127, Jan. 2009.
- [28] P. Klimczak, S. Munk-Nielsen, "Comparative study on paralleled vs. scaled dc-dc converters in high voltage gain applications," in *13th IEEE Power Electronics and Motion Control Conference (EPE-PEMC)*, pp 108-113, 2008.
- [29] R. Ayyanar, R. Giri, N. Mohan, "Active-input voltage and load current sharing in input-series and output-parallel connected DC-DC converters using dynamic input-voltage reference scheme," *IEEE Transactions on Power Electronics*, vol. 19, pp 1462-1473, Nov. 2004.
- [30] W. Chen, X. Ruan, H. Yan, C. K. Tse, "DC/DC conversion systems consisting of multiple converter modules: stability, control and experimental verifications," *IEEE Transactions on Power Electronics*, vol. 24, pp 1463-1474, Jun. 2009.
- [31] C. Chang, M. A. Knights, "Interleaving technique in distributed power conversion systems," *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, vol. 42, pp 245-251, May. 1995.
- [32] S. Abedinpour, B. Bakkaloglu, S. Kiaei, "A multistage interleaved synchronous buck converter with integrated output filter in 0.18um SiGe process," *IEEE Transactions on Power Electronics*, vol. 22, pp 2164-2175, Nov. 2007.
- [33] M. B. Camara, H. Gualous, F. Gustin, A. Berthon, "Design and new control of DC/DC converters to share energy between supercapacitors and batteries in hybrid vehicles," *IEEE Transactions on Vehicular Technology*, vol. 57, pp 2721-2734, Sep. 2008.

- [34] P. Thounthong, B. Davat, S. Raël, P. Sethakul, "Fuel Cell High Power Applications" *IEEE Industrial Magazine*, pp 32-46, Mar. 2009.
- [35] F. Sobrino-Manzanares, "Conversión DC/DC multifase para vehículo eléctrico," Trabajo fin de Master, Departamento de Ciencia de Materiales, Óptica y Tecnología Electrónica, Universidad Miguel Hernández, Elche, Sept. 2011.
- [36] O. Hegazy, J. Van Mierlo, P. Lataire, "Analysis, modeling, and implementation of a multidevice interleaved DC/DC converter for fuel cell hybrid electric vehicles," *IEEE Transactions on Power Electronics*, vol. 27, pp 4445-4458, Nov. 2012.
- [37] O. Hegazy, R. Barrero, J. Van Mierlo, P. Lataire, N. Omar, T. Cosemans, "An advanced power electronics interface for electric vehicles applications," *IEEE Transactions on Power Electronics*, vol. 28, pp 5508-5521, Dec. 2013.
- [38] J. A. Sabaté, V. Vlatkovic, R. B. Ridley, F. C. Lee, B. H. Cho, "Design Considerations for High-Voltage High-Power Full-Bridge Zero-Voltage-Switched PWM Converter" in *5th IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp 275-284, 1990.
- [39] G. Hua, F. C. Lee, "Soft-switching techniques in PWM converters," *IEEE Transactions on Industrial Electronics*, vol. 42, pp 595-603, Dec. 1995.
- [40] M. D. Bellar, T.S. Wu, A. Tchamdjou, J. Mahvadi, M. Ehsani, "A review of soft-switched DC-AC converters," *IEEE Transactions on Industry Applications*, vol. 34, pp 847-860, Jul/Aug. 1998.
- [41] J. Zhang, J. S. Lai, R. Y. Kim, W. Yu, "High-power density design of a soft-switching high-power bidirectional dc-dc converter," *IEEE Transactions on Power Electronics*, vol. 22, pp 1145-1153, Jul. 2007.
- [42] C. Buccella, C. Cecati, H. Latafat, "Digital control of power converters – a survey," *IEEE Transactions on Industrial Informatics*, vol. 8, pp 437-448, Aug. 2012.
- [43] Á. De Castro, "Aplicación del control digital basado en hardware específico para convertidores de potencia autónomos," *tesis doctoral*, Escuela Técnica Superior de Ingenieros Industriales, Universidad Politécnica da Madrid, 2003.
- [44] S. Buso, P. Mattavelli, L. Rossetto, G. Spiazzi, "Simple digital control improving dynamic performance of power preregulators", *IEEE Transactions on Power Electronics*, vol. 13, pp 814-823, Sep. 1998.
- [45] O. Goñi, A. Sánchez, E. Todorovich, A. de Castro, "Resolution analysis of switching converter models for hardware in the loop," *IEEE Transactions on Industrial Informatics*, vol. 10, pp 1162-1170, May 2014.



- [46] B. J. Patella, A. Prodic, A. Zirger, D. Maksimovic, "High-frequency digital PWM controller IC for DC-DC converters," *IEEE Transactions on Power Electronics*, vol. 18, pp 438-446, Jan. 2003.
- [47] L. Corradini, A. Costabeber, P. Matavelli, S. Saggini, "Parameter-independent time-optimal digital control for Point-of-Load converters," *IEEE Transactions on Power Electronics*, vol. 24, pp 2235-2248, Oct. 2009.
- [48] D. S. Padimiti, M. Ferdowsi, "Review of digital control techniques for automotive DC-DC converters," in *2nd IEEE Vehicle Power and Propulsion Conference (VPCC)*, 2005.
- [49] L. Corradini, D. Maksimovic, P. Matavelli, R. Zane, *Digital control of high-frequency switched mode power converters*. Wiley-IEEE Press, 2015
- [50] D. Maksimovic, R. Zane, R. Erickson, "Impact of digital control in power electronics," in *16th IEEE International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pp 13-22, 2004.
- [51] S. R. Bowes, M. J. Mount, "Microprocessor control of PWM inverters," *IEE Proceedings*, vol. 128, pp 293-305, Nov. 1981.
- [52] A. Fratta, G. Griffero, S. Nieddu, "Comparative analysis among DSP and FPGA-based control capabilities in PWM power converters," in *30th IEEE Industrial Electronics Conference (IECON)*, pp. 257-262, 2004.
- [53] E. Monmasson, M. N. Cirstea, "FPGA Design Methodology for Industrial Control Systems – A Review," *IEEE Transactions on Industrial Electronics*, vol. 54, n° 4, pp 1824-1842, Aug. 2007.
- [54] J. J. Rodríguez-Andina, M. D. Valdés-Pérez, M. J. Moure, "Advanced features and industrial applications of FPGAs- A review," *IEEE Transactions on Industrial Informatics*, vol. 11, pp 853-864, Aug 2015.
- [55] R. Dubey, P. Agarwal, M. K. Vasantha, "Programmable Logic Devices for motion control – A review," *IEEE Transactions on Industrial Electronics*, vol. 54, pp 559-566, Feb. 2007.
- [56] R. W. De Doncker, "Twenty years of digital signal processing in power electronics and drives," in *29th IEEE Industrial Electronics Conference (IECON)*, pp. 957-960, 2003.
- [57] A. Astarloa, U. Bidarte, J. Lázaro, J. L. Martín, "Configurable-System-on-Programmable-Chip for power electronics control applications," in *IEEE International Conference on Reconfigurable Computing and FPGAs*, pp. 169-175, 2008.
- [58] W. Chen, "High efficiency, high density, polyphase converters for high current applications," Linear Technology Application Note 77, Sep. 1999.
- [59] - , "TPS40090 multi-phase buck converter steps-down from 12V to 1.5V at 100A," Texas Instruments Application Note SLUU175A, Oct. 2004.

- [60] M. Kasper, D. Bortis, J. W. Kolar, "Scaling and balancing of multi-cell converters," in *8th IEEE International Power Electronics Conference (ECCE Asia)*, 2014.
- [61] M. Gerber, J. A. Ferreira, I. W. Hofsjager, N. Seliger, "Interleaving Optimization In Synchronous Rectified DC/DC Converters," in *35th IEEE Power Electronics Specialists Conference (PESC)*, pp 4655-4661, 2004.
- [62] J. Zhang, J. S. Lai, W. Yu, "Bidirectional DC-DC converter modeling and unified controller with digital implementation," in *23rd IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp 1747-1753, 2008.
- [63] S. F. Lim, A. M. Khambadkone, "A Simple Digital DCM Control Scheme for Boost PFC Operating on Both CCM and DCM", *IEEE Transactions on Industry Applications*, Vol. 47, N° 4, pp 1802-1812, 2011.
- [64] V. Vorperian, "Simplified analysis of PWM converters using model of PWM switch Part I: continuous conduction mode," *IEEE Transactions on Aerospace and Electronic Systems*, vol. 26, pp 490-496, May 1990.
- [65] P. Thounthong, P. Sethakul, S. Raël, B. Davat, "Design and Implementation of 2-Phase Interleaved Boost Converter for Fuel Cell Power Source", in *4th IET Power Electronics, Machines and Drives Conference (PEMD)*, pp 91-95, 2008
- [66] R. Ferrero, M. Marracci, M. Prioli, B. Tellini, "Simplified model for evaluating ripple effects on commercial PEM fuel cell," *International Journal of Hydrogen Energy*, vol. 37, pp. 13462-13469, Sep 2012.
- [67] G. Fontes, C. Turpin, S. Astier, T. A. Meynard, "Interactions between fuel cells and power converters: influence of current harmonics on a fuel cell stack," *IEEE Transactions on Power Electronics*, vol. 22, pp 670-678, Mar. 2007
- [68] H. Carbonnier, A. Fernandez, M. Triggianese, F. Tonicello, "Interleaved Boost converter used as Battery Discharge Regulator for space applications," in *10th European Space Power Conference (ESPC)*, 2014.